

HF 세정후 자연 산화막의 존재가 티타늄 실리사이드 형성에 미치는 영향

배종욱 · 현영철* · 유현규* · 이정용 · 남기수*

한국과학기술원 재료공학과
*전자통신연구원 반도체연구단

The Effect of Native Oxide on the TiSi₂ Transformation after HF Cleaning

Jong-Uk Bae, Yeong-Cheol Hyeon*, Hyun-Kyu Yu*, Jeong-Yong Lee and Kee-Soo Nam*

Dept. of Materials and Science Eng., Korea Advanced Institute of Science and Technology

*Semiconductor Technology Division, Electronics and Telecommunication Research Institute(ETRI)

(1997년 11월 24일 받음, 1998년 3월 23일 최종수정본 받음)

초 록 HF 세정후 자연 산화막의 존재가 급속 열처리 장비를 이용, 아르곤 분위기에서 열처리할 때 티타늄 실리사이드 형성에 미치는 영향에 관해 연구하였다. 스퍼터링 방법으로 티타늄을 증착하는 동안 기판 온도의 선택에 따른 티타늄 실리사이드 형성을 관찰하였다. 고분해능 단면 투과 전자 현미경 관찰 결과 기판 온도가 상온일 때 자연산화막(native oxide)이 존재함을 확인하였으며 기판 온도가 400°C 일 때는 실리콘 기판과 티타늄 박막의 계면 부위에서 자연산화막, 티타늄 및 실리콘이 혼합된 비정질층이 존재함을 확인하였다. 티타늄을 증착하는 동안 기판 온도를 400°C로 유지했을 때는 C54-TiSi₂상이 형성되는데 요구되는 급속 열처리(Rapid Thermal Annealing : RTA) 온도가 기판 온도를 상온으로 유지했을 때보다 100°C정도 감소함을 확인하였다. 이 같은 결과는 산소불순물을 함유한 비정질 층이 핵생성 자리를 제공하여 이 상의 형성이 촉진된다는 사실을 말한다. 기판온도 400°C에서 형성된 티타늄 실리사이드막의 경우 비저항 16μΩcm임을 확인하였다.

Abstract The effect of native oxide on the titanium silicide which is formed by RTA(Ar ambient) after HF cleaning was studied. A substrate temperature during Ti sputtering is found to have an effect on subsequent TiSi₂ formation. Cross-sectional transmission electron microscopy reveals that the native oxide is formed at the interface between silicon and as-sputtered Ti film during room temperature but amorphous TiSi_x layer is formed during 400°C sputtering. Amorphous TiSi_x phase result from mixing of titanium, silicon, and silicon oxide. In the case of 400°C sputtering condition, reduction in the temperature(about 100°C) for the polymorphic C49 to C54 phase transformation room temperature sputtering condition was found. It is originated from a higher nucleation density of the C54-TiSi₂ phase. The interfacial native-oxide is speculated to both act as a direct nucleation source for the C54-TiSi₂ phase and facilitate the C54-TiSi₂ nucleation. The C54-TiSi₂ film with resistivity 16μΩcm is realized.

1. 서 론

소자 크기가 감소됨에 따라 선폭(line width)이 좁아지고 RC지연에 대한 면저항의 영향이 증가하게 되어 낮은 비저항의 게이트, interconnections 및 낮은 ohmic 접촉저항에 대한 관심이 증가하였다. 실리사이드는 금속과 유사한 낮은 비저항 값과 열적 안정성 외에도 우수한 전자이주(electromigration) 특성 등의 장점이 있다. 또한 실리사이드는 다결정실리콘 위에 추가 공정 없이 곧바로 형성시킬 수 있고 금속-산화물 반도체(Metal Oxide Semiconductor : MOS)의 기본 다결정실리콘 구조를 유지할 수 있어서 지금까지 널리 연구되어 왔다.¹⁾ 이들 중 티타늄 실리사이드는 자기 정렬 실리사이드(self-aligned-silicide) 공정에 의해서 초고집적 회로(Very-Large-Scale Integration)에서 가장 많이 연구, 응용되고 있는 재료이다. 티타늄은 다상 전이(polymorphic transition)를 가지는 물질로서 높은 비저항(60~90μΩcm)의 C49-TiSi₂와 최종 안정상인

C54-TiSi₂를 가진다. C54-TiSi₂는 13~18μΩcm의 낮은 비저항을 가지고 있어 실리사이드 중에서 가장 낮은 비저항 값을 갖는다.^{2~3)} C49-TiSi₂에서 C54-TiSi₂로의 전이는 실리콘 기판이 (100) 결정 방향일 경우 약 5.6eV의 활성화 에너지가 요구되는 것으로 보고되고 있으나⁴⁾ 소자의 미소화에 따른 폴리 게이트 길이와 액티브 영역 면적의 감소에 따라 C54-TiSi₂로의 전이가 더욱 어려워지게 되어 보다 높은 형성 온도가 필요하게 되었다.^{5~6)} 그러나 실리사이드 형성 온도의 증가는 실리사이드 계면 형상(interface morphology) 특성을 저하시켜서 응집화의 원인이 된다. 따라서 실리사이드 형성 온도를 낮출 수 있는 방법이 여러 방법으로 연구되고 있다. 그 중 대표적인 것으로는 고에너지 이온 주입을 이용하여 실리콘 기판의 표면 부분을 비정질화(amorphization) 시킴으로써 C54-TiSi₂에 대한 핵 생성 자리를 제공하여 실리사이드 형성 온도를 낮추는 방법이 있다.^{7~8)} 다른 방법으로는 실리콘 기판에 텅스텐(W) 또는 몰리브덴(Mo)을 이온 주입에 의해 첨가하여 실리사이드

형성 온도를 낮추고, 미세 구조, 열적 안정성을 향상시키는 방법이 제시되고 있다.⁹⁾ 본 연구에서는 RCA 세정 과정에서 성장하는 자연 산화막이 티타늄 증착 온도에 따라서 C54-TiSi₂형성에 미치는 영향을 기술하였다. 티타늄을 증착할 때 400~450°C 범위 실리콘 기판에서 티타늄을 증착할 때 티타늄과 실리콘 계면에서 TiSi 비정질층이 형성되어 C49-TiSi₂에서 C54-TiSi₂로의 전이 온도에 영향을 주는 것은 연구 보고되어져 왔으나¹⁰⁾ 세정후 생성되는 자연산화막의 존재는 무시하여 실리콘 기판의 HF 세정후 성장하는 자연 산화막이 티타늄 실리사이드 형성 단계에 어떤 영향을 미치는지는 조사되지 않았다. 본 연구에서는 세정에 의해서 생성되는 자연 산화막이 존재를 관찰하였으며 400°C와 상온의 기판 온도에서 티타늄을 증착할 때 생성되는 비정질층이 C49-TiSi₂에서 C54-TiSi₂로의 전이 온도와 미세 구조에 어떤 영향을 미치는지 비교 조사하였다.

2. 실험 방법

본 실험에서는 비저항이 5~8μΩcm이고 boron으로 도핑된 p-type, (100) 결정 방향의 5인치 실리콘 기판 위에 두께 270Å의 티타늄 박막을 Varian M2i 장비에 의한 DC magnetron sputtering 방법으로 증착하였다. 증착에 앞서 RCA 세정으로 웨이퍼 표면의 오염물과 자연산화막을 제거하였다. 이 과정의 마지막 단계로 웨이퍼를 1:100 HF 용액에 담그고 중성수로 세정하였다. 문헌에 의하면 RCA 세정 동안 5~7Å의 아주 얇은 자연산화막이 형성되고 진공 챔버로 옮겨질 때 자연산화막은 10~20Å 정도 형성하는 것으로 알려져 있다.¹¹⁾ 비교 조건으로 HF 세정후 생성하는 자연산화막을 제거하기 위해 in-situ RF 세정을 행하였다. RF 세정 조건은 100Watt, 1.5mTorr의 아르곤 압력하에서 행해졌다. 티타늄 증착은 반응로의 기본 진공도(base pressure)가 10⁻⁷Torr, 공정 압력(process pressure)은 아르곤, 5×10⁻⁷Torr에서 수행하였다. 기판 온도는 기판 뒤쪽의 heater block에 의해 제어되었다. 티타늄의 증착 속도는 10Å/sec로서 이때의 cathode power는 14.4kW였다. 본 실험에서는 증착할 때 스퍼터링 되는 티타늄의 기판으로의 방향성 유지를 위해 콜리메이터(collimator)를 사용하였다. TiSi₂는 AG Associates 사의 급속 열처리 장비(RTA)를 이용, 아르곤(Ar) 분위기하의 600~850°C의 범위에서 티타늄과 실리콘의 반응에 의해 형성하였다. 증착한 박막의 두께가 얇기 때문에 일차 열처리 후의 반응하지 않은 티타늄의 에칭은 생략하였다. 온도에 따른 상의 종류와 결정성을 확인하기 위해 XRD(X Ray Diffraction) 분석 장비를 사용하였으며 실리사이드와 기판의 계면 상태를 보기 위해 TEM(Cross-sectional transmission electron microscopy)을 사용하였으며 표면의 거칠도(roughness) 관찰을 위해 SEM(Secondary Electron Microscopy) 분석 장비를 사용하였다.

3. 결과 및 고찰

그림 1은 270Å의 티타늄을 400°C에서 증착한 시편과

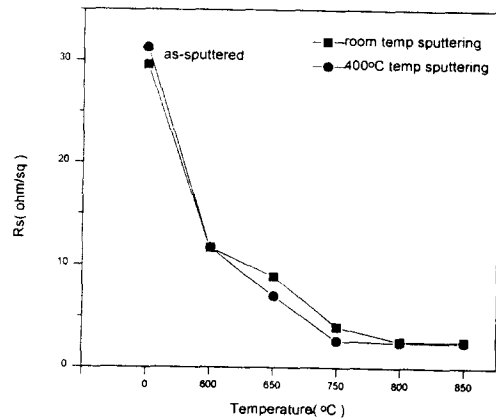


Fig. 1. The changes of the sheet resistance as a function of RTA temperature.

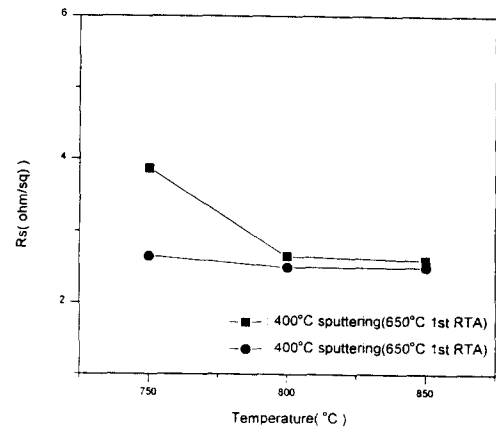
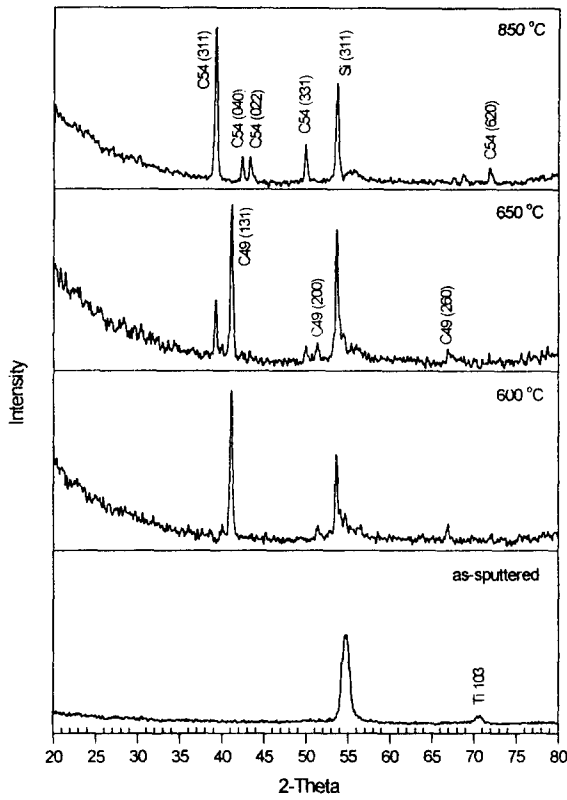
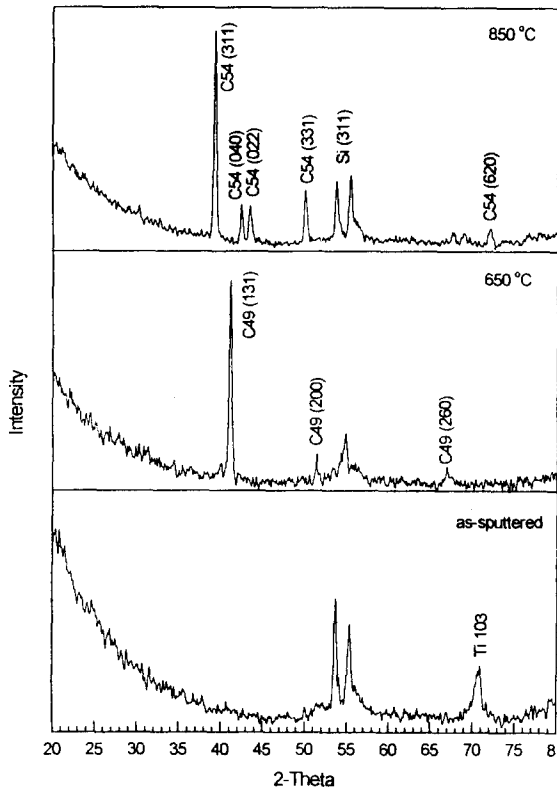


Fig. 2. When the 1st RTA was performed at 600°C, 650°C, respectively, the changes of sheet resistance as 2nd RTA temperatures.

상온에서 증착한 시편 등을 600~850°C의 온도 범위에서 30초간 열처리한 실리사이드 박막의 면저항 변화를 보여주고 있다. 400°C에서 증착한 티타늄 박막의 경우 열처리 온도가 600°C에서 650°C로 증가함에 따라 면저항은 급격히 감소되었다 그 이유는 650°C 열처리 동안 낮은 비저항의 C54-TiSi₂상의 생성이 시작되었기 때문이라고 사료되었다. 750°C 이상에서 열처리된 실리사이드 막의 면저항은 온도의 증가에 관계 없이 2.6Ω/sq의 일정한 값을 나타내었다. 반면 상온에서 증착한 티타늄 박막의 경우 C54-TiSi₂형성 온도가 고온에서 티타늄을 증착한 경우에 비해 높게 나타나고 낮은 비저항의 막을 얻기 위해 800°C 이상의 온도로 최종 열처리해야 함을 알 수 있다. 그림 2는 안정한 형태의 TiSi₂를 얻기 위해 2단계 열처리를 수행하는 경우, 기판 온도 400°C에서 증착한 시편의 일차 열처리를 650°C와 600°C로 분류했을 때 2차 열처리 온도의 변화에 따른 면저항의 변화를 나타낸 것이다. 600°C 일차 열처리 시편의 경우 2차 열처리 온도가 증가함에 따라 면저항 특성이 낮아져 800°C 이상에서 일정한 값을 보였다. 650°C 시편의 경우는 750°C 부근의 온도에서 일정한 면저항 값을 나타내기 시작함을 알 수 있었다. 850°C 열처리 후 면저항이 2.6Ω/



(a)



(b)

Fig. 3. XRD results for $TiSi_2$ formed by (a) 400°C as-sputtered Ti layer after and (b) R. T. as-sputtered Ti layer

sq이고 티타늄이 실리사이드를 형성할 때 약 2.3배 정도의

실리콘을 소모한다는 사실에 근거하여^{3,12)} 형성되는 C54- $TiSi_2$ 층의 두께는 620 Å 정도임을 예상할 수 있으며 이를 통해 비저항이 $16\mu\Omega\text{cm}$ 임을 알 수 있었다.

그림 3은 270 Å의 두께로 증착된 티타늄 박막 시료에 대해 as-sputtered상태일 때와 면저항의 변화가 심한 일차 열처리 온도인 600°C, 650°C와 최종 열처리 온도인 850°C의 온도에서 열처리된 티타늄 실리사이드의 X-선 회절 곡선을 보여주고 있다. 그림 3(a)에서는 기판 온도가 400°C에서 증착한 시편을 650°C 온도에서 열처리한 시편의 경우 C54- $TiSi_2$ 결정상이 나타나는 것을 알 수 있으며 이로부터 650°C에서의 면저항의 감소는 C54- $TiSi_2$ 결정상의 생성, 성장에 기인함을 알 수 있었다. 이와 같은 사실은 S. F. Gong, *et al.*¹³⁾의 논문에서 나타내었듯이 $TiSi_2$ 상의 활성화 에너지가 $TiSi$ 같은 상의 활성화 에너지가 작기 때문에 빠르게 생성, 전이가 이루어졌다고 사료된다. 또한 자연 산화막의 존재가 티타늄과의 큰 반응성으로 인해 비정질 층을 보다 불안정하게 만들어 핵생성을 촉진하였음을 예상할 수 있다. 그림 3(b)의 경우 650°C에서 C49상만이 존재하는 것을 알 수 있으며 이것은 400°C에서 증착한 시편의 600°C에서 열처리한 후의 X-선 회절 피크와 거의 같음을 알 수 있다. 또한 티타늄의 회절 피크가 검출되지 않았기 때문에 증착한 티타늄 박막 전체가 완전히 C-49상으로 전이가 일어났음을 알 수 있다. 850°C에서의 두 증착 조건의 회절 그림은 C49- $TiSi_2$ 상이 C54- $TiSi_2$ 결정상으로 완전히 전이가 일어났음을 알 수 있으며 두 조건의 회절 패턴이 거의 같음을 알 수 있다.

그림 4는 270 Å의 두께로 상온에서 증착된 박막의 as-sputtered상태의 티타늄 박막과 실리콘 계면의 단면 투과 전자현미경 명시야(bright field) 사진이다. 사진의 분석 결과 as-sputtered상태의 티타늄 박막의 두께는 약 270 Å 이었고 20 Å 정도의 비정질 층이 존재함을 알 수 있었다. 300°C 이하의 온도에서는 반응이 거의 일어나지 않는다고 보고되어져 있기 때문에 증착 동안 기판의 스퍼터링 효과를 고려하더라도 증착 조건이 상온이기 때문에 확산은 거의 일어나지 않는다고 가정한다면 기판표면의 비정질상은 자연 산화막(native oxide) 층임을 예측할 수 있었다.

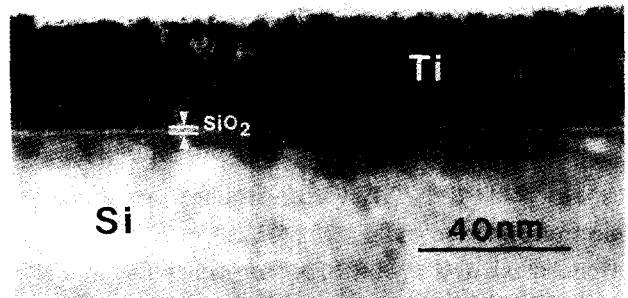


Fig. 4. Cross-sectional bright-field TEM micrograph of an as-sputtered Ti. Between the polycrystalline Ti layer and the Si layer, a 2-nm native SiO_2 layer is observed

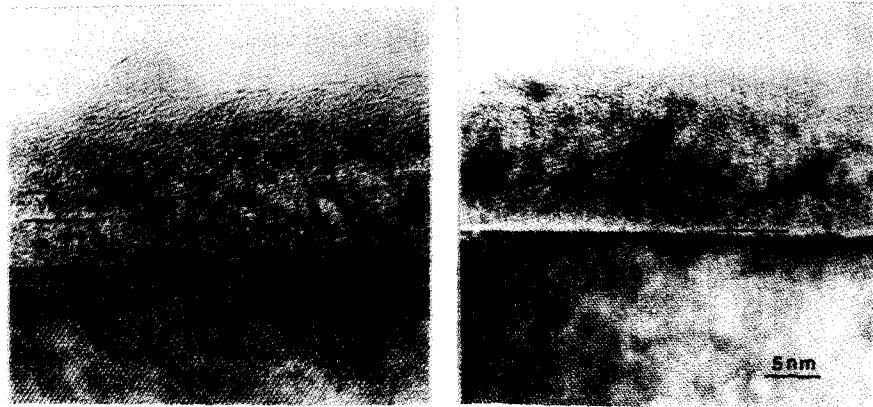


Fig. 5. High resolution cross-sectional TEM images of interfaces between as-sputtered Ti and Si. The sputtering temperature used is 400°C for the titanium layer in (a) and R. T. for (b)

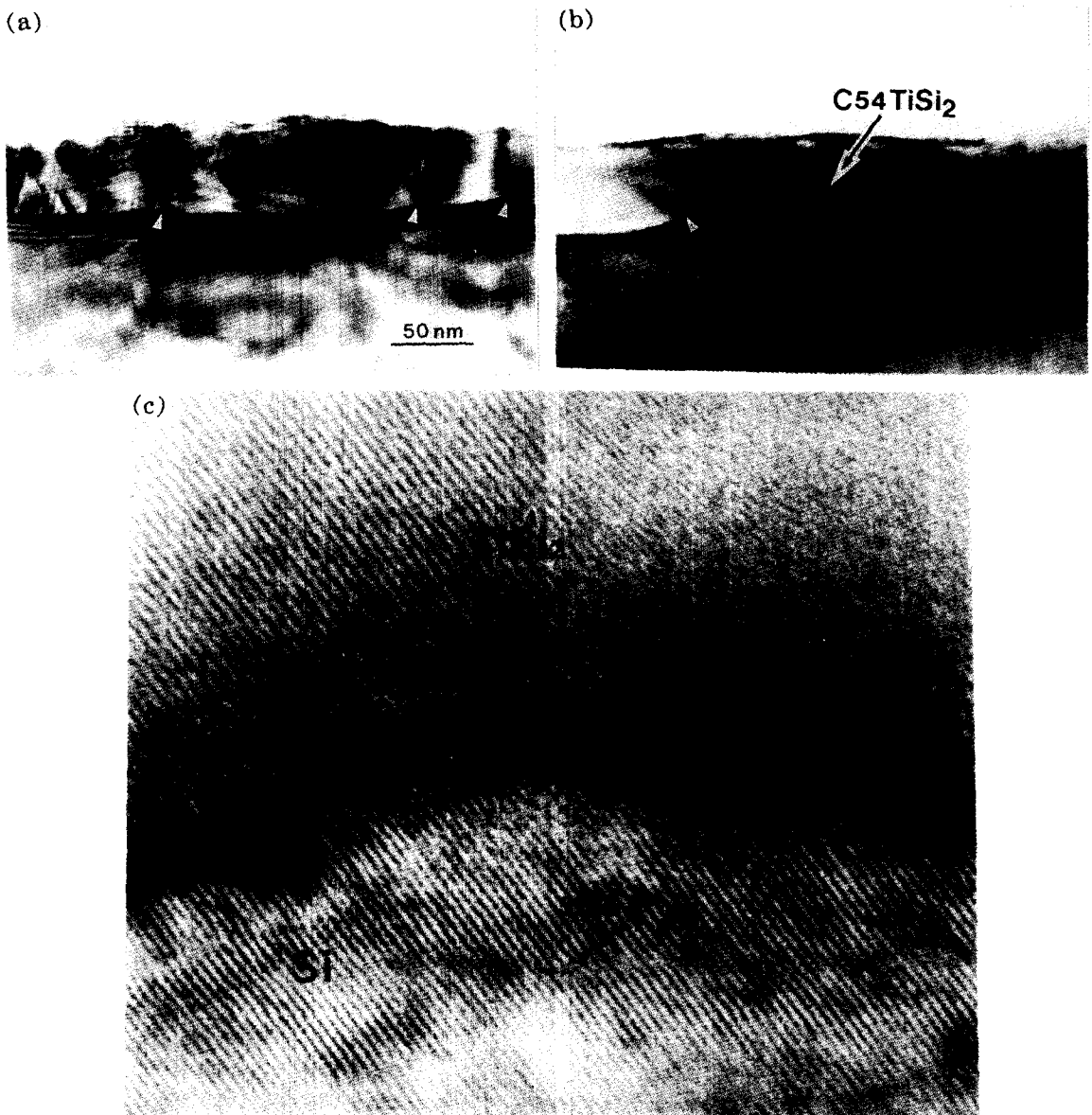


Fig. 6. Cross-sectional TEM micrograph of $TiSi_2$ films formed by (a) R. T. sputtering and (b) 400°C sputtering after 2nd RTA at 850°C for 30sec in Ar ambient (c) high-resolution TEM micrograph showing grain-boundary of Fig. 5(b)

그림 5는 자연산화막에 의한 비정질층의 두께를 in-situ HF 세정에 의한 경우와 비교한 것이다. 그림 5(a)는 270

Å의 두께로 400°C에서 증착된 티타늄 박막과 실리콘 계면의 고분해능 단면 투과전자현미경 사진이다. 약 40 Å 상호

확산된 비정질 층이 형성되었음을 관찰할 수 있었다. 400 °C에서 증착한 시편의 경우 티타늄과 실리콘이 서로 상호 확산된 비정질 층은 세정 과정 중에서 성장한 자연산화막의 표면이 다공성 구조로 되어 있어 쉽게 형성할 것이라고 예상되었다. 400 °C와 같은 고온에서 증착할 때 산소는 티타늄 내에서 확산이 빠르고 as-sputtered 티타늄의 구조가 치밀한 구조를 가지지 않기 때문에 확산을 촉진하고 이에 따라 티타늄과 실리콘은 쉽게 혼합하여 비정질상을 형성함을 알 수 있다. 그림 5(b)의 자연산화막을 제거하였을 경우, 약 30 Å의 비정질 층이 형성되었음을 알 수 있다. 그림 5(a)와 비교하였을 때 약 10 Å 정도, 두께가 적음을 알 수 있었다. Ti-Si계에서 비정질상은 열역학적으로 음의 큰 값의 혼합엔탈피 (ΔH_m)에 의해서 형성되는 준안정상이며 조성 범위는 23~83at.%로 보고되어져 있다.¹³⁾ 온도가 증가함에 따른 비정질상이 결정화과정에서 TiSi를 형성하는데 필요한 활성화에너지가 TiSi₂를 형성하는데 필요한 활성화 에너지 보다 크기 때문에 TiSi₂가 빨리 형성된다.¹³⁾ 본 실험의 열처리 단계에서도 C54-TiSi₂로의 전이를 빠르게 진행된 것은 C54-TiSi₂의 핵생성 자리를 상온 증착한 시편에 비해 많이 제공하고 있음을 확인할 수 있다. 이 사실은 자연산화막의 존재가 비정질상의 형성을 촉진시키고 균일한 두께의 비정질 막을 형성시켰기 때문이라고 사료되었다.

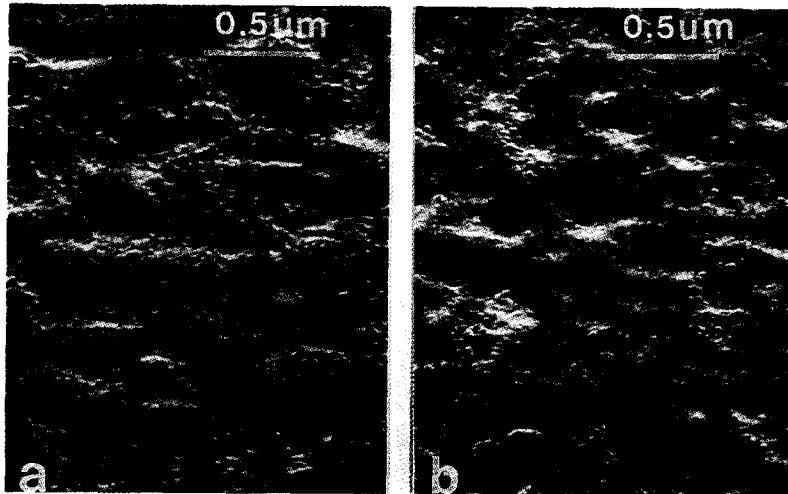


Fig. 7. SEM images of TiSi₂ films formed by (a) 400 °C as-sputtered Titanium layer and (b) R. T. as-sputtered Ti layer and after 2nd RTA at 850 °C for 30sec in Ar ambient

4. 결 론

HF 세정후 15~20 Å의 자연산화막이 생성되는 조건에서 기판 온도가 다른 조건에서 티타늄을 증착할 경우 후속 열처리에 따른 티타늄 실리사이드 형성에 대한 영향을 관찰하였다. 400 °C에서 증착한 경우 형성된 C54-TiSi₂박막은 세정후 생성한 자연산화막이 비정질 형성을 촉진하고 낮은 열처리 온도에서의 핵생성 및 형성이 가능하게 하여 두께와 조성이 균일한 박막을 얻을 수 있으며 계면에서의 삼중점의 존재가 분명히 관찰되지 않아 열적 안정성을 기대할 수 있었다. 기판온도가 상온일 때 티타늄을 증착한 경우의 자연산화막은 티타늄을 증착할 때 스퍼터링 효과에 의해 약간의

그림 6은 두 증착 조건에 대한 C54-TiSi₂층 미세 구조의 단면 투과전자현미경 사진이다. 그림 6(a)는 400 °C에서 증착한 시편의 경우를 보여주는데 계면이 평탄하며 박막 내에 결함이 존재하는 것으로 볼 때 C54-TiSi₂상이 빠르게 형성하였고 입자가 만나는 부분이 연속적으로 연결, 후열처리 공정에서 우수하다고 예측할 수 있었다. 상온에서 증착한 티타늄 박막의 경우 그림 6(b)에서 볼 수 있듯이 C54-TiSi₂층은 0.1~0.15 µm의 입자 크기를 가지고 있었다. 이 같은 크기의 입자는 게이트나 활성 영역과 같은 미소 영역에서 형성될 때 형성온도가 높아짐에 따라 입계가 불안정해져 응집현상을 유발할 수 있다. 이러한 현상은 계면의 삼중점(triple point)에서 계면 에너지와 표면 에너지 그리고 입계 에너지가 입자가 성장함에 따라 입계의 길이가 작아짐에 따라 발생하기 때문이다.^{13~14)} 그림 6(c)는 고분해능 전자현미경에 의해서 그림 6(b)의 입자 경계부분을 나타낸 것이다.

그림 7은 그림 5의 두 가지 조건에 대한 표면 상태를 SEM으로 관찰한 사진이다. 사진에서 보듯이 상온에서 증착한 경우가 거침도가 좋지 않음을 알 수 있었으며 400 °C 증착 조건의 경우, 문헌에서 보고된 Oxygen Free Titanium Silicidation(OFS) 조건에서 형성된 경우와¹³⁾ 비교해 볼 때 표면 거침도는 유사함을 알 수 있었다.

혼합이 있으나 상온이기 때문에 C54-TiSi₂의 핵생성을 촉진시키지 못하는 것을 예측할 수 있었다. 400 °C에서 증착한 시편의 최종 열처리 후의 실리콘 기판과의 계면은 평탄하였으며 이것은 비정질층이 균일한 두께를 유지하고 있음을 고려할 때 실리콘의 균일한 확산에 의한 것으로 생각된다. 그리고 2차 열처리 온도를 750 °C에서 했을 경우 850 °C에서와 동일한 면저항 특성을 보여주고 있으므로 750 °C의 열처리 만으로도 우수한 면저항 특성을 나타냄을 알 수 있었다. 또한 상온에서 증착한 시편의 경우 400 °C에서 증착한 경우와 같이 16 µΩcm의 낮은 비저항을 보였으나 C54-TiSi₂에 필요한 열처리 온도가 400 °C에서 증착한 시편에 비해 상대적으로 높음을 알 수 있었다. 그리고 입자 크기가

0.1~0.15 μm 범위로 크기 때문에 열적 안정성을 감소시킬 것으로 예상된다.

참고 문헌

1. S. P. Muraka, *Silicides for VLSI Applications*, Academic Press Inc., New York, U.S.A (1983)
2. R. W. Mann, L. A. Clevenger, P. D. Agnello, and F. R. White, *IBM J. Res. Develop.*, **39**(4), 403 (1995)
3. S. P. Muraka, *J. Vac. Sci. Technol.*, **B4**(6), 1325 (1986)
4. R. W. Mann, L. A. Clevenger, and Q. Z. Hong, *J. Appl. Phys.*, **64**, 344 (1988)
5. J. A. Kittl, D. A. Prinslow, P. P. Apte, and M. F. Pas, *Appl. Phys. Lett.*, **67**(16), 2308 (1985)
6. R. A. Roy, L. A. Clevenger, C. Cabral, K. L. Saenger, S. Brauer, J. Jordan-Sweet, J. Bucchignano, G. B. Stephenson, G. Morales, and K. F. Ludwig, Jr. *Appl. Phys. Lett.*, **66**, 1732 (1995)
7. Paul W. Pellegrini and Leslie H. Allen, "Silicide Thin Films-Fabrication, Properties, and Applications", *MRS symp. Proc. Vol. 402*, 101 (1996)
8. Ivo J. M. M. Raaijmakers and Ki-Bum Kim, *J. Appl. Phys.* **67**(10), 6255 (1990)
9. Paul W. Pellegrini and Leslie H. Allen, "Silicide Thin Films-Fabrication, Properties, and Applications", *MRS symp. Proc. Vol. 402*, 95 (1996)
10. Paul W. Pellegrini and Leslie H. Allen, "Silicide Thin Films-Fabrication, Properties, and Applications", *MRS symp. Proc. Vol. 402*, 83 (1996)
11. S. P. Muraka, *Metallization-Theory and Practice for VLSI and ULSI*, pp. 36, Butterworth-Heinemann, U.S.A (1993)
12. Luc Vand Den Hove, Rob Wolters, Kaen Maex, Roger F. De Keersmaecker, *IEEE Trans. Electron. Dev.*, **ED-34**(3), 554 (1987)
13. S. F. Gong, A. Robertsson, H. t. G. Hentzell, and X.-H. Li, *J. Appl. Phys.* **68**(9), 4535 (1990)
14. Hiroshi Kotaki, Masayuki Nakano, Shigeki Hayashida, Seizou Kakimoto, Katsunori Mitsuhashi, and Junkou Takagi, *Jpn. J. Appl. Phys.* **34**, 776 (1995)
15. S. L. Hsia, T. Y. Tan, P. Smith, and G. E. McGuire, *J. Appl. Phys.*, **72**(5), 1864 (1992)