[논 문] 한국재료학회지
Korean Journal of Materials Research
Vol. 8, No. 6 (1998)

코발트 폴리사이드 게이트전극 형성에 관한 연구

심현상 · 구본철 · 정연실 · 배규식
수원대학교 전자재료공학과

A Study on the Formation of Cobalt Policide Gate Electrode

Hyun-Sang Shim, Bon-Cheol Koo, Yeon-Sil Joung and Kyoo-Sik Bae
Department of Electronic Materials Engineering, The University of Suwon, Suwon 445-743

(1998년 2월 25일 받음, 1998년 4월 2일 최종수정본 받음)

초 록 코발트 폴리사이드 게이트 전극을 형성할 때, 원주형(columnar)과 입자형(granular) 다결정 Si 및 비정질 Si 기판위에 Co 단일막(Co monolayer) 또는 Co/Ti 이중막(Co/Ti bilayer)을 사용하여 형성한 $CoSi_2$의 열적안정성을 비교하여 기판의 결정성과 $CoSi_2$ 형성방법이 열적안정성에 미치는 영향을 연구하였다. 900℃에서 600초까지 급속 열처리하였을 때, 기판을 비정질을 사용하거나 기판에 관계없이 Co/Ti 이중막을 사용하면 열적안정성이 향상되었다. 이는 평탄하고 깨끗한 기판 Si 표면과 지연된 Co 확산으로 인해, 조성이 균일하고 계면이 평탄한 $CoSi_2$가 형성되었기 때문이다. $CoSi_2$의 열적안정성에 가장 중요한 인자는 열처리 초기 처음 형성된 실리사이드의 조성 균일성과 기판과의 계면 평탄성이었다.

Abstract For the formation of cobalt polycide gate electrode, $CoSi_2$ was grown on columnar poly-Si, granular poly-Si or amorphous Si by depositing either Co monolayer or Co/Ti bilayer and its thermal stability was compared to study effects of the substrate crystallinity and the silicide formation method. When specimens were rapidly heat-treated at 900 ℃ up to 600 seconds, using amorphous Si or Co/Ti on all substrates improved the thermal stability. This was attributed to the uniform chemical composition of initial $CoSi_2$ and its smooth interface with the substrates, induced by smooth and clean Si surface and delayed Co diffusion. The main factors determining the thermal stability were found to be composition uniformity and smooth interface of $CoSi_2$ intially formed at the early stage of the heat-treatment.

1. 서 론

MOSFET 소자의 성능은 여러 인자에 영향을 받지만, 게이트와 게이트 전극에서의 RC값에 가장 크게 의존하며, RC값이 작을수록 소자의 동작 속도는 커진다. 이때 RC값은 다음의 식에 의해 표현된다.

$$RC = R_S L^2 \varepsilon_{ox}/t_{ox} = (\rho/t)\ (L^2 \varepsilon_{ox}/t_{ox}) \qquad (1)$$

이 식에서 나타나는 바와 같이 RC값이 작으려면 전극에서의 면저항(R_S)이 작아야 하며, 특히 소자의 미세화에 따라 전극과 산화막의 두께(t와 t_{ox})가 작아질수록 낮은 비저항값(ρ)이 요구된다. 기존의 MOSFET 소자의 게이트 전극으로는 다결정 실리콘(poly-Si)이 주로 사용되었으나, 다결정 Si은 20~50Ω/□의 높은 면저항을 나타내어 0.25 ㎛의 설계 기준에서는 다결정 Si위에 실리사이드를 적층시킨 폴리사이드(polycide) 구조가 일반적으로 사용되게 되었다.[1,2] 그 중 내열성과 저 저항성을 함께 가진 WSi_x가 (ρ= ~70$\mu\Omega$-cm)가 게이트 전극과 bit선 재료로 널리 쓰여왔으나, 실현 가능한 면저항에 한계를 보이기 시작하여, 0.25 ㎛ 이하의 설계 기준에서는 보다 비저항이 낮은 $TiSi_2$와 $CoSi_2$(ρ=10~20$\mu\Omega$-cm)의 적용이 시도되고 있다. 그러나, $TiSi_2$는 0.2 ㎛ 이하 선폭의 게이트에서는 면저항이 급격히 증가하여 극미세 소자에의 적용에는 한계를 보이고 있다.[3] 반면에, $CoSi_2$는 면저항의 선폭 의존성이 없으며,[3] SiO_2나 도판트와 화학 반응을 하지 않고 에피로 성장시킬 수 있는 장점이 있어 DRAM 같은 기억소자 외에도 논리(logic)소자, RF 소자, 박막트랜지스터(thin film transistor, TFT) 등에의 적용이 고려되고 있다.[2] 그러나, $CoSi_2$/단결정 Si 구조에 비해 $CoSi_2$/다결정 Si 구조는 실리사이드/Si 계면이 거칠고, 입계확산으로 인해 열적안정성이 낮다. 그 결과 단채널효과, 누설전류 같은 전기적 특성의 저하를 야기한다.[4] 특별히, 차세대 소자로 부각되고 있는 논리소자, 기억소자, RF소자가 합쳐진 merged device를 제작하는 공정은 때때로 유전체 열처리나 불순물을 활성화시키기 위하여 800℃ 이상의 고온열처리가 요구된다.[5] 이 경우 실리사이드의 열적안정성은 일차적으로 해결하여야 할 중요한 문제로 대두된다.

지금까지 코발트 실리사이드박막의 열적안정성을 개선하기 위하여 실리사이드의 미세구조를 조절하거나[5~9] 불순물을 주입하여 확산을 억제하는 방법[1]을 중심으로 많은 연구가 행하여져 왔다. 그런데 미세구조 조절의 경우, 에피 실리사이드[6] 또는 그 반대로 결정립이 미세한 실리사이드가[7] 열적안정성을 향상시키는가 하면 실리사이드 결정립의 크

기는 큰 영향을 미치지 않는다는[8] 상반된 결과가 보고되었다. 한편, Lin 등[7,9]은 최근 다결정 대신 비정질 Si을 기판으로 사용하면 열적안정성이 향상됨을 보이고 $CoSi_2$의 결정립 크기 보다 기판의 미세구조가 열적안정성에 더 큰 영향을 미친다고 주장하였다. 그러나, 이들의 연구는 원주형 다결정실리콘과 비정질 실리콘(α-Si) 기판의 영향을 비교하는 데 중점을 두었으며, 열적안정성의 기제를 밝히는 데는 미흡하였다.

본 실험은 코발트 폴리사이드 게이트 전극을 형성할 때 (1) 원주형 및 입자형 다결정 Si과 비정질 Si 기판위에 (2) Co단일막 또는 Co/Ti 이중막을 사용하여 형성한 $CoSi_2$의 열적안정성을 비교하여 기판의 결정성과 $CoSi_2$ 형성방법이 열적안정성에 미치는 영향을 연구하고 열적안정성을 향상시키는 방안을 제시하였다. Co/Ti 이중막을 사용한 것은 Ti중간층이 실리사이드 형성시 자연산화막을 제거하여 기판과의 계면이 평탄한 실리사이드를 만들기 위함이다.[11~12] 특별히 $CoSi_2$/Si 계면 평탄성이 열적안정성에 미치는 영향에 관하여 중점적으로 연구하였다.

2. 실 험 방 법

본 연구에서는 비저항이 10~20Ω-cm인 4″ p형(100) 기판위에 습식 열산화법으로 500nm 두께의 산화막(SiO_2)을 성장시켰다. 그 위에 (1) 625℃에서 저압 화학증착(low pressure chemical vapor deposition, LPCVD)으로 원주형 다결정 Si, (2) 550℃에서 저압 화학증착으로 비정질 Si, (3) 이 비정질 실리콘을 600℃에서 24시간 열처리하여 결정화시킨 입자형 다결정 Si을 각각 150nm 증착한 3종류의 기판을 만들었다. 이 기판들을 10:1 HF 용액으로 자연산화막을 제거한 후, 전자빔 증발증착기(e-beam evaporator)에 넣어 3×10^{-6}torr에서 (1) 20nm 두께의 Co 단일막 또는 (2) 5nm의 Ti와 20nm의 Co 이중막을 연속적으로 증착시켰다. 이렇게 준비된 6종류의 시편을

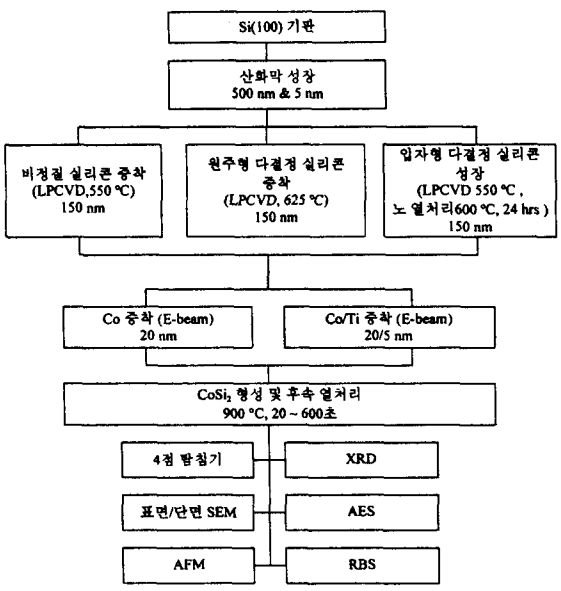

Fig. 1. Flow chart of experimental procedure.

900℃에서 20초 급속 열처리(rapid thermal anneal, RTA)하여 $CoSi_2$를 형성한 후 열적 안정성을 측정하기 위하여 600초까지 계속 열처리하였다.

열적 안정성을 비교하기 위하여 4접 탐침기를 이용하여 면저항을 측정하였고, 박막의 조성과 결정성의 분석은 X선 회절기(X-ray diffractometry), $CoSi_2$의 두께와 표면 그리고 $CoSi_2$/Si 계면의 평탄성은 SEM(scanning electron microscopy)과 AFM(atomic force microscopy), 열처리 시간에 따른 원소의 깊이 분포는 AES(Auger electron spectroscopy)와 RBS(Rutherford backscattering spectroscopy)를 이용하여 분석하였다. 위 실험 순서를 그림 1에 요약하였다.

3. 결과 및 고찰

금속증착후 900 ℃에서 열처리한 시편의 열처리시간에 따른 면저항의 변화를 그림 2에 보였다. Co 단일막의 경우 (그림 2-(a)), 입자형 다결정 Si과 비정질 Si 시편은 처음 20초간 열처리로 $CoSi_2$상이 형성되어 면저항이 약 3Ω/□로 낮아졌으나, 원주형 다결정 시편은 20초 열처리에는 15Ω/□로 오히려 높아졌고 60초 열처리후 5Ω/□의 면저항을 나타내었다. 이는 원주형 다결정 Si 표면에 존재하는 상대적으로 많은 양의 산소나 자연산화막이 $CoSi_2$형성을 지연시켜 20초에는 비저항이 높은 CoSi가 그리고 그 이후에야 $CoSi_2$가 형성되기 때문으로 생각되어진다. 반면, Co/Ti 이중막의 경우(그림 2-(b))에는 기판에 상관없이 20초의

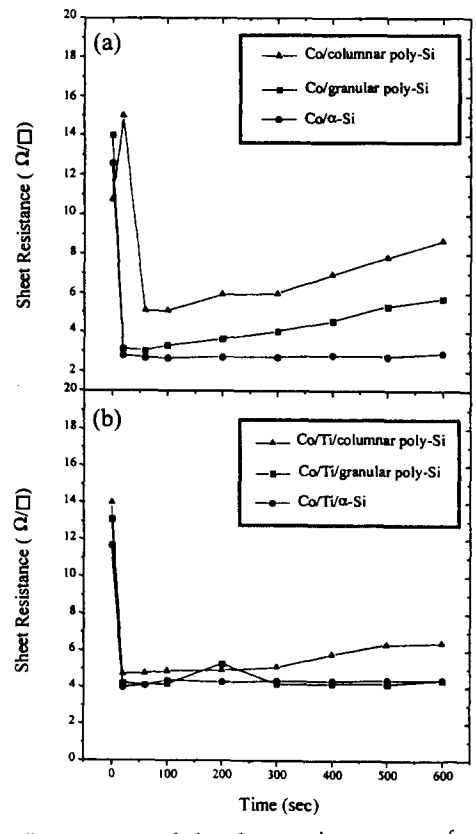

Fig. 2. The changes of the sheet resistance as a function of RTA time. The RTA temperature was 900 ℃ : (a) Co monolayer and (b) Co/Ti bilayer.

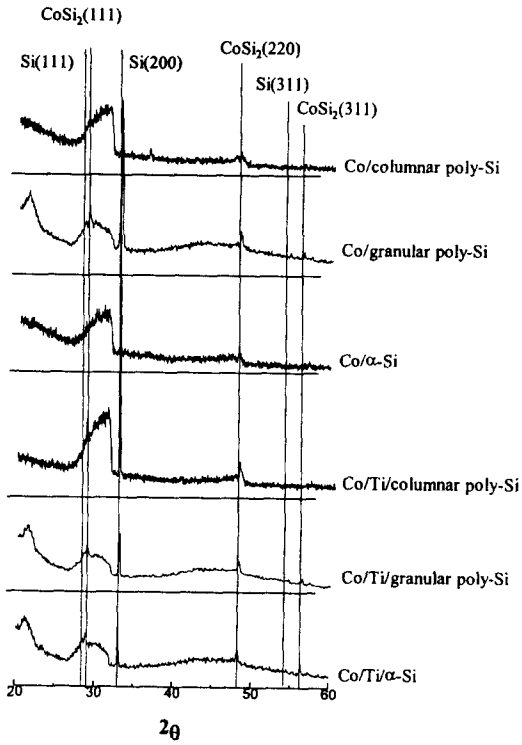

Fig. 3. XRD patterns of specimens RTAed at 900 ℃ for 200 sec..

열처리로 약 4Ω/□의 면저항을 나타내었다. 열적안정성을 측정하기 위하여 열처리 시간을 600초까지 증가하였을 때, Co/비정질 Si, Co/Ti/입자형 다결정 및 Co/Ti/비정질 Si 시편은 면저항의 변화를 보이지 않았으나, 다른 시편들은 점진적으로 면저항이 증가하였다. 그런데 특기할 것은 원주형 및 입자형 다결정 시편위에 Co 단일막 대신 Co/Ti 이중막으로 $CoSi_2$를 형성하면 면저항의 증가를 둔화시킬 수 있음이다. 이상의 결과에서 기판으로 비정질 Si을 사용하거나, 기판에 관계없이 Co/Ti 이중막을 사용하면 열적안정성이 향상되어 후공정 열처리 온도를 900℃까지 높일 수 있음을 알 수 있다.

그림 3은 900℃, 200초 열처리한 시편의 XRD결과로서 Si기판과 $CoSi_2$ 피크만이 나타나 모든 경우에 형성된 실리사이드는 $CoSi_2$상 뿐임을 알 수 있다. 비정질 Si 시편의 Si 피크는 열처리전에는 보이지 않던 것으로서 결정화가 완전히 이루어 졌음을 의미한다. 실제 비정질 Si은 900℃, 60초 열처리에도 완전한 결정화가 이루어진다.[7] 시편간의 피크 위치와 크기에 약간의 차이가 있으나 실험오차내의 것으로 추정된다.

$CoSi_2$/다결정 실리콘에서 나타나는 열적안정성 저하(degradation)의 가장 일반적인 형태는 $CoSi_2$가 분해하여 Co는 입계확산하여 기판 Si 계면에서 새로운 $CoSi_2$를 형성하는 반면, 분해한 Si과 기판으로 부터 확산한 Si이 표면쪽에서 재결정/성장(growth)하여 실리사이드층과 Si층의 위치반전이 일어나는 것으로 보고되었다.[6,7,10] 그림 2에 나타난 면저항 증가의 원인이 이 기제에 의한 것인지를 확인하기 위하여 면저항 증가 전후의 원소분포 변화를 AES로 분석하여 그림 4에 나타내었다. Co/입자형 Si을 900℃, 60초 열처리한 그림 4-(a)는 Co와 Si이 반응하여 Si기판과의 경계면이 뚜렷한 $CoSi_2$가 형성되었음을 알 수 있다. 형성된 상이 $CoSi_2$임은 위 XRD결과와 다음의 RBS 분석에서도 확인된다. 그러나, 이 시편을 300초까지 열처리한 그림 4-(b)을 보면 표면층의 Si/Co의 비율이 $CoSi_2$의 그것보다 훨씬 큼을 알 수 있다. 여분의 Si이 표면층에 존재하는 것은 Co와 Si이 상호확산하였음을 의미한다. 이러한

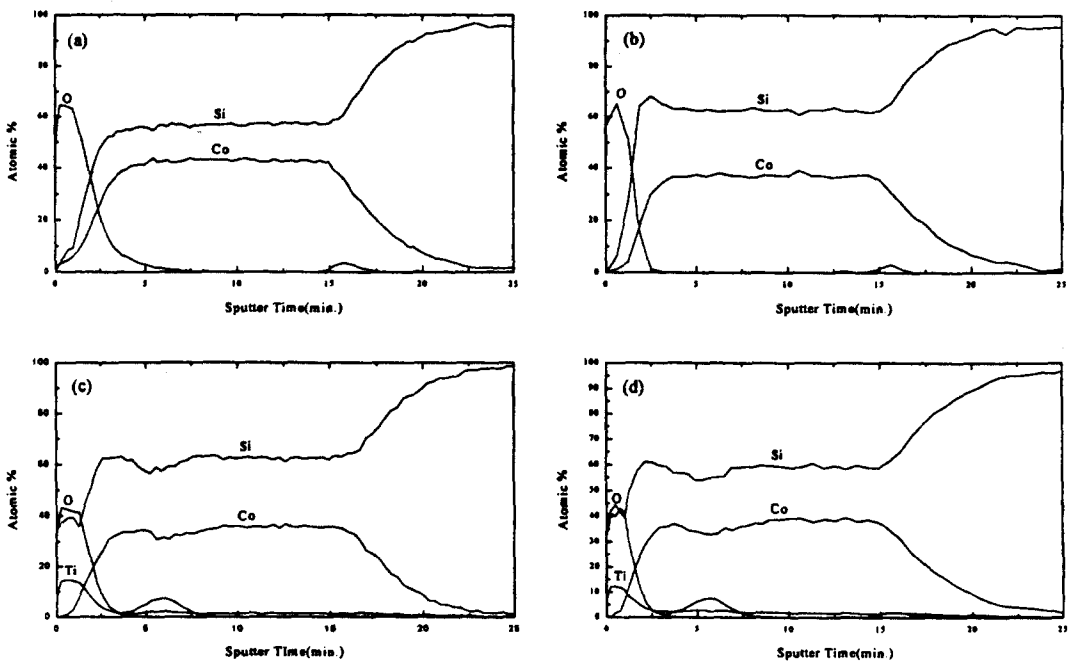

Fig. 4. AES depth profiles of granular poly-Si : (a) Co monolayer (60 sec.), (b) Co monolayer (300 sec.), (c) Co/Ti bilayer (60 sec.), and (d) Co/Ti bilayer (200 sec.).

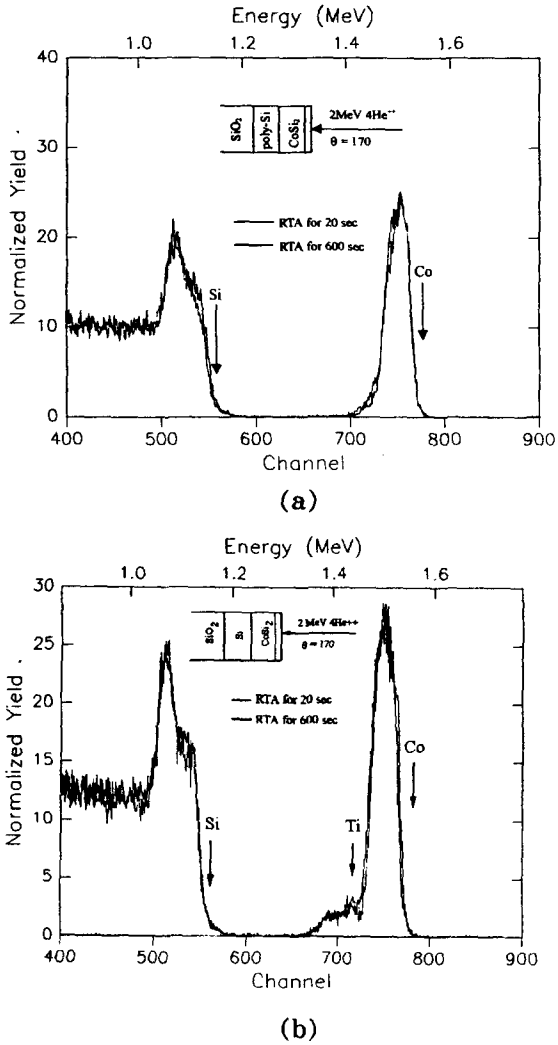

Fig. 5. RBS spectra : (a) Co/granular poly-Si (20 sec.), (b) Co/granular poly-Si (600 sec.), Co/Ti/α-Si (20 sec.), and Co/Ti/α-Si (600 sec.)

상호확산은 다음의 RBS분석에도 확인된다. 이 표면층의 Si이 그림 2에 나타난 면저항의 증가에 기여하였을 것으로 생각되어진다. 그러나 표면층의 Si이 미량인 것은 $CoSi_2$층과 Si층의 위치가 반전이 될 만큼 충분히 $CoSi_2$의 분해와 Co/Si의 상호확산이 일어나지는 않았음을 의미한다. 즉 900℃는 $CoSi_2$의 분해와 확산에 따른 재결정이 박막 전체에 일어날 만큼 고온은 아님을 의미한다.[4] 한편, Co/Ti/입자형 Si을 900℃, 60초(그림 4-(c)) 및 200초(그림 4-(d)) 열처리한 시편의 조성은 변화를 보이지 않았다. 이것은 비정질 Si 시편의 경우도 마찬가지이었다. 위 결과들을 확인하기 위하여 900℃, 20초 및 600초간 열처리한 후에 RBS 분석을 한 결과를 그림 5에 비교하였다. RBS스펙트럼을 Rump프로그램으로 분석한 결과 모든 시편에서 $CoSi_2$의 Si/Co의 조성비는 2로 계산되었다. 또 그림 4에서와 같이 Co/입자형 다결정 시편(그림 5-(a))은 약간의 Co와 Si 확산을 나타내었으나 Co/Ti/비정질 시편(그림 5-(b))은 600 초간 열처리에도 원소분포의 변화가 전혀 없었다. 이상의 결과에서 비정질 Si이나 Co/Ti 이중막을 사용하여 형성한 $CoSi_2$는 900℃에서 장시간 열처리하여도 화학적 integrity를 유지함을 알 수 있다.

열적안정성 저하의 또 다른 형태는 입계 삼중점(grain boundary triple joints)에 grooving이 일어나 계면이 거칠어 지고 그 결과 면저항이 증가하는 것이다.[6,13~15] 이 grooving도 $CoSi_2$의 분해와 확산에 의해 일어나는 diffusion-controlled process이다.[6] $CoSi_2$/Si 계면거침성을 간접적으로 알아 보기 위하여 900℃, 200초 열처리한 시편의 표면을 SEM으로 찍어 그림 6에 비교하였다. 낮은 면저항을 유지하였던 Co/비정질, Co/Ti/입자형 다결정, Co/Ti/비정질 Si(그림 6-(b),(c),(d))은 평탄한 표면을 나타냈으나, 면저항의 증가를 나타내었던 Co/입자형 Si은 표면이 거칠고 부분적으로(locally) Si이 석출되어(밝은 부분) 나타났다. 그림 7은 900℃, 200초 열처리한 시편의 표면을 AFM으로 본 것이다. Co/입자형 다결정, Co/Ti/입자형 다결정, Co/Ti/비정질 Si의 평균 거칠기는 각각 3.6, 2.4, 1.3nm이었다. Co/입자형 다결정 시편(그림 7-(a))에 부분적으로 나타난 높이 20nm 이상의 입자는 그림 6-(a)의 석출된 Si으로 보여지며, 나머지 $CoSi_2$의 평균 높이도 12nm로서 Co/Ti/입자형의 7.7nm보다 훨씬 크다. 즉 기판이 비정질 Si일 때 계면이 가장 평탄하였고, 같은 입자형 다결정 실리콘이라도 Co/Ti 이중막을 사용하면 계면평탄성이 향상됨을 알 수 있다. 이것을 확인하기 위하여 900℃, 60초 열처리한 시편의 단면 SEM 사진을 그림 8에 보였다. Co/Ti/입자형 다결정 시편(그림 8-(b))이 Co/입자형 다결정 시편(그림 8-(a))에 비해 계면이 평탄함을 알 수 있다. 한편, 그림 7에 나타난 $CoSi_2$의 입자 크기는 Co/입자형 다결정과 Co/Ti/입자형 다결정 시편은 약 40nm, Co/Ti/비정질 Si 시편은 약 100nm이었다.

확산은 고체의 결정성에 큰 영향을 받는다. 일반적으로 비정질에서의 확산은 단결정에서 보다는 빠르지만 다결정에 비해서는 수십배 느리다.[16] 특히 원주형 다결정은 pipeline구조를 하고 있어 확산이 매우 빠르다.[6] 또 비정질 Si은 증착중 제한적인 표면확산(surface diffusion) 때문에 다결정 Si에 비해 표면이 매우 평탄하다.[17] 이 평탄한 표면은 결정화 후에도 유지되며, 그 결과 비정질 Si 위에는 결함이 없는 균일한 두께의 자연산화막이 생성된다.[17] 따라서 비정질 Si위에는 기판과의 계면이 매우 평탄하고 화학적으로 안정된 $CoSi_2$가 열처리초기에 형성되어 그 이후의 열처리에도 안정성이 유지되는 것으로 판단된다.

반면 다결정 Si의 경우, Co확산이 빠르고 기판 표면이 거칠다. 또 기판이 거칠기 때문에 그 위에 자란 자연산화막에 결함이 많다. 따라서 열처리 초기, Co의 확산이 균일하지 못하여 계면이 거친 $CoSi_2$가 형성되고 Si의 역류도 부분적으로(locally) 일어난다. 그 결과 실리사이드층에 $CoSi_2$ 외에도 Si이 존재하여 화학조성이 위치에 따라 균일하지 못하다. 이러한 현상은 Al spiking이 일어나는 기제와 유사하다.[18] 계면이 거친 형성 초기의 $CoSi_2$는 열처리가 계속되면 더욱 거칠어져 면저항 증가의 원인이 된다. 입자형에 비해 원주형 다결정 Si은 표면이 더 거칠기 때문에 열적으로 더 불안정하다. 한편 Co/Ti 이중막을 사용하면 Ti 중간층

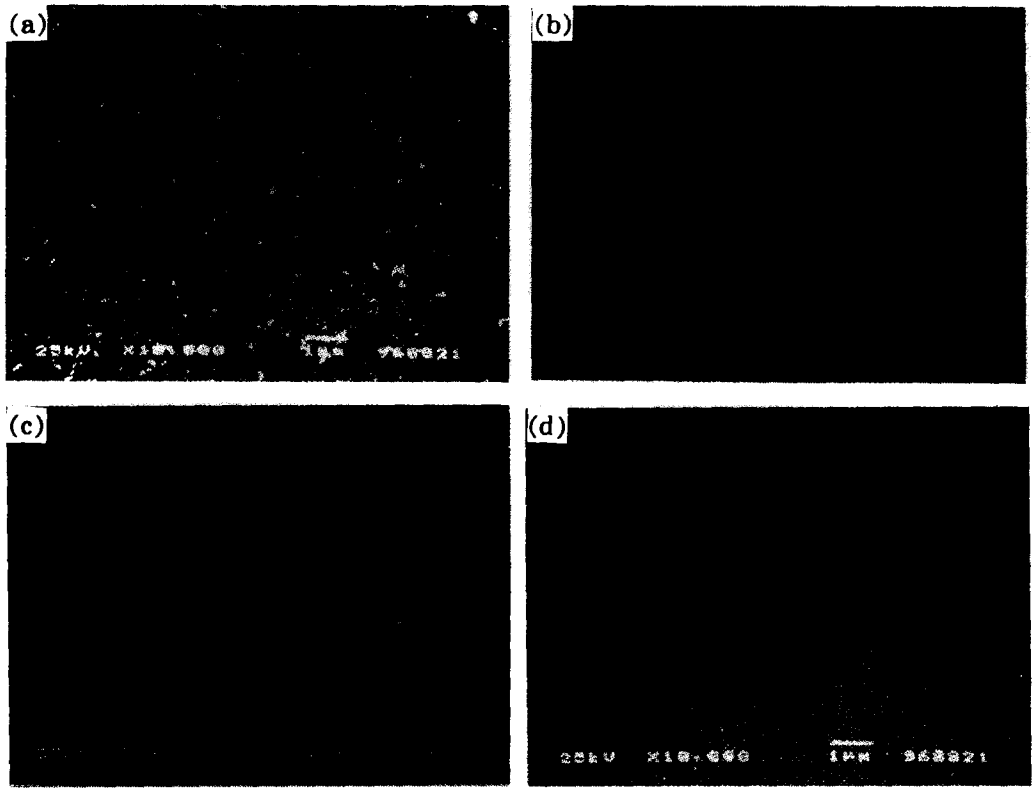

Fig. 6. Surfacial SEM micrographs of specimens RTAed at 900 ℃ for 200 sec. : (a) Co/granular poly-Si, (b) Co/α-Si, (c) Co/Ti/granular poly-Si, and (d) Co/Ti/α-Si.

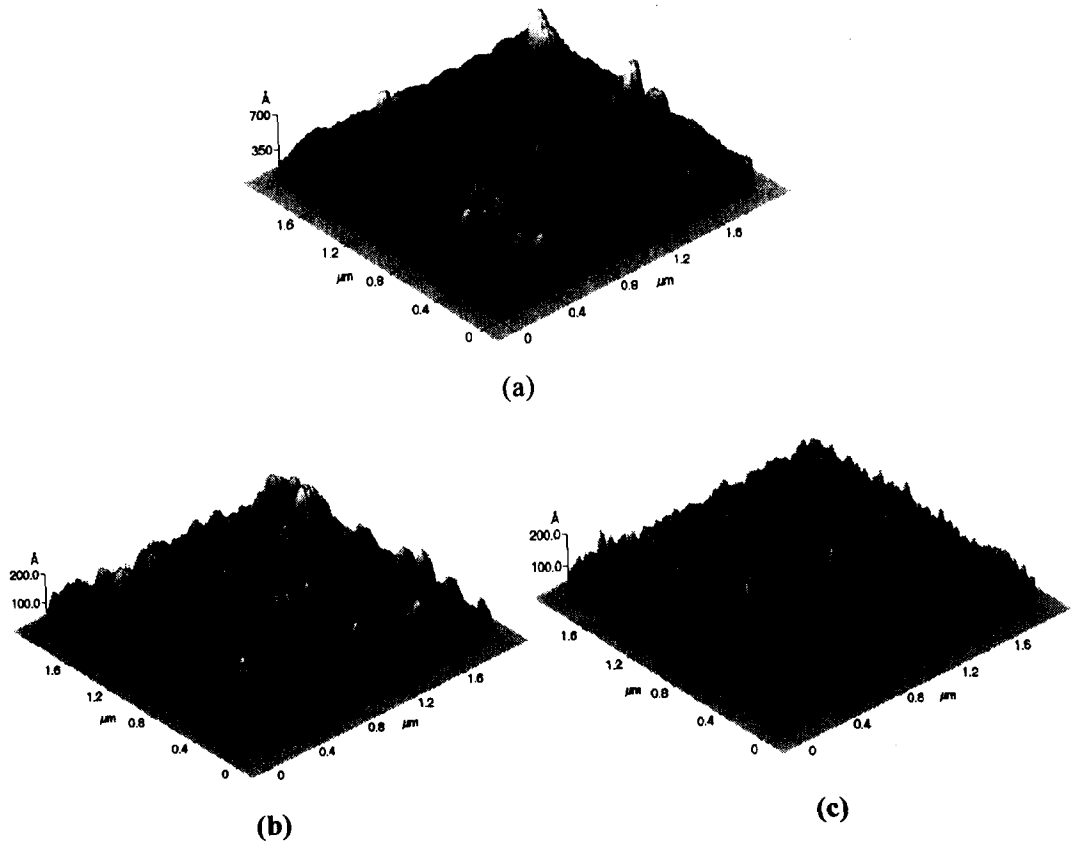

Fig. 7. AFM images of specimens RTAed at 900 ℃ for 200 sec. : (a) Co/granular poly-Si, (b) Co/Ti/granular poly-Si, and (c) Co/Ti /α-Si.

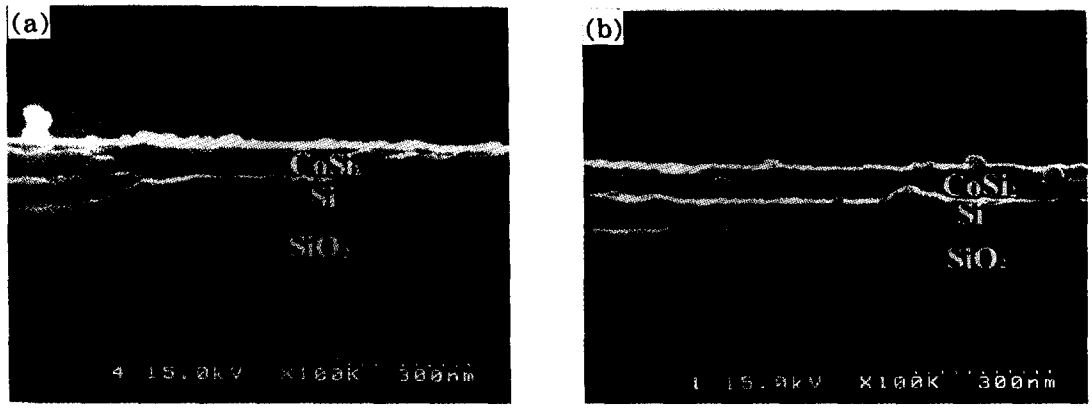

Fig. 8. Cross-sectional SEM micrographs of specimens RTAed at 900 ℃ for 60 sec. : (a) Co/granular poly-Si, and (b) Co/Ti/granular poly-Si.

이 자연산화막을 제거하여 깨끗한 표면을 만들고 또 Co의 확산을 지연시켜 조성이 기판 표면 전체에 걸쳐 균일하고, 또 기판과의 계면이 평탄한 $CoSi_2$ 형성을 유도함으로서 열적안정성을 향상시킨다.[6] 일단 안정된 $CoSi_2$가 열처리 초기에 형성되면 기판이 다결정이라도 더 이상 grooving이 일어나지 않고 integrity를 유지할 수 있다. 그 이유는 $CoSi_2$가 화학적으로 안정하고 계면의 결함 밀도가 임계값 이하로 작아[15] $CoSi_2$의 분해가 일어나는 kinetic process가 억제되기 때문으로 생각된다. 따라서 $CoSi_2$의 열적안정성을 결정하는 가장 중요한 인자는 열처리 초기에 처음으로 형성되는 실리사이드의 조성 균일성과 기판과의 계면 평탄성으로 판단된다.

4. 결 론

기판 Si의 결정성과 Co/Ti 이중막이 $CoSi_2$의 열적안정성에 미치는 영향을 연구하였다. 900℃에서 600초까지 급속 열처리하였을 때, 기판을 비정질을 사용하거나 기판에 관계없이 Co/Ti 이중막을 사용하면 열적안정성이 향상되었다. 비정질 Si은 원래의 표면이 평탄하고 Co확산이 상대적으로 느림으로, 또 Co/Ti 이중막을 사용하면 Ti 중간층이 자연산화막을 제거하여 깨끗한 표면을 만들고 또 Co의 확산을 지연시킴으로서, 조성이 균일하고 계면이 평탄한 $CoSi_2$ 형성을 유도하여 열적안정성을 향상시켰다. $CoSi_2$의 열적안정성을 결정하는 가장 중요한 인자는 실리사이드 형성 초기의 조성 균일성과 기판과의 계면 평탄성으로 판단된다.

감사의 글

본 연구는 서울대학교 반도체 공동연구소의 교육부 반도체분야 학술연구조성비(과제번호 : ISRC 96-E-1036)에 의해 수행되었습니다.

참 고 문 헌

1. 김영욱, 대한금속학회회보, **7**(1), 40 (1994)
2. 이종무, 김영욱, "Salicide Transistor 기술 동향", 대한금속학회회보, **7**(3), 213 (1994)
3. C. M. Osburn, J. Y. Tsai and J. Sun **25**(11), 1725 (1996)
4. S. Nygren and S. Johansson, J. Vac. Sci. Tech., **A8**, 3011 (1990)
5. T. Ohguro, S. Nakamura, E. Morifuji, T. Yoshitomi, T. Morimoto, H. Harakawa, H. S. Momose, Y. Katsumata, and H. Iwai, 1997 Symp. VLSI Tech. Dig., 101 (1997)
6. S. L. Hsia, T. Y. Tan, P. Smith and G. E. McGuire, J. Appl. Phys., **72**(5), 1864 (1992)
7. J. Lin, W. Chen, S. Banerjee, J. Lee and C. Magee, J. of Electronic Materials, **22**(6), 667 (1993)
8. K. Fujii, K. Kikuta and T. Kikkawa, 1995 Symp. VLSI Tech. Dig., 57 (1995)
9. W-M Chen, J. Lin and J. C. Lee, IEEE IEDM 94, 691 (1994)
10. S. Nygren and S. Johansson, J. Appl. Phys., **68**(3), 1050 (1990)
11. 김종렬, 배규식, 박윤백, 조윤성, 한국재료학회지, **4**(1), 81 (1994).
12. 김종렬, 조윤성, 배규식, 한국재료학회지, **5**(3), 324 (1995)
13. J. Y. Tsai, C. Canovai, C. M. Osburn, Q. F. Wang, J. Rose, A. Cowen, and M. S. Denker, J. Vac. Sci. Technol. B **12**(1), 219 (1994)
14. J. Y. Tsai, C. M. Osburn, and C. Canovai, J. Vac. Sci. Technol. B **12**(6), 3119 (1994)
15. G. Palasantzas, J. Appl. Phys., **81**(1), 246 (1997)
16. D. L. Smith, *Thin-Film Deposition, Principles & Practice*, McGraw Hill, 177 (1995)
17. W. C. O'Mara, R. B. Herring and L. P. Hunt (ed.), *Handbook of Semiconductor Silicon Technology*, Noyes Pub., 671 (1990)
18. M. Ohring, *The Materials Science of Thin Films*, Academic Press, Inc., 387 (1992)