

WCDMA방식을 이용한 시스템의 기지국 및 단말국의 모뎀

이 경 국, 문 두 영, 이 명 환, 성 상 현
LG 정보통신(주)

I. 서 론

무선통신 요구가 기존의 음성 통화 위주에서 데이터, ISDN, 멀티미디어 등의 다양한 분야로 이어지면서 기존의 셀룰라와 PCS보다 다양한 서비스를 목표로 무선가입자망(Wireless Local Loop; 이하 WLL이라 함)에 대한 표준화 및 연구가 활발하게 진행되고 신규전화서비스사업자를 중심으로 상업화가 진행되고 있다. 이에 국내 기술육성 및 시장보호의 측면에서 한국통신, 데이콤, 전자통신연구소가 주축이 되어 표준화 작업이 이루어져 현재 거의 마무리 단계에 와 있다. 국내 표준안은 코드분할다중접속을 기반으로 하되 다양한 서비스를 할 수 있도록 대역폭을 기존의 셀룰라나 PCS보다 넓게 사용하는 광대역 코드분할다중접속(Wideband Code Division Multiple Access; 이하 WCDMA라 함)을 목표로 하고 있다. WCDMA는 넓은 대역폭을 사용함으로써 대용량의 정보전송이 가능하도록 하고 또한 페이딩이 심한 무선전파환경에도 적용할 수 있는 장점을 가지고 있다. 반면에 시스템 및 ASIC설계 측면에 있어 고속화와 다양한 트래픽을 처리해야 하는 등의 어려움 또한 내포하고 있다. 국내 표준에서는 8Kbps, 16Kbps, 32Kbps, 64Kbps, 80Kbps, 144Kbps 등의 트래픽과 선택사항으로 패킷트래픽을 지원하도록 하고 있고 4.096Mcps의 칩률을 갖는 5MHz대역폭 시스템과 8.192Mcps의 칩률을 갖는 10MHz시스템에 대한 사양을 규정하고 있다. 또한 다양한 사이즈의 인터리버와 구속장이 7인

길쌘부호화기 및 선택사항으로 구속장이 9인 길쌘부호화기, 직교코드의 확장등의 특징을 갖고 있다.

당사에서는 96년 하반기부터 국내 표준화가 진행됨에 따라 97년 초부터 국내 WLL용 WCDMA 모뎀 ASIC을 개발하기 시작하여 지금 현재 거의 마무리 단계에 와 있다. 당사는 우선 용량이 큰 FPGA를 사용하여 프로토타입을 제작하고 이를 바탕으로 ASIC으로의 전환을 진행하고 있으며 모든 설계는 VHDL코드로 구현하였다.

II. 본 론

FPGA를 사용한 프로토타입 제작.

당사가 개발하고 있는 프로토타입에 적용하고 있는 FPGA는 ALTERA사의 FLEX10K100으로서 개별 용량이 약 10만게이트이며 내부에 24,576 비트의 RAM이 내장되어 있으며 503pin PGA Type으로 사용가능한 I/O가 406pin이다. RP, RIU 모뎀별로 각기 4개의 FPGA를 사용하였다. 프로토타입에 사용되는 최대 클럭 주파수는 10MHz(8.192Mcps)시스템을 기준으로 하였기 때문에 8배 sampling을 취하여 65.536MHz이다. 이러한 주파수는 대용량의 회로를 FPGA로 구현하는데 있어 초기에 많은 걸림돌이 되었다. FLEX10K는 칩내부의 모든 로직셀에 적은 skew의 클럭을 공급하기 위한 두 개의 fast global clock pin을 제공하고 회로 컴파일시 각 로직별 속도에 대한 constraint를 줄 수가 있어 어느 정도

요구를 만족할 수 있었으나 회로의 용량이 증대되어 배선여유가 점점 적어짐에 따라 각 로직사이의 지연이 심각해져서 여러가지 방법으로 이를 해결해나갔다.

첫째, FPGA에는 배선에 의한 지연이 필연적이며 이것이 예측가능하다고 하더라도 실제 컴파일시 임의로 로직을 배치하는 것은 어려우며 따라서 회로설계시 가능한 최대 지연을 생각하여 이에 대한 대비책을 세우는 것이 기본적인 대전제가 되어야 한다. ASIC으로 변환할 경우 지연에 의한 문제는 상대적으로 적게 된다.

둘째, 컴파일 프로그램내에서의 여러 옵션을 사용하여 디자인에 가장 적합한 조합으로 컴파일을 하는 것이다. 이것은 여러 ASIC Synthesis tool에서 다양하게 지원되고 있으며 ALTERA사의 전용 프로그램인 Maxplus2에서도 마찬가지이며 이의 적절한 조합으로 10-15%정도의 속도향상을 가지고 온다고 관측되었다. 그러나 회로의 양이 증대될수록 그 만큼 컴파일 시간이 오래 걸린다.

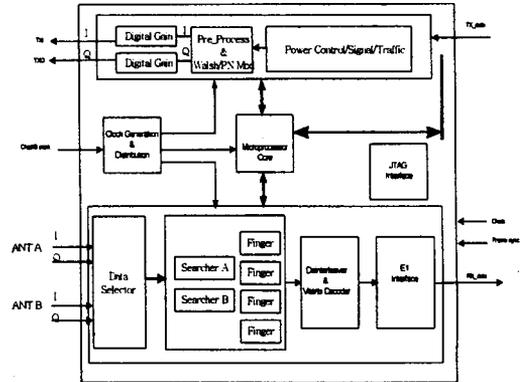
셋째, 외부와의 인터페이스를 고려하여 가장 적합하다고 생각되는 pin configuration을 가지고 PCB를 설계하였다. 즉, FLEX10K의 경우 column과 row로 입/출력pin을 할당하여 컴파일시 같은 성격의 로직들이 비슷한 영역에 위치하도록 한다. 이것은 때에 따라서는 매우 중요하게 되는데 잘못 배치된 핀은 FPGA내의 routing resource를 필요이상으로 사용하기 때문에 속도뿐만 아니라 자원의 효율적 이용면에서도 심각하게 고려가 되어야 한다. 이를 위해서는 당연히 소자내부 구조에 대한 철저한 이해가 수반되어야 함은 물론이다.

네째, 칩내부에서 클럭발생기를 만들어 여러개의 클럭을 사용하게 될 때 FLEX10K는 각 column과 row에 fast track을 가지고 있어 각 pin에 빠른 속도의 신호를 입력하는것이 내부 배선에 의해 공급하는 것보다 track간의 불필요한 cross를 줄여 신호의 지연을 줄일 수 있다.

이밖에도 여러 방법들이 있으나 지엽적인 문제일 수도 있는 부분이라 생략하기로 한다.

RP Modem구현

WLL RP Modem은 기지국 송신 신호 형성 및 단말국 송신 신호를 복조하는 기능을 수행한다. 기지국 전송신호를 만들기 위하여 한 사용자당 하나의 signaling channel과 power control channel 그리고 traffic channel의 구현을 지원한다.

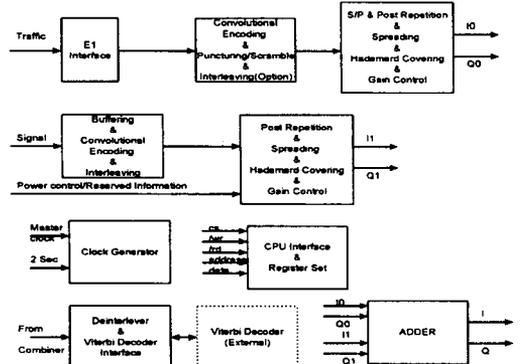


〈그림 1〉 RP Modem Block Diagram

RP Modem의 송신부

기지국측 채널의 구조는 pilot, sync, paging, signal 및 traffic으로 구성되어 있으며 pilot, sync, paging은 미리 Hadamard Index가 고정되어 있다. 또한 4개까지의 paging채널을 두어 가입자 수가 많을 경우를 고려하였다.

pilot채널을 제외한 sync와 paging채널에는 구속장이 7(또는9)인 길쌈부호(Convolutional Encoder)와 20ms의 시간폭을 갖는 Interleaver가



〈그림 2〉 RP의 송신부 블럭도

들어와 있다. 따라서 sync채널의 경우 320bit, paging채널의 경우 1280bit의 interleaver가 필요하며 또한 20ms마다 반복되는 PN코드에 맞추어 모든 회로동작이 20ms를 기준으로 하기 때문에 20ms마다 CPU에서 내 보내는 frame을 저장하기 위한 메모리가 소요된다. 그러나 위의 세가지 제어 채널은 공통채널이기 때문에 시스템의 구현상 별도 카드에 구현하고 RP Modem에는 signal채널과 Traffic채널만 구현하는 방법을 채택하였다.

traffic채널의 경우 8k, 16k vocoding, 32k ADPCM, 64k PCM 의 음성통신, 80K(B+D) 및 144K(2B+D)의 ISDN을 지원하도록 하고 있어 서로 다른 트래픽간의 전환이 가능하도록 설계가 되었다. 이것은 광대역을 사용함으로써 협대역 시스템과 차이가 나는 부분으로 앞으로 WLL시스템을 기존의 Cellular와 PCS와 차별화하는 데 중요한 역할을 할 것으로 보인다.

이를 위해서 traffic interface부분에 다양한 고려가 되어야 할 것으로 보이나 당사에서 시스템설계시 모든 traffic을 E1 interface를 기준으로 하여 모뎀부로 보내주므로 인터페이스를 단순화 할 수 있었다. 즉 8K Framesync와 2M clock, data로 구성되어 있는 E1의 한 프레임에는 64K traffic이 30채널(또는 시간슬롯)이 들어가고 2개의 제어채널이 들어가는데 32k traffic의 경우에는 60채널, 16k의 경우에는 120채널등으로 변하게 된다. 이 때 각 채널에 할당되는 데이터의 비트수가 traffic데이터율에 따라 18bit, 10bit, 8bit, 4bit, 2bit, 1bit등으로 달라지게 되는데 TX부에 이를 처리하기 위한 레지스터를 두어 CPU에서 traffic의 데이터율과 시간슬롯위치등을 지정해 주면 그에 따라 지정된 슬롯에서 지정된 수의 비트를 가져가게 한다. 이렇게 함으로써 하나의 interface로 모든 traffic을 처리하도록 할 수 있으며 이것은 시스템개발과 맞물려 있었기 때문에 가능한 것이다.

제어채널은 20ms마다 프레임단위로 프로세싱을 하기 때문에 한 프레임을 CPU가 burst 데이터로 보내면 내부 메모리에 저장하였다가 다음 20ms 시간 기준에 맞추기 위해 1MHz의 클럭으로

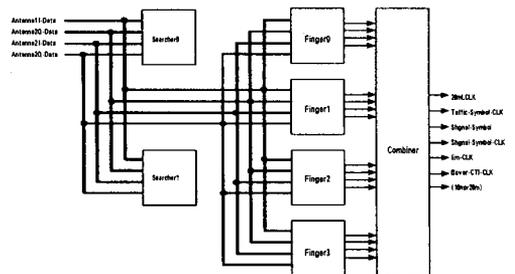
encoding 및 interleaving을 수행한다. 그러므로 실제 encoder와 interleaver에 사용되는 클럭은 표준에 제시된 rate보다 상당히 빠르다.

RP Demodulator 구현

RP Modem은 단말기 송신 신호를 복조하기 위하여 단말국의 pilot channel을 수신하고 이를 이용하여 access channel을 복조하여 필요한 전송률등을 설정한다 그리고 PPCS channel의 정보를 이용하여 동기를 유지하고, 전력제어 정보를 추출하여 단말국의 수신 상태를 파악하며 이를 이용하여 송신 전력의 이득을 조정하는데 사용한다. 아울러 DTX 정보를 추출하여 현재 단말국의 수신 상태를 파악할 수 있게 한다. 이와 함께 traffic channel을 복조하여 필요한 음성 정보 또는 data 정보를 수신한다. 한편 수신된 신호에서 symbol을 추출하고 이 중에서 PPCS channel의 signal 신호 및 traffic channel 신호는 Viterbi decoder를 수행하기 위하여 외부 decoder chip으로 신호가 보내진다. 그리고 decoder 된 신호는 다시 받아 traffic channel은 E1으로 전송하고 signal channel은 processor로 보낸다.

Demodulator의 주요 기능 및 특징을 열거하면 다음과 같다.

먼저 Antenna diversity를 지원하기 위하여 두개의 antenna 입력 신호를 사용하고, 기본 기능으로 pilot초기 동기 검출기능 및 단말국 전송 access channel 검출 기능, 단말국 전송 PPCS 검출 기능, 단말국 전송 traffic channel 검출 기능 단말국 전송 packet channel 검출 기능등이 있으



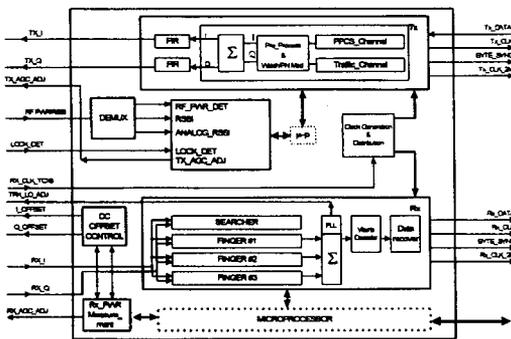
〈그림 3〉 RP Demodulator 블럭도

며, 그 밖에 단말국의 이동 및 무선 channel 특성에 의한 동기 추적 기능, 무선 channel 특성에 의한 다중 경로 신호 분리 기능, 다중 경로 신호 합침 기능등이 있다.

이를 각 function block별로 세분하면 PN code 생성 및 제어 기능, Channel 분리를 위한 64차 Hadamard 생성 및 제어 기능, PN 및 Hadamard code 위치를 제어하기 위한 slewing 기능, 에너지 계산 기능, Local peak 검출 및 전송 에너지 결정 기능, Searching 검색 구간 설정기능, 검색 완료 신호 발생 기능, Pilot channel의 위상을 측정하는 channel estimation 기능, 검출 유효 판정 기능 (Lock detection), Symbol 구간 설정 기능, Code tracking 기능, Time align을 위한 buffer 기능, PPCS 분리 기능, 다중 경로 중 기준 시간 설정 기능, 각 다중 경로의 symbol 합침 기능, 및 기준 symbol clock 생성 기능등이 있다.

RIU Modem구현

WLL RIU Modem ASIC은 microprocessor의



(그림 4) RIU 모뎀 블럭도

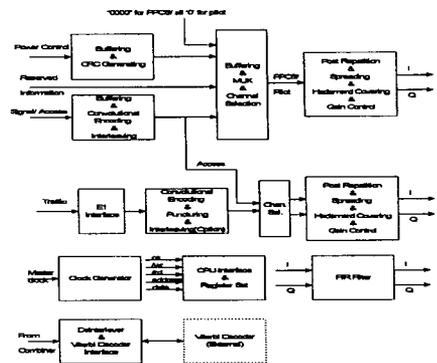
control에 의해 CDMA WLL 단말기 시스템의 forward-link demodulation과 reverse-link modulation 기능을 수행한다.

RIU Modem의 송신부

국내 WLL규격의 특징은 IS-95와 달리 역방향 채널에 pilot이 존재하는 coherent방식을 쓰고 있다는 점이다. 그리고 무선 자원의 효율적 활용을 위해 파일럿, 전력제어, 신호데이터가 mux되어 한

채널로 전송되도록 하고 있다. 그리하여 수신단에서는 일정 구간 동안만 pilot처리를 하도록 설계되어 있다.

트래픽 데이터는 직렬-병렬 변환전에 전반복 과정을 거치면서 BPSK로 변조되고 있어 국내 WLL규격에 의한 트래픽은 순방향은 QPSK, 역방향은 BPSK인 구조를 가지고 있다. 또한 변조된 신호의 constellation이 0점을 지나지 않도록 Hadamard Code를 할당하여 RF증폭단의 선형성이 크게 중요하지 않도록 power 비율을 할당한 특징이 있다.



(그림 5) RIU 송신부의 블럭도

트래픽 채널의 구조는 RP와는 달리 scrambler가 없다.

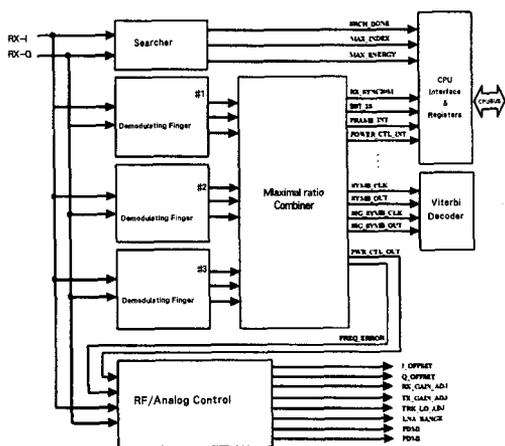
그림에 RIU 송신부의 블럭도를 보인다.

RIU는 Pilot/Access채널과 PPCS(Pilot, Pilot Control and Signalling)/Traffic채널과의 순차적 전환이 필요하므로 이 두 채널간의 이동이 되도록 설계를 하였으며 Pilot은 PPCS채널을 Access는 Traffic채널의 경로를 이용하도록 설계하였다. 그리고 수신단의 Deinterleaver와 외부 Viterbi decoder와의 인터페이스를 위한 블럭을 송신단에서 처리하도록 하였다. Viterbi decoder는 현재 외부 별도칩을 사용하고 있으나 향후 단일 ASIC에 내장할 계획이다.

FIR필터는 8.192Mcps의 4배 클럭으로 동작하며 WLL규격의 waveform에 부합하도록 설계하였다.

RIU Demodulator 구현

CDMA Demodulator는 8 * 8.192 MHz로 샘플링된 I- & Q 신호를 받아들여 pilot acquisition을 수행하고, 시스템 timing 동기를 이룬 다음 Searcher에 의해서 할당된 RAKE 수신기를 통해 여러 경로 들어오는 수신신호를 복조한다. ASIC 내의 Demodulator는 지연시간이 서로 다른 여러 경로의 신호들을 demodulating finger에서 각기 개별적으로 복조한 후 복조된 신호들을 symbol combiner에서 합치는 방식을 사용한다. 그리고 신호 수신과정 동안 계속하여 frequency control 신호를 생성하여 frequency tracking을 지속하며, 단말기의 송신신호 세기와 수신 입력신호의 세기를



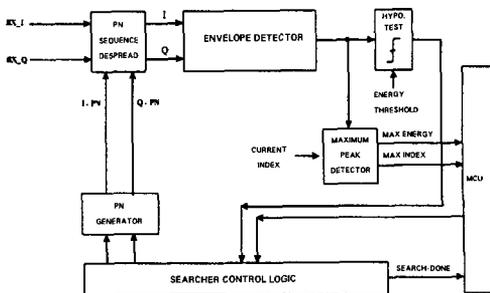
〈그림 6〉 RIU Demodulator 블럭도

적절히 유지하기 위한 AGC(Automatic Gain Control) 신호들을 생성한다.

Demodulator의 기본 구조는 그림에 나타난 것과 같이 시스템 동기를 획득하기 위해 pilot 신호를 탐색하는 searcher와, 다중경로 신호를 복조하기 위한 3개의 coherent demodulating finger와 symbol combiner 로 구성된 RAKE 수신기, 채널 상의 에러를 정정하기 위한 deinterleaver와 Viterbi decoder 그리고 RF/Analog부를 콘트롤 하기 위한 RF/Analog Control 블록으로 구성된다.

Searcher Block

Searcher는 8 * 8.192 MHz로 샘플링된 I- & Q- digital data를 받아들여, 이 신호에 대해서 pilot acquisition을 수행한다. 이를 위하여 Pilot Searcher는 기지국측에서 사용한 것과 동일한 PN sequence를 생성시키는 PN Generator와 이 PN Generator의 timing을 조절하기 위한 Slewing Controller, 그리고 Despreader와 이 Despreader의 출력을 일정한 시간 (Search Integrate Time) 만큼 accumulation한 후 energy를 구하는 Correlator 부분들로 구성된다. Pilot Searcher는 가능한 모든 pilot PN sequence timing에 대해서 pilot energy를 구한 후 energy 최대값을 갖는 pilot PN sequence의 timing을 MCU에 알려 준다. MCU는 Searcher의 출력인 MAX-INDEX와



〈그림 7〉 Searcher 블럭도

MAX-ENERGY를 이용하여현재의 SRCH-POSITION으로부터 reference PN timing을 정하고 RAKE 수신기의 각 finger timing을 조절하게 된다.

III. 결 론

당사는 ASIC개발에 있어서 시간적인 간격을 줄이기 위해 자매사인 LG반도체의 지원을 받아 FPGA에 의한 프로토타입 개발과 ASIC개발을 동시에 추진하고 있으며 현재까지 LG반도체의 ASIC library를 사용한 전환작업이 순조롭게 진행

되고 있다.

또한 시스템과 모뎀을 동시에 개발함으로써 당사 개발 시스템에 최적화된 modem ASIC설계가 가능하였으며 새로운 시스템을 개발하면서 겪어야 했던 여러 문제점들에 효과적으로 대응할 수 있었다. 즉, improvement and modification on field의 개념을 끌어들이므로써 설계의 안정성을 상당히 높일 수 있었다고 본다.

향후 대용량이며 저가의 FPGA들의 출시가 이어질 것으로 보여지며 FPGA의 설계를 별도 ASIC전환의 과정을 거치지 않고서도 그대로 on chip masking할 수 있는 기술들이 속속 상용화됨에 따라 FPGA와 ASIC간의 전환사이클은 점점 단축되고 있는 추세에 있으며 때에 따라서는 ASIC으로의 전환이 불필요할 정도의 가격 경쟁력을 갖출 수도 있게 될 것이다. 이전에 존재했던 ASIC과 FPGA사이의 간격이 점점 좁혀지는 느낌이다.

더군다나 표준화와 시스템의 개발이 함께 진행되어야 했던 국내 WLL 시스템의 경우 개발성공을 극대화 할 수 있었으며 아울러 비용절감 효과도 매우 컸다고 본다.

향후에도 당사는 FPGA에 의한 프로토타입 개발과 상용 ASIC개발을 병행해 나갈 것이며 상황에 따라 프로토타입을 바로 상용화할 수 있도록 유연한 자세를 견지할 것이다.

참 고 문 헌

- [1] KT,DACOM,ETRI, Wireless Local Loop을 위한 무선접속규격(안), 1997. [2] Andrew J. Viterbi, CDMA, Principles of Spread Spectrum Communications, Addison & Wesley, 1995.
- [3] IEEE Standard VHDL Language Reference Manual, IEEE, 1994.
- [4] ALTERA Databook , ALTERA, 1996.

저 자 소 개



李 京 國

1954년 8월 22일생. 1977년 2월 한양대학교 통신공학. 1979년 2월 한양대 대학원 통신공학. 1990년 3월 KAIST 박사과정. 현재 LG정보통신(주) 전송연구단장. 주관심 분야 Digital Communication,

DSP



文 斗 泳

1955년 2월 13일생. 1980년 1월 한양대학교 전자공학과 졸업. 1980년 1월~1987년 4월 금성전기(주). 현재 LG정보통신(주) 책임연구원. 주관심 분야:가입자 전송, 디지털통신, 무선통신



成 商 憲

1969년 5월 4일생. 1993년 2월 아주대학교 전자공학과 졸업(공학사). 1995년 2월 아주대학교 전자공학과 대학원 졸(공학석사). 1995년 1월~1998년 3월 LG정보통신 중앙연구소 디지털 통신실 주임 연구원. 주관심 분야: 이동통신, CDMA ASIC, DSP

구원. 주관심 분야: 이동통신, CDMA ASIC, DSP



李 明 煥

1970년 2월 10일생. 1992년 2월 서울대학교 전자공학과 학사. 1994년 2월 서울대학교 전자공학과 석사 현재 LG정보통신(주) 선임연구원. 주관심 분야: 무선통신, spread spectrum, CDMA