

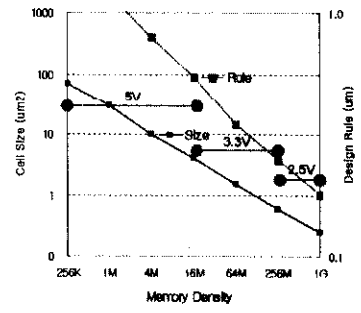
# 고집적 메모리의 테스트 기술

안 영 창  
LG반도체 중앙연구소

## I. 서 론

1970년대 초반 1K Bit 용량의 MOS 메모리 제품이 선보인 이래로 반도체 메모리의 제조기술은 급속한 발전을 이루어 이제는 Giga Bit용량의 메모리시대로 접어들고 있다. 그동안에 특히 팔목할 만한 성장을 한 부분은 DRAM으로, 90년 초반을 정점으로 디지털 회로와 가정용 개인용 컴퓨터의 지속적인 발전과 보급에 힘입어 매년 수 10%의 시장확대를 계속하여 왔다. 이러한 메모리 시장상황과 함께 메모리의 제조기술 또한 급속한 발전을 하였으며 집적도는 기하급수적으로 증가. 256K에서 256M까지 세대를 더할수록 제품의 주기는 빠르게 변하고 있다. DRAM의 제조기술 발전과 함께 같은 MOS제품군인 SRAM, ROM 등의 메모리 제품도 집적도와 제조기술에서 동반 발전하여 왔다.

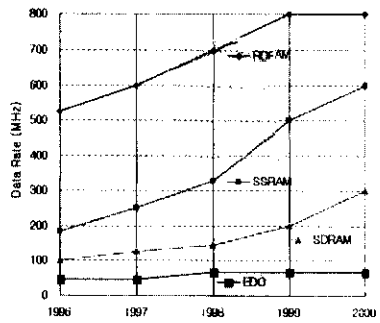
메모리의 집적도 향상과 함께 제품의 품질을 전적으로 보증하는 공정한 메모리 테스트에 대한 중요도가 높아지는 것 또한 사실이며, 제조원가에서



<그림 2> DRAM의 Cell Size와 Design Rule의 변천

차지하는 테스트비용은 다른 공정의 비용증가보다 상대적으로 많이 증가하여 64M제품 세대이후에는 제조비용의 많은 부분을 테스트비용이 차지할 것으로 예상된다. 이에 따라 Testability를 고려한 설계기술이 도입되고있으며, 메모리 BIST의 경우는 일부 Embeded 메모리 제품에 적용 상태에 있다. 그러나 256M, 1G 등의 메모리제품에 실제 적용하기에는 아직 상당한 실험과 평가를 거쳐야 될 것으로 판단된다<sup>[1, 2, 3, 4]</sup>.

<그림 1>은 DRAM을 응용한 메모리제품의 종류별로 Speed에 대한 Performance 변화를 나타낸 것으로 현재는 RDRAM(Rambus DRAM)이 가장 빠른 약 500~800MHz의 Data Rate를 가지



<그림 1> 메모리제품의 Performance 변화

<표 1> 고속 메모리제품의 Interface 사양

항 목	LVTTL	SSTL-2	D-Ram bus
주요대상	PC100, SDRAM	DDR, SLD RAM	RIMM
속도(MHz)	100~145	200~800	800
출력전압	3.3	2.5	2.5
Clock Edge	Rise	Rise/Fall	Rise/Fall

며, 아직은 DRAM의 주종을 이루는 SDRAM의 경우 100~143MHz대의 제품군을 이루고 있다. <표 1>은<sup>[5]</sup> 일반 DRAM에서 속도를 높인 SDRAM과 SLDRAM, D-RDRAM의 출력 Interface 사양과 출력전압을 보여주고 있는데, 메모리의 세대에 따른 테스트 비용의 증가는 대용량화로 인한 테스트시간의 증가도 있지만, 메모리의 성능 향상으로 이러한 성능을 평가하기 위한 메모리 테스트의 가격 상승도 한 요인이다.

따라서 이상에서 기술된 모든 것을 만족하면서 제품의 품질을 확실하게 보장 할 수 있는 테스트를 하기 위해서는 Testability를 고려한 설계기술과 병행하여 제조과정의 불량률 효과적으로 Screen할 수 있는 테스트 방법과 정확한 해석방법이 필요하다. 본 고에서는 메모리제품, 특히 DRAM의 테스트에 관련된 전반적인 내용과 현재 개발되고 있는 제품들의 개발과정에서 많이 나타나는 불량률과 테스트방법에 대하여 알아보고 생산 적용시 불량률의 적절한 Screen 방법에 대한 내용을 중심으로 기술하고자 한다.

## II. 메모리 Device의 구조와 동작

지금의 메모리반도체 근원은 1960년대 중반으로 올라간다. 그 당시에 Magnetic 필름을 사용한 기억소자가 Computer의 기억장치로 쓰이기 시작되면서 동시에 반도체 IC를 이용한 기억소자의 개발이 시작되었다.

메모리 반도체의 종류는 크게 휘발성(Volatile)과 비휘발성(Non-volatile) 메모리로 구분되며 이것은 전원공급의 중단시의 데이터 보존여부에 따라, 보존이 가능한 Mask ROM, EPROM(Erasable Programmable ROM), EEPROM(Electrically EPROM), FLASH와 강유전체의 분극현상을 이용한 FRAM(Ferro-electric RAM) 등의 제품이 있다. 반대로 전원공급을 중단하면 이전에 쓰여진 데이터를 보존하지 못하는 휘발성 메모리로는 SRAM과 DRAM이 있으며, Cell의 구조에 따라

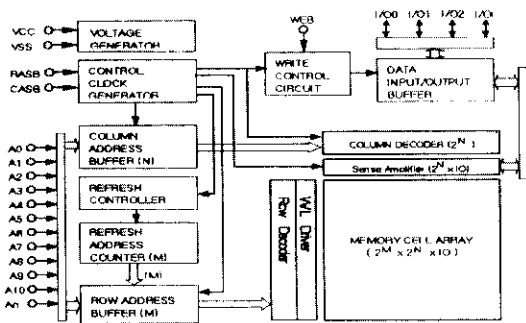
Latch 의 Cell 구조를 가진 SRAM은 전원을 공급하는 한 쓰여진 데이터는 보존되지만, 1트랜지스터+1커패시터 형의 Cell구조를 가진 DRAM은 약 25~35fF의 커패시터에 쓰여진 데이터를 유지하기 위해서는 일정시간마다 쓰여진 데이터를 복원해주는 Refresh 동작이 필요하다.

고성능화를 추구한 DRAM의 파생 제품으로는 SDRAM(Synchronous DRAM), D-RDRAM(Direct Rambus DRAM), SLDRAM(Sync-Link), DDR(Double Data Rate) SDRAM 등의 제품이 있는데, Core회로는 모두 기존의 DRAM과 동일하며 메모리의 성능향상을 위한 새로운 제품표준에 맞게 설계기술이 적용된 제품으로 보인다. 이러한 제품들의 테스트 또한 기존의 DRAM과 비슷한 방법으로 테스트를 행하며, 메모리 Cell에 대한 동일수준의 신뢰도를 확보할 수 있는 테스트가 필요하다.

메모리의 집적도 증가와 회로에 사용되는 소자 및 설계 Design Rule, 그리고 외부 동작전원의 변화를 <그림 2>에서 보여준다<sup>[6,7]</sup>. 제품의 제조단가를 낮추고 성능개선을 위하여 Chip 사이즈와 소자의 Scale Down은 지속적으로 이루어지고 있으며, 지금에는 약 0.2 $\mu$ m<sup>2</sup>의 메모리 Cell이 나오기에 이르렀다. 이와 같은 소자와 배선의 Scale Down으로 제품의 제조과정은 더욱 복잡해지고 공정 난이도는 높아만 간다. 그리고 불량률의 빈도수가 메모리 Density와 비례하지는 않지만, 각 제품의 초기 세대에서는 Chip Size가 클 수 밖에 없기 때문에 그만큼 증가한다고 볼 수 있으며 불량률정도 더욱 복잡 미묘하게 발생하게 된다. 따라서 테스트비용도 관건이지만 이러한 불량을 검사 할 수 있는 새로운 테스트 방법에 대한 다양한 대책이 요구된다.

### 1. 메모리의 회로구성

<그림 3>은 메모리 반도체중에서 DRAM의 주요회로 구성을 나타낸 것으로 제품에 따라 차이는 있지만 대부분의 메모리는 이와 같은 구성요소로 회로가 이루어지며, 크게 메모리 셀 Array와 센스 앰프회로로 구성된 Core 회로부와 메모리 Cell을 액세스 하기 위한 제어신호 발생부, 어드레스 Pin



〈그림 3〉 DRAM의 주요 회로부

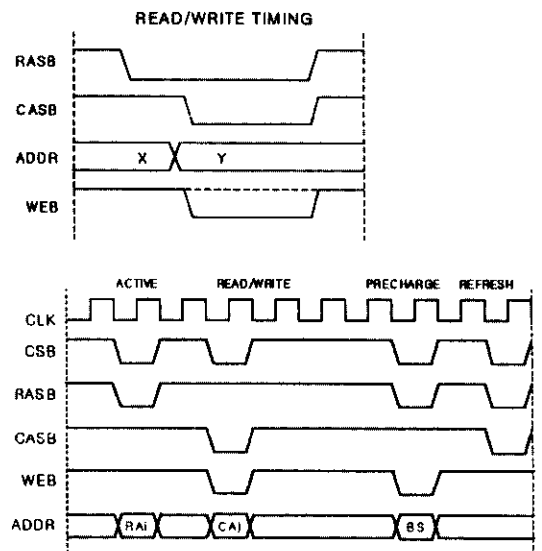
을 통한 어드레스 멀티플렉싱(Multiplexing)에 의하여 Row, Column 어드레스를 Latch하는 Row/Column 어드레스 버퍼 그리고 이들 버퍼의 어드레스를 디코딩하여 최종 액세스되는 Wordline과 Column선택 선을 동작시키는 Row/Column 디코더로 이루어지는 Peripheral 회로부로 구분된다. 메모리 Core 회로부의 경우 실제제품에서는 여러 블록으로 분리하게 되며 이것은 하나의 메모리 Cell이 부담해야 할 Bitline의 부하와 동작시의 소모전류를 줄이기 위한 기술로 센스앰프의 감도와도 관계가 되며, 고집적 DRAM 개발시에 주요 과제중 하나인 Cell Refresh 특성과도 밀접한 관계가 있다.

앞에서 설명한 DRAM을 응용한 메모리 제품인 SDRAM, RDRAM, SLDRAM 등의 제품은 모두 이와 같은 방식으로 Core 회로부를 구성하며 동작 방식에 따라 Peripheral 회로부와 인터페이스 방식이 조금씩 다르게 된다. 메모리제품의 경우 Chip 전체 면적에서 메모리 Cell Array가 차지하는 비율을 통상 Cell Efficiency라고 하는데, 일반적으로 약 60%를 상회하며 여기에 센스앰프 Array를 포함하면 대부분의 면적이 Core 회로부를 구성하는데 쓰인다고 볼 수 있다. 따라서 메모리제품의 테스트에서 주변 회로부를 검증하는 테스트도 있지만 대부분의 테스트 시간은 메모리 Cell을 포함한 Core 회로부의 불량률 검출하는데 사용된다. 앞에서 나온 Cell Efficiency는 메모리 Cell의 불량률과 관계가 있으며 또한 이것은 제조과정의 양품 비율인 수율(Yield)과 관계되는 설계단계의 변수라고 할 수 있다.

## 2. 메모리의 동작방식

DRAM은 SRAM과 다르게 Address 신호를 시분할(Multiplexing)하여 입력하므로 /RAS와 /CAS 두 가지 신호의 제어가 필요하다. 그래서 Row와 Column 어드레스 버퍼가 따로 있으며, 〈그림 4〉의 동작 타이밍도로 설명하면 /RAS와 /CAS의 동작 Edge 혹은 Vector에 따라 Row와 Column 어드레스를 받아들일게 된다. 다음에서는 동작방식이 비슷한 EDO DRAM과 SDRAM을 예로 메모리의 동작에 대하여 설명하고자 한다. /RAS가 H 혹은 SDRAM의 Precharge와 Active 명령 사이의 시간대(tRP)는 Row 어드레스 버퍼와 디코더, 센스앰프와 같은 RAS계 내부회로의 Precharge 시간으로 정의되며 이 기간동안에 대부분의 회로는 동작을 멈추고 대기(Standby) 상태로 유지한다. 또한 이 기간의 전력소모를 Standby 전류라고 하며, 메모리를 사용하는 시스템의 소형화, 저전력화와 함께 이 전류의 특성은 매우 중요하며 제품의 주요 성능으로 다루어진다. 제품의 개발시에 테스트로 평가되는 첫번째 항목도 바로 이 Standby 전류로, 이 값을 기준으로 공정이나 설계의 기본적인 평가와 단순불량을 검사 할 수가 있다.

/RAS가 L 혹은 Active 명령이 입력되면 DRAM



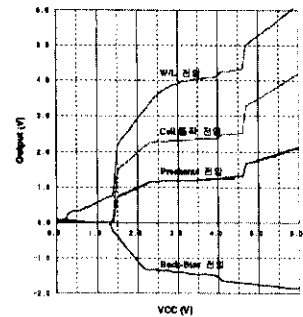
〈그림 4〉 EDO와 SDRAM의 동작Timing도

은 Active Mode로 전환된다. 먼저 Row 어드레스가 입력되고 Row 디코더에 의하여 선택된 Wordline의 활성화와 함께 메모리 Cell에 들어있던 데이터가 Bitline으로 전달된다. 동시에 센스앰프가 동작되어 Bitline으로 전달되어진 메모리의 정보를 감지하고 증폭시킨다. 여기에서 테스트와 연관된 중요한 분석 항목으로는 Wordline 활성화와 센스앰프의 동작사이의 내부 타이밍 마진과 관련되어 다양한 분석이 나올 수 있다. 이 구간의 시간은 메모리의 데이터 Access Time과 밀접한 관계가 있는 것으로 최근에는 이 부분의 내부 타이밍을 Mask에서 수정하지 않고 테스트모드로 조정할 수 있게 하여 제품분석에 이용하고 있다. 이상에서 메모리의 정보는 센스앰프에 의하여 재저장(Restore)이 되며, 이러한 일련의 동작을 DRAM에서 흔히 Refresh라고 하며 /CAS와는 무관하게 이루어지는 동작이다.

/RAS가 L를 유지하거나 Precharge 명령이 들어오지 않으면 메모리는 Active Mode가 계속된다. 여기에서 우선 CAS계의 동작설명을 먼저 하면, H인 구간에는 역시 Precharge 구간으로 데이터의 출력앰프, 입력버퍼와 같은 CAS계 내부회로를 Precharge하여 데이터의 읽기와 쓰기 동작의 준비를 한다. 위에서 RAS계의 Active Mode가 유지된 상태에서 CAS계의 동작이 시작되면 Column 어드레스가 입력되고 어드레스 버퍼는 닫힌다. 입력된 어드레스는 디코더에 의해 Column선택 선을 활성화하고 증폭이 완료된 Cell의 데이터를 읽어내거나, 쓰기 동작을 한다.

지금까지의 일반 DRAM에서 주변회로의 내부 타이밍 마진과 관련된 불량은 주로 CAS계와 유관한 불량이 많았으며, 이러한 동작 타이밍 불량은 공정과 소자의 특성에 따라 나타날 수 있는 문제로, 설계과정에서 충분한 마진을 확보하는 것이 중요하지만 일반적으로 제품의 성능을 고려하여 최적으로 설계를 할 수 밖에 없고, 불가피한 경우는 불량유형을 분석하여 공정이나 소자특성으로 제어하고 제품의 테스트공정에서 모니터를 하기도 한다.

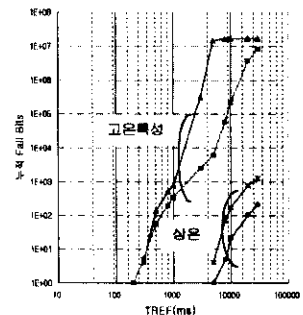
이상으로 간략하게 메모리의 동작과 관련된 불



〈그림 5〉 제품의 내부전원 출력특성

량유형에 대하여 테스트의 관점에서 살펴보았다. 앞의 내용은 주로 내부동작 마진이나 공정과 복합된 불량에 관한 것이며 그 외에도 소자의 Scale Down에 의한 저전압 회로와 관련된 불량도 흔히 발생하는 유형이며 〈그림 5〉에는 제품의 내부전원 전압의 특성 그래프를 나타내었다. 저전압 회로의 목적은 메모리 적용 시스템의 공급전압을 유지하면서 제품의 소자를 Scale Down하는데 따른 MOS Gate의 Dimension 축소로 신뢰성과 수명을 유지하고자 하는 것이 첫번째 이유이다.

Dynamic RAM의 가장 큰 특징은 고집적을 할 수 있는 반면에 써논 데이터를 지속적으로 유지할 수 없다는 것이며, 이것은 DRAM의 Cell 구조에 기인된 것으로 제품의 전체 메모리 Cell은 일정 시간동안 데이터를 유지할 수 있는 능력이 있어야 한다. 이 시간을 Refresh Period라 하고 각 제품마다 정해진 규격이 있으며 실제 제품의 특성은 고온의 조건에서 이 규격대비 비교적 많은 마진을 가지고 있어야 한다. 이유는 보다 나은 특성을 가진다면 제품으로서 경쟁력이 있다는 것



〈그림 6〉 DRAM의 Refresh 특성그래프

도 있지만, 최근에는 저 전력을 요하는 시스템이 늘어나는 추세이고 이와 함께 메모리의 Refresh 모드에서 소비전력을 줄이기 위한 것이 큰 이유이다.

따라서 이러한 Refresh 특성의 개선을 위한 테스트 측면의 분석도 많은 부분을 차지한다. 일반적으로 이 특성의 평가는 <그림 6>과 같은 특성그래프로서 평가되며 이 그래프의 Curve를 분석함으로써 소자측면의 개선방향이 잡혀진다. 물론 소자단위의 전기적 특성의 측정에 의한 데이터도 있지만 제품의 구체적인 특성은 이 그래프에서 나타난다. DRAM에서 현재와 같은 메모리 Cell 구조가 앞으로도 계속되는 한 Refresh 특성은 메모리에서 큰 쟁점중의 하나이며, 이에 대한 테스트측면의 다양한 분석 방법과 데이터의 해석에 대한 대책이 필요하다. Refresh 테스트에 대한 자세한 것은 다음 절에서 소개한다.

### III. 메모리의 테스트 기술

앞 절에서 메모리의 제품측면에서 여러 소개가 있었지만 본 절에서는 설계와 제조과정을 거친 메모리제품을 테스트함에 있어서 설계 및 공정관련 불량을 분석하고 평가하는 측면에서 테스트의 접근방식을 위주로 기술하고자 하며, 테스트공정의 생산성(Through-put)과 관련된 부분은 이미 많이 다루어졌기에 간단하게 소개하였다. 앞서도 나왔지만 제품의 Cost와 개발에 있어서 테스트의 중요성은 모두가 인식하고 있는 사항이며 그 영향은 지대하다.

메모리제품의 개발에 있어서, 1차적으로 설계과

정에서 시뮬레이터를 통한 로직이나 타이밍 시뮬레이션을 거치며, 제조공정이 개발되어 있는 경우에 결과는 별무리 없이 나온다. 그러나 새로운 소자나 공정으로 제품개발을 할 경우 여기에는 많은 변수가 존재하며, 설계단계에서 1차 검증을 하였지만 실제 제조된 제품의 테스트에 의한 평가로서 모든 관련 특성을 확인하고 결과를 설계, 공정에 Feedback하여 수정하게 된다. 이러한 과정으로 제품의 모든 제조사양이 완성되어 제품은 생산단계로 들어가며, 이 단계에서 테스트는 제품생산의 한 공정으로서 세부적으로는 여러 단계의 테스트공정을 거치면서 제품의 불량을 검사한다.

이때 적용되는 모든 테스트항목은 테스트 사양(Specification)에 의해 정의되며 개발과정에서 발생한 불량항목이나, 제품의 설계과정에서 파악된 취약한 부분을 검사하는 테스트항목도 포함하게 된다. <표 2>는 제품의 개발단계별로 테스트의 기능과 성격에 따라 그 목적을 정의한 것이다<sup>[8]</sup>.

#### 1. 주요 테스트공정의 소개

테스트공정의 역할과 각 단계별 목적에 대한 소개가 앞에서 있었으며 여기에서는 개발단계를 지나고 제품생산 단계에서 적용하고 있는 테스트공정에 초점을 맞추어 기술하였다. 제품의 개발단계에서도 기본적으로는 이와 같은 공정을 거치지만 앞서 설명한 평가와 분석의 개념이 포함되기 때문에 Setup된 공정은 아니다. <그림 8>에서 메모리 테스트의 공정도를 보여주고 있으며, 크게 제조공정이 완료된 상태인 Wafer Level의 테스트와 여기에서 선별된 양품으로 Package Assembly 공정을 끝낸 상태인 Package Level의 테스트로 구분된다. 제조회사별로 이들 테스트공정의 명칭은 조금씩 다르며 소개하는 내용은 보편적인 용어로 기

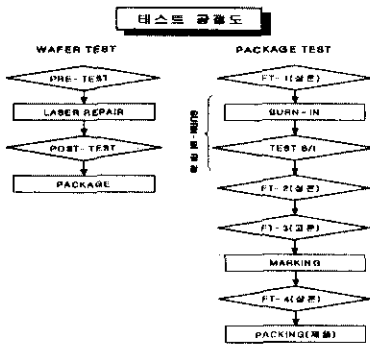
<표 2> 제품의 단계별 테스트의 목적

단계별 기능	목적과 내용	단 계
평가(Evaluation)/분석(Analysis)	기능, 성능, 설계사양의 검증	연구개발
불량분석(Failure Mode Analysis)	제조결함, 수율향상	제품개발
검사(Test)	제조결함, 제품선별, 생산성 향상	양산
제품의 불량분석	고객 Claim건, 응용	제조지원, 응용

술한다.

1.1 Wafer Test

Wafer Level의 테스트는 일반적인 IC제품이 아니라 실리콘 Wafer위에 제조과정이 끝난 개별 Chip을 테스트하는 것이므로 Wafer를 Handling 하는 Auto-Prober와 메모리 테스터(ATE)에서 수행되는 테스트 프로그래밍에 의해 자동적으로 수행된다. 이때 Wafer위의 Chip을 전기적으로 메모리 테스터와 연결하는 것은 프로브카드가 역할을 하며 이 카드는 설계시에 Package 조립과 테스트를 위해서 제작해 놓은 전기적 입출력 단자인 PAD들을 탐침(Probe Tip)에 의해 전기적으로 접촉이 된다.



<그림 7> 메모리의 테스트 공정도

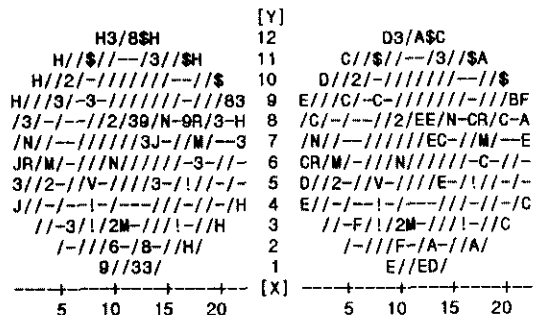
단계별로는 메모리의 부분결함을 구제하는 공정인 LASER Repair를 전후하여 Pre-Test와 Post-Test로 구분되며 각 공정의 테스트항목이나 순서는 동일하나 Pre-Test의 경우 AC 기능테스트 시에 부분적으로 발생하는 메모리의 결함정보를 분석하여 리던던시(Redundancy) Cell을 어떤 식으로 구제할 것인가를 판단하는 프로그램이 수행된다. 이 용어를 일반적으로 Redundancy Analysis(R/A)라고 하며 메모리의 집적도가 높아지면서 메모리에 들어가는 리던던시의 방식과 숫자도 상대적으로 복잡해지고 있는 관계로 이러한 리던던시 해석을 수행하는 시간도 테스트시간에 상당한 부분을 차지하게 된다. 따라서 각 메모리 테스터(ATE)에서도 이 부분의 해결을 위하여 추가 S/W와 H/W 개발에 신경을 쓰고있으며, 실제로 64M 이상급의 제품에서는 Through-Put에 영향을 주고

있는 정도이다. 이와 함께 리던던시의 불량률도 증가하므로 수율(Yield) 향상을 위하여 리던던시 Cell만을 따로 테스트할 수 있는 테스트모드를 추가하고 결함구제의 해석에 이 부분까지 고려함으로써, 양품구제 수율인 FTA(Fixed to Attempt)를 95% 이상으로 유지한다.

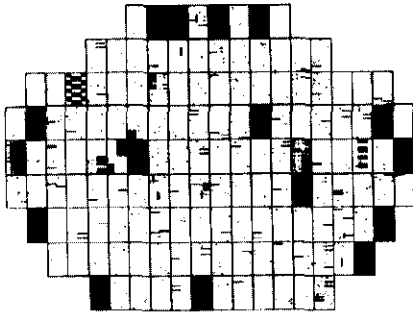
LASER 구제공정에 대하여 간단히 소개하면, 앞에서 해석된 메모리 결함정보를 이용하여 역시 프로그램에 의해 수행되는 LASER 구제장치에서 결함이 발생한 Row나 Column 디코더를 비활성화시키고 해당 리던던시의 디코더를 활성화하도록 Fuse를 프로그램하는 것을 말한다. 메모리에서 이러한 Fuse를 절단하여 회로의 동작을 변경하는 Idea는 여러 방면으로 사용된다. 일반적으로 Fuse의 재료는 메모리에서 흔히 사용하는 Polysilicon이나 Metal로 하며 이 공정이 진행될 때 같이 제조된다. 메모리의 결함구제의 회로방식에는 여러가지가 있으며 집적도와 관련하여 Fuse방식의 변화에도 다양한 시도가 있다.

Post-Test는 보통 EDS(Electrical Die Sorting) 테스트라고도 하며 앞서 설명한 Pre-Test에서 해석한 불량률을 구제한 후에 이것을 검사는 공정이 된다. 따라서 테스트항목의 수준은 Pre-Test와 동일하게 적용을 하는 것이 당연하고 필요에 따라 부가적인 테스트항목이 포함될 수도 있다.

이상에서 설명한 Wafer 테스트는 제품의 단계에 따라 각 공정에서의 테스트의 항목이나 순서를 융통성 있게 적용하게 되며 기본적으로는 <그림 7>의 공정을 거치며 최종적인 테스트결과와는 <그림 8>과 같이 Wafer내 Chip의 배열대로 각 Chip의



<그림 8> Wafer 테스트의 Map



〈그림 9〉 Wafer Fail Bitmap

불량코드(Bin)를 Map형태로 출력시킨다. 여기에서 Bin이라는 용어를 설명하면 각 공정의 테스트 항목별로 코드를 부여하고 순서에 따라 테스트가 진행되면서 불량 발생하면 이 코드로서 제품의 불량을 구분한다.

개발단계에서도 그렇지만 특히 생산단계에서는 이 Wafer Map이 모든 불량분석의 기초자료로 이용된다. 특히 Wafer의 대구경화로 제조공정에서의 Wafer 내의 공정제어가 어려워지고 있는 까닭에 공정에서의 이러한 제어와 관련된 제조결함은 곧바로 Map의 결과에서 나타나게 된다. 〈그림 8〉의 오른쪽 Map은 Chip내의 결함의 유형에 따라 역시 서로 다른 Bin번호로 표시하여 불량유형의 통계적 데이터처리에 유용하게 사용된다. 그러므로 각 공정의 테스트순서가 중요하게 되는데, 순서를 효과적으로 적용해야 Map의 결과를 분석에 용이하게 사용할 수 있게 된다. Wafer Map의 결과만으로 제조불량의 유형 파악이나 원인분석이 어려운 경우는 Fail Bitmap형태의 데이터를 Wafer 전체에 대하여 분석한 〈그림 9〉와 같은 Wafer Fail Bitmap으로 분석의 방향을 잡는다. 〈그림 8〉에서 불량 Category만을 보여주는 Wafer Map과는 달리, 이러한 Fail Bitmap은 Chip뿐만 아니라 Wafer 전체의 결함에 대하여 각 유형별 해석과 위치까지 파악할 수 있는 데이터를 제공한다.

이러한 테스트 데이터는 보통의 수준이며 이외에도 단계별 목적에 따라 평가(Evaluation)와 분석을 위하여 활용되는 Raw 데이터를 포함한 특성 데이터는 헤아릴 수 없을 정도로 많다. 항목별 자세한 내용에 대하여는 2항에서 기술하였다.

### 1.2 Package Test

지금까지 Wafer 테스트와 관련된 일반적인 기술사항에 대하여 소개하였으며, 여기에서 선별된 Chip으로 Package 조립공정을 거쳐서 나온 Package 제품의 테스트에 대해 소개한다. Package를 하기위한 Chip의 선정은 역시 Post-Test의 결과로 나온 〈그림 8〉의 Map 정보를 Package Die Bonder 장비에 입력하여 양품만을 조립한다.

Package Level의 테스트는 Final Test라고도 하며 〈그림 7〉의 공정도에 따라 조립공정을 거치면서 발생한 추가결함을 검사하는 FT-1단계의 테스트가 가장 먼저 진행되며, 그 다음으로 제품에 내재된 초기불량의 검사를 위한 Burn-In과 테스트가 있다. Burn-In이라 함은 제품을 고온, 고전압(125℃, 6V)하에서 장시간 동작을 시키면서 제품의 취약한 부분에 스트레스를 가하여 불량을 사전에 제거하기위한 공정이며, 이러한 Burn-In조건은 동작전압이나 소자의 조건에 따라 정해지고 스트레스에 의한 불량률이 일정값 이하로 되는 것을 기준으로 시간을 산정한다.

Test Burn-In은 B/I 장비에서 B/I후의 열화에 의한 결함을 검사 하는 것으로, B/I은 고온의 조건뿐만 아니라 제품을 동작시키는 것이 필요하므로 B/I 장비에 테스트의 기능까지 결합 수 있게 하여, 약 100에서 250개 전후의 제품을 한장의 Board에 장착하고 B/I과 검사를 차례로 진행하여 이 공정의 소요시간을 줄이고, 또한 Refresh 테스트와 같은 장시간의 테스트를 요하는 항목만을 분류하여 이 단계에서 적용하는 방식으로 테스트공정을 적용하여 비용의 절감차원에서 이용된다. 그러므로 이러한 Test Burn-In이 도입되면서 특히 많은 부분의 테스트시간을 Refresh 검사에 할애하는 DRAM의 경우는 테스트비용 측면에서 상당한 기여가 되고 있다. 그렇지만 이 테스트는 정교한 타이밍과 복잡한 테스트 Algorithm을 구현 할 수가 없기 때문에 테스트항목에 있어서 제한적으로 적용된다.

FT-2 공정은 상온에서 실시하는 테스트로서, 메모리의 동작에 있어서 필요한 성능과 기능관련 AC/DC 특성의 상온 의존성을 검사한다. 이러한

특성들은 CMOS 반도체의 온도 특성과 연관되어 상온에서 특히 Worst 조건인 Parameter들이 있으며, 주로 동작전류와 Setup관련 Timing의 특성이 그렇다. FT-3 공정은 고온에서의 테스트이며 FT-2와 반대로 고온조건에서 나쁜 특성을 나타내는 Leakage성 전류인 Standby 전류와 Gate Delay에 좌우되는 Access, Hold Time 등의 Parameter에 대한 특성 검사를 하며, 동작 Margin 테스트, Pattern 불량 검사와 역시 고온에서 증가하는 누설전류로 특성저하가 발생하는 Refresh 항목의 검사를 실시한다. FT-3의 Speed Classification에 의해 정해진 제품 성능의 분류가 이루어지며, 제품코드를 Marking하는 공정을 거치고 이 과정에서 발생할 수 있는 결함을 FT-4단계에서 최종적으로 검사한다.

Wafer Level의 테스트에서 이미 제품으로서 품질을 상당수준으로 확보한 Chip만을 선별하였기

때문에 흔히 발생하는 제조과정의 불량유형은 흔하지 않으나, 상온과 고온에서 정교한 AC/DC 특성과 관련된 테스트항목에서 특이한 불량유형이나 조립과정의 결함 등이 있으며 특히 고집적화 하면서 주변 Pattern에 의한 디스터브 Refresh 항목의 경우, 특성의 안정화가 이루어지기까지 여러 가지 불량유형으로 나타난다. 이상으로 테스트공정 전반에 대하여 살펴보았으며 다음에서는 각 단계별 구체적인 항목과 목적에 대하여 기술한다.

2. 공정별 테스트항목 및 목적

테스트공정의 소개에서 각 단계별 테스트의 개요와 일반적인 내용을 기술하였으며, 각 공정별 세부항목에 대한 설명과 목적을 <표 3>에 요약하여 나타내었다.

앞에서도 일부 소개가 있었지만 반도체 IC는 대부분 실리콘 Wafer를 이용하여 제작이 되기 때문

<표 3> 각 공정별 테스트항목과 목적

분 류	테스트공정	목 적	항 목	온도	
WAFER TEST	PRE-TEST	<ul style="list-style-type: none"> <li>제조공정의 결함을 검사</li> <li>구체정보 해석 및 확보</li> </ul>	<ul style="list-style-type: none"> <li>Open/Short, Leakage전류</li> <li>Stress, Latch-up, 내부전원 전압</li> <li>각 동작모드의 전원전류</li> <li>Easy 기능, Pattern불량 검사</li> <li>동작 Margin, Refresh 검사</li> <li>각 항목에서의 불량구제 해석</li> </ul>	고온	
	LASER REPAIR	<ul style="list-style-type: none"> <li>부분결함의 양품구제</li> </ul>	<ul style="list-style-type: none"> <li>LASER Repair</li> </ul>	상온	
	POST-TEST (EDS)	<ul style="list-style-type: none"> <li>제조공정의 결함을 검사</li> <li>구제후의 양품 검사</li> </ul>	<ul style="list-style-type: none"> <li>PRE-TEST 항목과 동일 순서</li> </ul>	고온	
PACKAGE TEST (FINAL TEST)	FT-1	<ul style="list-style-type: none"> <li>조립공정에 의한 불량 검사</li> <li>단순기능 검사</li> </ul>	<ul style="list-style-type: none"> <li>Open/Short, Leakage전류</li> <li>Easy 기능, Refresh 검사</li> </ul>	상온	
	BURN-IN	<ul style="list-style-type: none"> <li>초기결함의 제거</li> </ul>	<ul style="list-style-type: none"> <li>Device Aging</li> </ul>	고온	
	TEST B/I	<ul style="list-style-type: none"> <li>B/I에 의한 결함 검사</li> </ul>	<ul style="list-style-type: none"> <li>Easy 기능, Refresh 검사</li> </ul>	상온	
	FT-2	<ul style="list-style-type: none"> <li>AC/DC 특성의 상온 검사</li> </ul>	<ul style="list-style-type: none"> <li>동작 Margin, Pattern 불량 검사</li> <li>AC/DC 특성 검사</li> <li>전 기능의 검사, 특수항목 검사</li> </ul>	상온 (저온)	
	FT-3	<ul style="list-style-type: none"> <li>AC/DC 특성의 고온 검사</li> </ul>	<ul style="list-style-type: none"> <li>동작 Margin, Pattern 불량 검사</li> <li>AC/DC 특성 검사</li> <li>Refresh, 특수항목 검사</li> <li>Speed Classification</li> </ul>	고온	
	MARKING	<ul style="list-style-type: none"> <li>제품의 Marking</li> </ul>			
	FT-4	<ul style="list-style-type: none"> <li>Marking 공정에 의한 결함 검사</li> </ul>	<ul style="list-style-type: none"> <li>Leakage 전류 및 기능 검사</li> </ul>	상온	



에 제조공정이 모두 끝난 상태에서도 제품은 개별 소자로 되는 것이 아니므로 이 상태에서 개별 Chip을 선별하는 테스트가 필요하며, 제품으로서의 동작에 관련된 DC 및 AC 측면에서 품질을 확보할 수 있는 수준의 검사를 행해야 한다. 이 단계에서 테스트공정 수는 3단계로 나뉘어지며 구분의 이유는 메모리의 특성상 필요한 부분결합의 구제를 위한 공정이 있기 때문이며 이를 전후한 Pre-Test와 구제여부를 검사하는 Post-Test로 구분한다.

Pre-Test의 개별항목으로는 메모리를 동작시키기 위한 신호를 가하고 외부의 전기적 스트레스에도 견딜 수 있도록 설계되어 있는 입출력 단자의 Open과 Short 테스트, Leakage 전류검사가 선행되며 이어서 메모리 Array내의 불량유형을 분류하는 테스트와 내부전원 전압과 Leakage 전류, 각 동작모드의 전원전류의 검사가 이루어진다. 그리고 동작 기능검사를 위한 Easy 기능, Wafer-B/I, 동작 Margin, Pattern관련 불량률의 검사, 메모리 Cell의 Refresh 테스트, 최소 성능검사 등의 순서로 테스트가 진행된다. 여기에서 각 동작항목의 검사 시에는 항상 구제가능 여부를 확인하고 마지막에는 구제정보를 저장하여 LASER 구제시에 정보로 사용하게 된다. 이상은 일반적인 내용위주로 기술하였으나 제품에 따라 취약부분을 검사하기 위한 항목이 가감될 수 있다.

메모리의 구제공정은 DRAM이나 SRAM의 경우, 수율(Yield) 개선을 위하여 초기제품부터 적용된 기술로서 64M 세대이후는 실제로 제품 수율에 많은 기여를 하고 있으며 보다 나은 수율을 위하여 새로운 방식의 회로기술이 적용되고 있는 추세이다. Post-Test 또는 EDS 테스트는 앞에서 진행된 구제공정을 검증하는 단계로 Pre-Test의 항목을 대부분 그대로 적용하여 진행하며 여기에서 나오는 결과로 Wafer 테스트의 수율과 구제효율(FTA)이 산정된다.

Package 테스트는 여러 단계로 나뉘어지는데 이것은 불량제품을 단계별로 사전 선별하여 불필요하게 테스트되는 것을 방지하여 테스트시간의 효율성을 기하기 위한 것으로 보면 된다. 테스트의 생산성(Through-Put)측면에서는 Wafer Level과

비교 큰 차이가 없지만 단위 제품의 테스트시간으로 보면 전체 테스트시간의 90% 이상이 Package 테스트에 소요된다. 최종 제품의 품질을 보증하는 단계이므로 그만큼 충분한 테스트항목과 시간을 요하기 때문이다.

제품의 초기 단계와 중간과정에서 일어나는 평가와 불량분석에 대한 내용은 소개를 하지 않았지만 이 부분에 있어서 테스트의 중요도는 지금까지 소개한 내용 못지 않으며, 제품의 개발기간과 직접적인 관련이 있다고 해도 과언이 아니다. 제품 개발시의 평가와 분석은 Setup된 공정이 아니므로 상황에 따라서 대처를 해야 하며 설계와 공정, 소자에 대한 모든 정보를 입수하여 종합적으로 테스트결과를 평가하는 것이 필요하다. 또한 데이터에 대한 철저한 검증과 통계적처리로 정확도를 높여야 한다.

### 3. 메모리의 Fault Model과 Test Pattern

메모리 제품 그중에서도 DRAM은 제조기술에 있어서는 많은 변화가 있었지만 메모리 Cell은 70년 초반부터 사용된 구조를 지켜오고 있다. 물론 Cell을 형성하는 구조측면에서는 1M의 평면(Planar)형으로부터 우물(Trench), 적층(Stack)형, 그리고 최근의 적층 구조에 커패시터 표면적을 늘리기 위하여 변형된 다양한 Type의 메모리 Cell 개발이 진행되어 왔다. 그러나 이러한 노력은 모두 DRAM의 데이터보존과 동작을 위해서 필요한 최소한의 커패시터 용량을 유지하기 위한 것이며, 메모리 Cell의 용량(Capacitance)을 늘리기 위해서는 복잡한 구조의 Cell Type을 취하지 않으면 안되고 이것으로 인한 불량발생 확률은 높아질 수 밖에 없는 것이다. 이러한 메모리 Cell을 사용한 메모리 Array내의 Fault Model 분류에 있어서는 일반적으로 A.J. van de Goor가 정리한 <표 4>와 같은 항목들로 메모리의 일반적인 불량률을 설명할 수가 있다<sup>[9]</sup>.

지금까지 기술된 각 테스트공정에서 검사되는 제조결합의 대부분은 이러한 Fault Model 부류에 속하며, 불량률이 야기되는 원인으로는 제조공정 과정에서 발생하는 이물과, 부족의 식각(Etching),

〈표 4〉 메모리의 Fault Classification

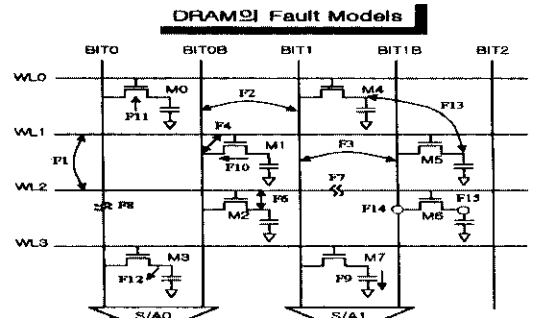
종 류	현 상	Notation	비 고
Stuck at Fault (SAF)	<ul style="list-style-type: none"> <li>Logical State '0'을 유지</li> <li>Logical State '1'을 유지</li> </ul>	<ul style="list-style-type: none"> <li>SA0F</li> <li>SA1F</li> </ul>	F5, F9, F12 F4, F5, F6
Transition Fault (TF)	<ul style="list-style-type: none"> <li>Logical State가 초기값을 유지함 (0→1, 1→0의 전환 불가)</li> </ul>	<ul style="list-style-type: none"> <li>⟨↑/0⟩, ⟨↓/1⟩</li> </ul>	F7, F8, F14, F15
Coupling Fault (CF)	<ul style="list-style-type: none"> <li>현재 Cell에 쓰는 데이터에 의하여 인접 Cell의 데이터가 영향을 받음</li> <li>인접 Cell이나 Line간의 전기적인 연결에 의한 불량(BF)</li> </ul>	<ul style="list-style-type: none"> <li>CFin-Inversion CF ⟨↑;↓⟩, ⟨↓;↑⟩</li> <li>CFid-Idempotent CF ⟨↑;1⟩ ⟨↓;0⟩, ⟨↑;0⟩, ⟨↓;1⟩</li> <li>BF-Bridging Fault</li> <li>SCF-State CF, ⟨0;x⟩, ⟨1;x⟩</li> </ul>	F10, F13  F1, F2, F3, F4
Neighborhood Pattern Sensitive Fault(NPSF)	<ul style="list-style-type: none"> <li>모든 주변 Cell들이 임의의 데이터 패턴을 가질때 그 영향으로 Base Cell이 불량을 유발함</li> </ul>	<ul style="list-style-type: none"> <li>Active NPSF</li> <li>Passive NPSF</li> <li>State NPSF</li> </ul>	
Address Decoder Fault	<ul style="list-style-type: none"> <li>Address Line의 Stuck이나 Open, Short</li> <li>Wrong, Multiple Access</li> </ul>	<ul style="list-style-type: none"> <li>AF</li> </ul>	

마스킹의 Miss Alignment 등이 있으며, 소자의 특성과 연관되는 경우도 있다. 그러나 이들 Modeling에 근거하여 확인이 되는 불량이 대부분이지만 현재 나와있는 분석장비나 기법으로도 확인이 불가능한 Fault들이 나오고 있으며, 제조공정의 난이도가 더해 갈수록 이러한 불량도 증가할 것으로 본다. 이러한 Fault Modeling의 일환으로 사실적인 분석 데이터와 설계, 공정데이터를 종합한 시뮬레이션에 의한 해석 기법들이 많이 소개되고 있다.

〈그림 10〉은 Folded Bitline 구조의 DRAM Cell Array 내에서 일어날 수 있는 불량의 Model들이며 각 Model의 분류를 〈표 4〉의 비고란에 표시 하였다. 그와 함께 이해를 구하고자 실제 제품의 Fail Bitmap으로 나타난 불량 Model을 〈그림 11〉에 보여 주고 있다. 이 그림에 나타난 불량 유형들은 실제위치에서 구조의 단면분석을 통하여 표시한 Fault Model과 일치함을 대부분 확인한 것이며, 특수한 경우는 분석이나 Modeling이 어려운 예도 있을 수 있다.

3.1 메모리의 불량유형 해석

〈그림 10〉의 각 Model에 대하여 DRAM을 예로 들어서 좀더 구체적으로 설명하면, 선간의



〈그림 10〉 메모리 Cell Array내의 불량 Models

Bridge에 의한 불량으로는 인접 워드선의 단락에 의한 BF(Bridging Fault, F1)가 있으며 단락된 워드선이 모두 불량으로 나타난다. F2나 F3의 Model은 인접 Bitline이 단락된 경우로 Bitline을 공유하는 모든 Cell의 불량으로 나타난다. Model에는 표시가 없지만 Row와 Column 디코더 부에서의 단락에 의한 단위 워드선 불량과 Y-선택선 단위의 불량이 있다. F7이나 F8과 같은 단선(Open)은 부분적인 선불량으로 나타나며, 센스앰프부의 결함은 이 회로부의 배선접촉(Contact) 저항이나 단선에 의하여 한개의 센스앰프를 공유하

는 Cell들이 선불량으로 나타난다. 이 경우는 센스 앰프의 사용방식에 따라 불량률의 길이가 결정된다. 이 상에서 설명한 유형의 불량들은 주로 메모리 회로에서 배선으로 사용하는 Metal층의 공정과 관련된 불량들로 여기에 연결된 메모리 Cell들과는 무관한 불량들이다. 그 다음에 특이한 불량 유형으로는 흔히 Cross불량이라 불리는 워드선과 Bitline 간의 단락에 기인된 불량(F4)이 있다. <그림 11>의 Fail Bitmap상으로 나타난 모양도 Cross 형태로 보이며, 단락의 정도에 따라 길이가 조금씩 차이가 있을 수 있다. 일반적으로 메모리에서 워드선은 2개의 배선을 사용하며, 이 불량은 하위 배선인 Gate Poly와 Bitline간의 단락으로 인하여 생기는 불량으로 짧은 선의 불량으로 나타나고 단락지점의 메모리 Cell은 Stuck '1' 불량이다.

F6과 같은 불량은 메모리 Cell의 Storage Node와 그 워드선이 단락된 경우로 Stuck '1'의 Bit불량으로 보인다. 그 외에 메모리 Cell 자체의 결함으로는 커패시터의 Oxide막의 Leakage 전류로 인한 불량(F9), 메모리 Cell의 NMOS 트랜지스터를 통한 Leakage에 의한 불량(F10), 반도체 p-n접합(Junction)의 Leakage에 의한 불량(F12) 등이 있다. F14와 F15의 불량 Model은 메모리 Cell내의 배선 접촉저항이 원인이며 주로 Alignment에 기인된 집단성 불량이나, 이물에 의한 Random 불량으로 나타난다. 그리고 F14의 경우는 인접 Cell과 같은 Contact을 사용할 경우 Pair Bit 불량으로 보이게 된다. F13과 같은 Fault Model은 메모리 Cell간의 격리(Isolation)가 불충분할 경우에

발생되는 문제로, Coupling Fault나 NPSF(Neighborhood Pattern Sensitive Fault)불량을 유발시키며 특히 DRAM의 디스터브 Refresh에 취약한 특성을 갖게 된다.

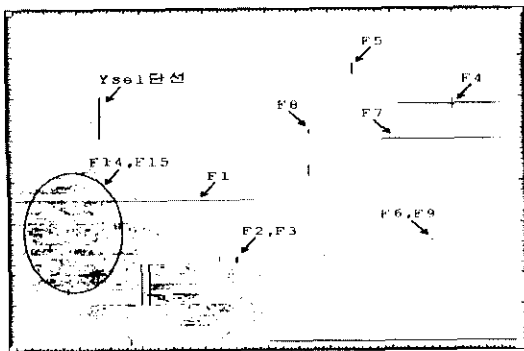
단선이나 단락에 의한 불량은 분석이 비교적 쉽다. 그러나 불규칙적인 Single이나 Pair불량은 기존의 Model에 의한 해석이 어려운 경우가 발생하며, 메모리 Cell 구조의 다변화에 따라 이에 대한 새로운 Fault Model의 정립이 필요하다.

이상으로 메모리에서 흔히 발생하는 불량 유형별로 현상과 그 의미를 살펴보았는데, 기술한 내용은 일반적인 경우로 설명을 한 것이며, 고집적화된 DRAM의 최근 세대 64M와 256M 세대의 경우는 좀 더 다른 설계와 공정기술을 적용하기 때문에 일부 내용은 다르게 해석을 할 필요도 있다. 지금까지 설명한 Fault Model과 관련된 내용은 DRAM에 맞추어서 기술하였으나 SRAM이나 ROM, FLASH 메모리제품에도 기본적으로는 동일하게 적용된다.

### 3.2 Test Patterns

메모리 Cell의 기능과 이를 동작시키는 관련 회로를 테스트하는 Algorithm을 Test Pattern이라고 하며, 여기에서는 흔히 알려진 테스트 Algorithm과 실제 제품의 테스트에 적용되고 있는 Algorithm에 대하여 알아보고 각 테스트 Pattern의 Fault Coverage에 대하여 기술하고자 한다. <표 5>는 일반적으로 알려진 Pattern과 이에 대한 Algorithm 및 Fault Coverage를 보여주는 것으로 크게 단순히 메모리를 Scan하는 방식과 March 테스트 그리고 전통적인 방식의 Galloping Pattern, Walking, Sliding Diagonal, Butterfly 테스트 Algorithm이 있다. <표 5>에서 보는 바와 같이 각각의 Test Pattern은 Fault Coverage에 있어서 차이가 있으며, 테스트 시간이나 불량률의 Screen 능력을 고려한 테스트로는 March 테스트 Algorithm이 가장 널리 알려져 있다.

앞 장에서 나온 테스트공정상의 여러 테스트 항목에서도 사용목적에 따라 적절한 March 테스트 Algorithm을 이용하여 메모리 Cell의 불량을 검사하며, 시간이 많이 소요되는 Galloping이나 Waking, Butterfly 등의 종래 테스트 Pattern들은 이들이



<그림 11> 메모리의 실제 불량유형

〈표 5〉 각 Algorithm의 Fault Coverage

분류	Pattern	Depth	Algorithm(Notation)	Fault Coverage
SCAN	Zero-One	4n	↑(w0); ↑(r0); ↑(w1); ↑(r1);	SAFs, some TFs&CFs
	Checkerboard (Data Pattern)	4n	↑(w0); ↑(r0); ↑(w1); ↑(r1);	SAFs, some AFs&TFs some CFs
MARCH	MATS+	5n	↑(w0); ↑(r0, w1); ↓(r1, w0);	AFs, SAFs
	MATS++	6n	↑(w0); ↑(r0, w1); ↓(r1, w0, r0);	AFs, SAFs, TFs
	MARCH-X	6n	↑(w0); ↑(r0, w1); ↓(r1, w0); ↑(r0);	AFs, SAFs, TFs, CFins
	MARCH-C	10n	↑(w0); ↑(r0, w1); ↑(r1, w0); ↓(r0, w1); ↓(r1, w0); ↑(r0);	AFs, SAFs, TFs, CFins, CFids,
	MARCH-A	15n	↑(w0); ↑(r0, w1, w0, w1); ↑(r1, w0, w1); ↓(r1, w0, w1, w0); ↓(r0, w1, w0);	AFs, SAFs, TFs, CFins ℓ inked CFids
	MARCH-Y	8n	↑(w0); ↑(r0, w1, r1); ↓(r1, w0, r0); ↑(r0);	AFs, SAFs, TFs, CFins ℓ inked with CFins
기타	GALPAT Walking 1/0	kn <sup>2</sup>	↑(w0); ↑(r0, w1, r1, w0, r0, w1); ↑(r1, w0, w1); ↓(r1, w0, w1, w0); ↓(r0, w1, w0);	AFs, SAFs, CFins, ℓ inked CFids TFs ℓ inked with CFids
				AFs, SAFs, TFs, CFs Write recovery(at critical timing) Slow S/A recovery

가지고 있는 일부 Fault Coverage에 대한 이용목적으로 메모리의 구조에 맞게 변형된 테스트로 적용을 한다. 그리고 제품의 개발 초기에는 메모리 Cell에 대한 정량적 평가와 분석을 위하여, 또는 특수한 목적의 테스트 Algorithm에 Scan 방식의 Pattern을 응용하여 적용하기도 한다.

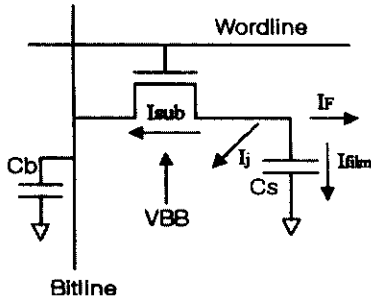
〈표 5〉에서 보여주는 Test Pattern들의 Algorithm은 오직 메모리 Cell의 모든 불량 Screen이 목적이거나, 각 테스트항목의 목적에 따라 변형하여 적용할 수도 있다. 예를 들면 메모리의 기능중에서 로직을 검사하는 항목에 March 테스트의 전 Algorithm을 적용하여 테스트할 필요는 없는 것이다. 또한 DRAM의 Refresh 테스트와 같은 경우에는 여러 가지 Algorithm을 부분적으로 응용하여 효과적으로 짧은 시간에 특성을 보증할 수 있는 테스트 Algorithm을 적용할 필요가 있다.

메모리 BIST의 테스트 Algorithm에도 기본적으로 이러한 Algorithm은 필수적이며, 현재 널리 사용되고 있는 MBT(Multi-Bit Test)방식의 테스트모드에서도 이상의 테스트 Algorithm을 적용하

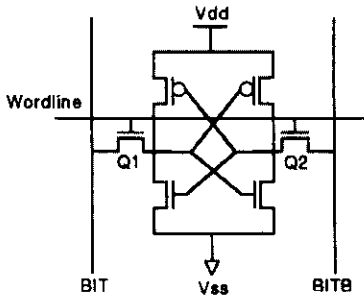
는데 문제가 없어야 하며, 이들 Pattern들이 갖고 있는 Fault Coverage가 충분히 적용되는 회로설계를 하여야 한다.

#### 4. DRAM의 Refresh 테스트 방법

메모리에서 Refresh라고 하는 것은 DRAM에만 국한되는 기능으로서, 메모리 Cell의 구조상 쓰여진 데이터를 전원공급만으로 유지할 수가 없기 때문에 주기적인 재충전이 필요하며 이 주기를 Refresh Period(tREF)으로 규정한다. 그리고 DRAM의 모든 Cell을 리프레시 하기 위해서는 모든 Wordline을 구동 시켜야 하는데, 이때 구동 Wordline의 수는 제품규격에 따라 다르며 보통 이 수를 Refresh Cycle로 정의한다. 또한 이 Cycle은 메모리의 소비전력과도 밀접한 관계가 있으며 메모리 Density가 늘어나면 단위구동 Wordline의 Cell수가 증가하여 소비전력은 증가한다. 따라서 메모리의 세대를 더하면서 Refresh Cycle과 Period는 일정한 비율로 증가하는 경향이었으나 고집적의 64M 세대부터 이 규칙을 지키지 못하고 있는데, 그 것은 집



<그림 12> DRAM Cell의 누설전류



<그림 13> SRAM Cell의 구조

적화에 따른 메모리 Cell의 Refresh 특성이 한계에 접하고 있기 때문이며, 앞으로 이 점은 DRAM의 어려운 과제중의 하나로 부각되고 있다. 여기에서는 이러한 Refresh 특성의 평가 및 분석과 관련된 테스트방법에 대하여 알아보하고자 한다.

<그림 12>에 DRAM의 메모리 Cell에서 Refresh 특성과 관련되는 누설전류를 표시하였다. 현재 메모리의 Cell구조는 복합형의 적층(Stack)구조를 기본으로 하고 있지만, 4M DRAM 이전까지는 평면(Planar)형에 메모리 커패시터의 면적과 두께를 개선시켜서 커패시터에 축적되는 전하량(Qs)을 유지시켜 왔다. 물론 이 전하량은 메모리의 동작전압이 내려가면서 줄어들지만 커패시터의 용량, Cs는

일정수준으로 유지될 해야만 데이터의 저장과 보존, 읽기 동작에 문제가 없게 된다. 그리고 데이터의 읽기 시에는 Bitline의 기생용량(Cb)과 Cs가 전하량 보존에 따라 부하분담이 이루어지므로, Cb를 줄이기 위한 설계 공정부분의 노력도 계속되고 있다. 또한 메모리 Cell의 전하량은 SER(Soft Error Rate)에 대한 신뢰성과도 관계가 있으므로 적정 값의 Cs가 요구되며, 일반적으로 DRAM에서 Refresh특성을 좌우하는 요인으로 Cb/Cs의 비를 나타내는데 약 5~15범위 내에서 정해진다.

<그림 13>은 SRAM의 Cell구조를 나타낸 것으로 CMOS Latch 방식을 취하고 있으므로 DRAM과는 달리 한번 쓰여진 데이터는 전원 공급만으로 지속적으로 유지할 수가 있다. 그러나 SRAM의 응용에서 소비전력을 효율적으로 쓰기 위하여 메모리를 쓰지 않을 시에는 전원전압을 아주 낮게 하여 데이터의 보존만을 하는 경우가 있는데, 이럴 경우 테스트에서는 공급전압을 낮추어 쓰여진 데이터의 보존 여부를 확인하는 Retention 테스트가 있다. Refresh 특성은 통상적으로 높은 동작전압, 고온에서 취약한데 이론적으로는 높은 전압이 데이터를 읽어내기에 유리한 조건이지만 시간에 대한 누설전류량과 내부 동작전압의 상대적인 관계에 의하여 그러한 결과를 보인다. <그림 12>에 나타낸 메모리 Cell에서 누설전류의 종류는 <표 6>과 같이 크게 3가지로 요약되며, 추가로 메모리 Cell간의 격리(Isolation) 불량으로 발생하는 누설전류가 있다.

<표 7>과 <표 8>은 대표적인 DRAM의 리프레시 테스트 Algorithm과 사용되는 데이터의 Pattern을 나타낸 것이다. 앞서서도 수 차례 언급하였지만 DRAM 제품에서 동작과 관련된 AC/DC 특성과 성능도 중요하지만, 수천만 단위의 메모리 Cell 각

<표 6> Refresh 특성과 관계되는 누설전류

항 목	원 인	불량유형
$I_j$	Storage Node와 기관간의 접합에서의 Leakage 전류	Pause Refresh
$I_{sub}$	Transistor의 Sub-threshold Leakage 전류	Disturb Refresh
$I_{film}$	Capacitor 유전막의 Leakage 전류	Pause Refresh
$I_F$	메모리 Cell간의 Leakage 전류	Pause, Disturb

〈표 7〉 Refresh Test Pattern의 예

종 류	Algorithm	Data Pattern
Pause 0	↑(w0); wait T; ↑(r0);	ALL '0'
Pause 1	↑(w1); wait T; ↑(r1);	ALL '1'
Pause	↑(w0); wait T; ↑(r0); ↑(w1); wait T; ↑(r1);	ALL '0/1', Checkerboard
Disturb-1	↑(w0); wait T, Disturb even W/L; ↑(r0); ↑(w1); wait T, Disturb even W/L; ↑(r1);	RowBar odd W/L에 대해서도 반복
Disturb-2	↑(w0); wait T, Disturb 특정 W/L; ↑(r0); ↑(w1); wait T, Disturb 특정 W/L; ↑(r1);	RowBar W/L의 주소를 변경하여 반복

〈표 8〉 Data Pattern의 예

<p>1) ALL '0'</p> <table border="1"> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> </table>	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	<p>2) ALL '1'</p> <table border="1"> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> </table>	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	<p>3) Checkerboard</p> <table border="1"> <tr><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td></tr> </table>	0	1	0	1	1	0	1	0	0	1	0	1	1	0	1	0
0	0	0	0																																															
0	0	0	0																																															
0	0	0	0																																															
0	0	0	0																																															
1	1	1	1																																															
1	1	1	1																																															
1	1	1	1																																															
1	1	1	1																																															
0	1	0	1																																															
1	0	1	0																																															
0	1	0	1																																															
1	0	1	0																																															
<p>4) RowBar</p> <table border="1"> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> </table>	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	<p>5) Column Bar</p> <table border="1"> <tr><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td></tr> </table>	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1																	
0	0	0	0																																															
1	1	1	1																																															
0	0	0	0																																															
1	1	1	1																																															
0	1	0	1																																															
0	1	0	1																																															
0	1	0	1																																															
0	1	0	1																																															

각에 대하여 데이터 저장 및 보존능력의 품질을 보증하는 것도 제품성능 못지 않게 중요하다. 따라서 제품의 테스트 공정에서도 중점적으로 보완하고 더불어서 늘어나는 테스트시간에 대한 대책마련이 필요한 것이 사실이다. 〈표 7〉에서 보여준 Pause 리프레시 테스트항목은 제품의 소자와 공정에 대한 기본적인 평가를 위하여 사용되는 테스트이며, 실질적인 제품의 리프레시 특성을 보증하기 위한 테스트로는 디스터브 Algorithm을 적용한 여러 유형의 Test Pattern 들이다.

#### IV. 고집적 메모리테스트의 과제

메모리를 사용하는 시스템 시장의 동향은 대용량, 고성능, 저전압화된 메모리 제품을 요구하고 있는 추세이며, 이러한 시장상황에 따라서 메모리의 집적도 증가와 고속화는 필연적으로 추구해야

할 방향으로 정해져 있다. 이러한 상황의 수치적 데이터는 기술한 자료에서도 충분히 파악할 수 있었으며, 〈그림 2〉의 설계상황의 변천에서 보면 세대가 더할수록 메모리 Cell의 크기와 Gate CD의 수치가 근접함을 볼 수가 있는데 이는 곧 집적도의 증가 의미도 있지만, 메모리의 제조수율 저하라는 의미도 되며 이에 대한 제조기술의 개선을 위한 분석기술과 불량률의 해석에 대한 심도 있는 연구가 필요하다는 뜻도 포함된다. 그리고 또한 동작전원의 저전압화는 메모리의 고속화와 저전력을 위해서는 유리하지만 그러한 환경에서 동작하기 위한 설계, 소자 측면의 마진은 점점 좁아지며, 이들 제품을 평가하고 분석하는 테스트기술에 있어서는 더욱 정교하고 정확한 Modeling에 의한 분석과 평가기술이 필요하며, 나아가서는 이러한 불량률의 Screen을 위한 새로운 테스트 기법들에 대한 실험과 적용이 요구된다.

제품의 고성능화에 따른 테스트비용의 상승은 이러한 고성능을 평가할 수 있는 메모리테스터의 성능향상과 맞물린 문제로 효율적인 테스트공정의 설정과 제한적인 성능을 갖는 테스트장비의 개발 등이 필요할 것으로 본다. 분석과 효율적인 평가 그리고 테스트 시간의 절감을 위한 메모리의 Testability에 대한 기술은 현재도 다양하게 적용이 되고 있지만, 세대가 더함에 따라 테스트시간에 대한 증가는 더욱 가속화가 되고 있기 때문에, 제품의 품질을 유지할 수가 있으면서 테스트비용을 줄일 수 있는 DFT 기술에 대한 연구와 개발이 지속적으로 이루어질 필요가 있다. 이와 함께 메모리 BIST의 테스트공정의 적용 방법의 연구, 그리고

채용된 Algorithm의 Fault Coverage에 대한 평가를 하며, 메모리 구조의 BISR(Built-in Self Repair)에 대해서도 효율저하가 없는 Algorithm의 개발과 이에 대한 평가가 필요하다.

메모리제품의 신뢰성과 관련하여 Package B/I 시의 비용절감과 KGD의 신뢰성 확보를 위한 연구 과제 중의 하나인 Wafer B/I에 대해서도 테스트, 설계측면의 해결과제는 아직도 많이 남아있다<sup>[14]</sup>. 이러한 일련의 과제와 병행하여 생산성 측면에서도, 앞서 나온 DFT 기술을 이용한 Multi-Chip 테스트기술과 이에 대한 H/W 측면에서의 보완이 필요하다고 여겨진다.

## V. 결 론

지금까지 메모리테스트와 관련되어 메모리에 대한 소개와 테스트를 위해서 필요하다고 생각되어 지는 일반적인 내용들을 중심으로 알아보았으며, 세부적으로는 현장에서 이루어지고 있는 사실적인 데이터를 기준으로 이론과 실체를 비교하여 논하였다. 메모리의 대용량화는 테스트의 비용증가요 인도 되지만, 새로운 유형의 불량을 유발하게 되므로 이를 해석하고 테스트하는 새로운 방법의 개발이 요구되어지며, 효과적이고 효율적인 테스트가 필요하게 된다. 이를 위해서는 완벽한 메모리 BIST 기술 이전에 상황에 맞는 적절한 DFT기술을 제품에 적용할 필요가 있으며, 궁극적인 목적은 테스트 비용의 절감과 함께 제품에 대한 신뢰성도 확보를 하는 방향으로 나아가야 한다.

## 참 고 문 헌

- [1] J. Powell, F. Hii, D. Cline, "A 256Meg SDRAM BIST for Disturb Test Application", *ITC*, pp. 200-208, 1997.
- [2] K. Bhavsar and H. Edmondson, "Testability Strategy of the Alpha AXP 21164 Microprocessor", *ITC*, pp. 50-66, 1994.
- [3] A. Tanabe, et al., "A 30-ns 64-Mb DRAM with Built-in Self-Test and Self-Repair Function", *IEEE Journal of Solid-State Circuits*, Vol.27, No.11, Nov., 1992.
- [4] S. Mori, et al., "A 45-ns 64-Mb DRAM with a Merged Match-Line Test Architecture", *IEEE Journal of Solid-State Circuits*, Vol.26, No.11, Nov., 1991.
- [5] 池田博明, "今後の DRAM 開發은 性能追求와 Cost 追求로 分化", *NIKKEI MICRODEVICES*, pp.76-85, Jun., 1998.
- [6] 伊藤清男, 超LSI 메모리, Advanced Electronics Series I-9, Tokyo, 1994.
- [7] O. Kimura, "메모리의 現狀과 動向:256M, 1G Bit 시대로", *NEC 技報*, pp. 7-15, 1997.
- [8] 吉原務, 赤坂洋 · 외 8명, ULSI DRAM 技術, Science Forum, 1992.
- [9] A.J. van de Goor, *Testing Semiconductor Memories: Theory and Practice*, John Wiley & Sons, 1991.
- [10] B. Prince, *Semiconductor Memories*, John Wiley & Sons, 1991.
- [11] S.A. Przybylski, *New DRAM Technologies*, MicroDesign Resources, 1996.
- [12] H. Oberle, M. Maue, and P. Muhmenthaler, "Enhanced Fault Modeling for DRAM Test and Analysis", *Digest 1991 IEEE VLSI Test Symp.*, pp. 149-154, Apr., 1991.
- [13] J. Khare and W. Maly, "Inductive Contamination Analysis(ICA) with SRAM Application", *ITC*, pp. 552-560, Oct., 1995.
- [14] T. Furuyama, et al., "Wafer Burn-in (WBI) Technology for RAM's", *IEDM*, pp. 639-642, 1993.
- [15] J.T. Healy, *Automatic Testing and*

Evaluation of Digital Integrated Circuits,  
Prentice-Hall Co., 1988.

- [16] 유희준, DRAM의 설계, IDEC, 1996.
- [17] H.B. Bakoglu, Circuits, Interconnections,  
and Packaging for VLSI, Addison-wesley  
Publishing Co., 1989.
- [18] J.M. Rabaey, M. Pedram, Low Power  
Design Methodologies, Kruwer Academic  
Publishers, 1996.

---

### 저자 소개



#### 安永唱

1965년 2월 27일생, 1988년 2월  
한양대학교 공과대학 전기공학과  
졸업, 1988년 1월~1989년 12월  
금성반도체, 1990년 1월~현재  
LG반도체 중앙연구소 선임연구원,  
<주관심 분야: Memory Test>

---