

## 테스터(ATE)의 기술 및 개발 동향

고 영 관, Jay Kang\*, Gayn Erickson\*  
테라다인, Hewlett Packard Company\*

### I. 테라다인(고영관)

#### ATE의 기술 및 발전 방향

##### 1. ATE(Automatic Test Environment)란 무엇인가?

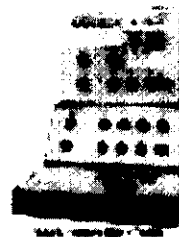
ATE는 반도체의 동작 여부를 전기적으로 검사하여 완전성(integrity), 질(quality) 그리고 어느 정도의 신뢰성(reliability)을 보장하도록 고안된 전자 장비의 집합체이고 이러한 ATE는 반도체를 test하기 위하여 적절한 신호를 순서대로 발생시켜 반도체에 인가하고 동시에 반도체의 기대 출력을 비교하는 장치이다.

이러한 ATE가 사용 되는 곳은 <그림 1>과 같이 반도체 chip의 설계와 공정을 거쳐 wafer가 만들어지면 이 wafer상에 있는 chip의 양품과 불량 을 가리는 곳과 양품으로 판정된 chip을 잘라내어 packaging을 하고 난 후 package의 양품과 불량 품을 가리는 곳에서 사용된다.

이러한 ATE는 반도체의 직접도와 고성능화에

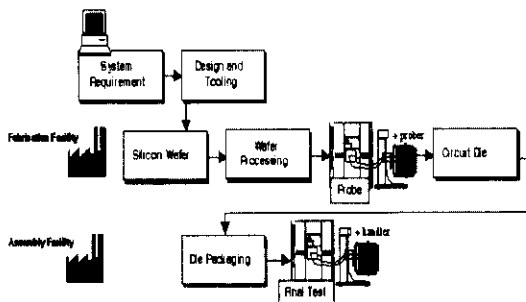
따라서 발전을 거듭하였는데 초창기의 <그림 2>와 같은 반도체 소자 다이오드, 트랜지스터를 테스트 하는 시스템에서 SDRAM, DRDRAM과 같은 고속으로 동작하는 메모리를 테스트 할 수 있는 디지털과 아날로그 기술 최고의 결정체라고 할 수 있는 여러 가지 복잡한 계측 기기가 결합되고, 또 계측을 위해 결합된 여러 기능을 완벽하게 조정 할 수 있는 커다란 운영 체제를 가지는 <그림 3> 과 같은 시스템으로 발전하였다.

고속으로 동작하는 메모리를 테스트하는 ATE는 반도체 메모리의 정확한 성능 또는 양, 불량률 을 계량하기 위하여 최소한 반도체 메모리가 동작하는

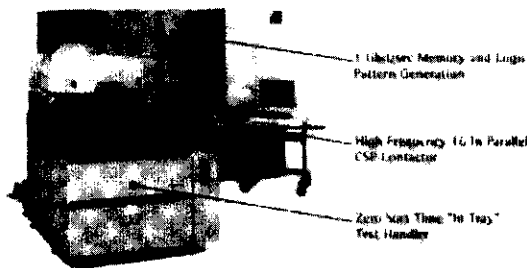


D133 Diode tester (Teradyne)

<그림 2>



<그림 1>



ARIES high speed memory tester (Teradyne)

<그림 3>

속도 보다 빠르게 DUT(device under test)로 또는 DUT로부터 수 메가 부터 수백 메가의 data를 전송 할 수 있어야 하며 이러한 고속의 동작 환경에서 제대로 메모리의 성능과 양, 불량을 계측하기 위해서 시스템 전체에 여러 가지 최신 기술이 적용되어 왔다.

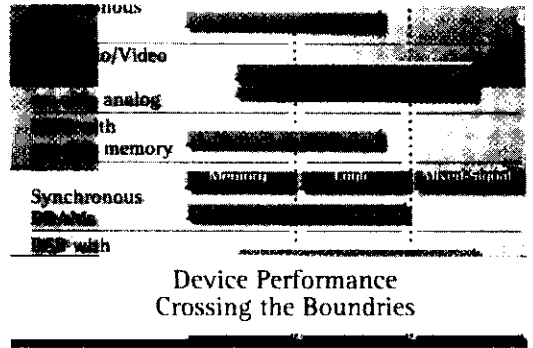
적용된 모든 기술을 언급하기는 불가능하므로 이 글에서는 메모리 반도체의 발전 경향과 ATE의 발전경향에 대해 알아보고 고속 메모리 반도체를 테스터 하기 위한 ATE의 PE(pin electronics)와 고속 동작에 따른 PE와 메모리 반도체 입력 또는 출력 핀 끝단에 정확한 신호를 정확한 시간에 반도체 메모리에 입력하고 메모리의 출력을 정확히 측정하기 위한 timing offset calibration에 대하여 이야기하도록 하겠다.

2. ATE의 기본 기능(구조)

반도체의 종류에 따라 다르겠지만 ATE는 기본적으로 DUT로 보내는 test vector들의 순서를 제어하는 Pattern generator(PG), 시간에 따라 신호를 발생시키는 Timing generator(TG), 반도체 소자의 analog 특성을 측정하는 Parametric measurement unit(PMU), 전원을 인가하는데 사용되는 Voltage Source(VS), DUT로 전기적 신호를 보내거나 받는 Pin electronics(PE), ATE를 조정하여 반도체 소자를 측정하고 결과를 저장하는 호스트 컴퓨터를 기본적으로 가지며, 이외에도 ATE의 목적에 따라 Memory, Logic, Analog, Digital 등의 반도체 소자를 테스터 하는데 필요한 부가 기능들이 추가되며 테스터 하고자 하는 반도체 소자의 종류에 따라 Memory용의 ATE, Logic용의 ATE 등으로 구분되어 왔다.

3. 메모리 반도체 소자 발전 경향과 ATE의 발전 경향

ATE는 반도체 소자를 계량하는 장비이다. 그러므로 ATE는 반도체의 성능과 기능에 따라 그러한 성능과 기능을 계량 할 수 있도록 발전되어 왔다. 그래서 초창기의 반도체가 메모리, 로직, 아날로그, 디지털 등으로 제품이 구분되어 왔고 ATE도 그러

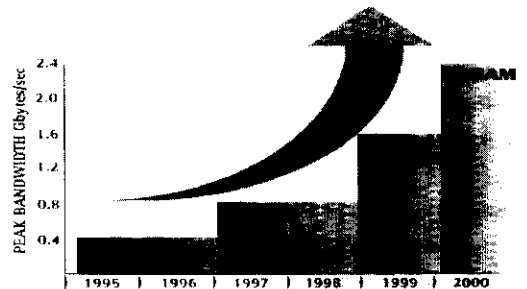


<그림 4>

한 구분에 따라 메모리 반도체를 테스트 하는 ATE는 메모리만 테스터 할 수 있는 기능만을 가지면 되고 로직 반도체를 테스트 하는 ATE면 로직을 테스터 하는 기능만을 가지면 되었으나 현대의 반도체는 <그림 4>와 같이 메모리, 로직, 아날로그, 디지털의 경계를 넘어서 기능을 복합화 하고 있고 ATE도 로직과 메모리 아날로그와 디지털을 한번에 테스터 할 수 있도록 메모리와 로직 또는 아날로그와 디지털을 테스터 할 수 있는 기능을 복합화 하고 있다.

<그림 5>에서 보듯이 반도체 DRAM계열 메모리의 bandwidth가 1995년 0.4G bytes/sec이던 것이 1998년에는 0.8G bytes/sec 2000년에는 2.4G bytes/sec까지 확대될 것으로 예상되며 ATE도 반도체 소자의 bandwidth에 맞도록 성능이 개선되어야 하며, 현재 RDRAM을 테스터 하기 위한 장비들은 메인 PG의 최고 1.0MTS(Millions of Transition per Second) 정도로 데이터를 전송 할 수 있는 장비가 개발되어 있다.

The Bandwidth Gap

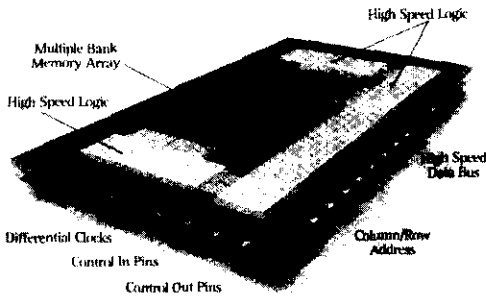


<그림 5>

4. 차세대 메모리와 ATE

차세대 메모리는 <그림 6>과 같이 high speed access가 가능하도록 multi bank memory array와 high speed logic을 내장하고 data bus, differential clock, address, control in pin, control out pin과 연결된 memory controller와 고속으로 동작하므로 ATE는 high speed memory에서 발생할 수 있는 memory core fault, high speed logic fault, high speed logic과 sense amp와 combine된 fault 등을 at speed로 검출해 내기 위해서 ATE는 MPG(memory pattern generator), vector memory, 고도로 정확한 timing을 갖는 fly-by channel을 갖추어야 하며 PG(pattern generator)가 vector pattern과 memory pattern을 빠르게 전환 할 수 있어야 한다.

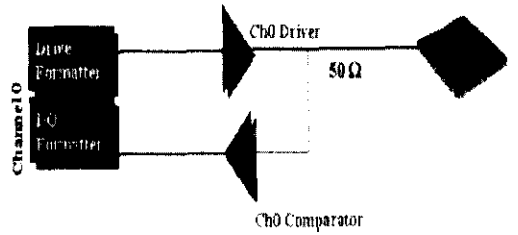
Next Generation Memory



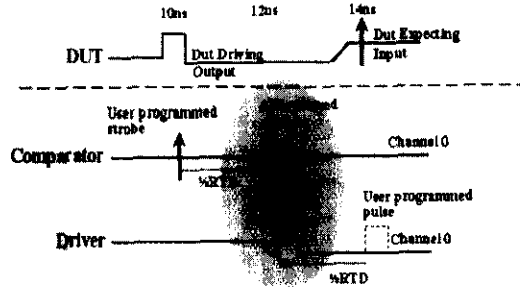
<그림 6>

5. ATE에서 fly-by mode

백 Mhz 안팎에서 동작하는 EDO DRAM 또는 SDRAM을 ATE로 테스트 하기 위해서는 보통 TTL load나 LVTTTL load를 주로 사용하고 이런 <그림 7>과 같이 DUT의 common I/O pin 하나에 PE의 I/O channel 한 개를 연결하여 DUT I/O pin으로 입력신호를 주고 DUT I/O pin에서 신호를 받아 비교기로 검사하도록 하는데 <그림 7>과 같은 PE I/O circuit에서는 <그림 8>의 DUT timing과 같이 DUT I/O pin으로부터 출력 신호가 10ns에 발생하고 14ns에 PE I/O pin으로부터 발생한 입력 신호가 DUT I/O pin으로 입력되도록 테스트 timing을 작성하면 DUT pin에 대해서 정확



<그림 7>



<그림 8>

한 시간에 신호가 입력되고 DUT에서 발생한 출력 신호가 PE의 I/O channel의 comparator에 정확한 시간에 검사될 수 있도록 timing calibration software에 의해 <그림 8>의 comparator timing과 같이 DUT I/O pin의 출력을 검출하기 위한 comparator의 동작시간이 변경되고 <그림 8>의 driver timing과 같이 DUT I/O pin으로 입력될 신호를 발생시키는 PE I/O channel의 driver 동작 시간이 변경되게 된다. 이럴 때 <그림 8>에서처럼 PE I/O의 driver와 comparator가 동시에 동작하게 되며 DUT로부터 발생한 출력을 검사 할 수 없게 되는 dead zone이 발생하게 된다. 이것은 DUT pin과 PE까지의 trace에 대한 신호 전송 지연시간을 보상하기 위한 offset timing calibration에 의한 PE의 driver와 comparator의 동작 timing의 변경이 발생하기 때문이다.

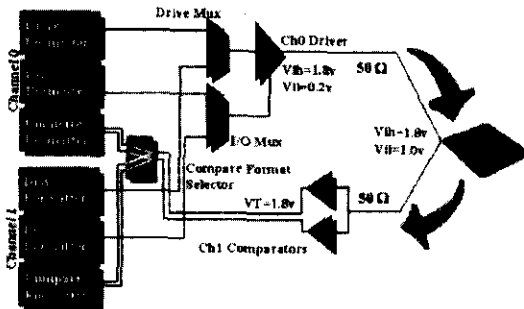
Memory chip이 낮은 주파수로 동작할 때는 ATE의 PE와 DUT까지의 길이 때문에 발생하는 신호 전송 지연 시간에 비해 입력 신호를 받아 출력신호를 보내기 까지의 시간이 충분히 길기 때문에 offset timing calibration에 의한 timing의 보상이 되더라도 PE의 comparator와 driver가 동시

에 동작하는 경우가 없지만 수백 Mhz에서 Ghz까지 동작하는 high speed memory에서는 trace길이에 의한 신호 전송 지연 시간보다 access time이 짧기 때문에 driver와 comparator의 충돌이 필연적으로 발생하게 된다. 그래서 <그림 8>과 같이 round trip time이 4ns이라면 250Mhz까지는 입력신호와 출력신호 사이의 충돌은 생기지 않지만 250Mhz 이상에서는 충돌이 발생하게 된다.

6. ATE PE channel의 fly-by 모드

이러한 신호 전송 지연을 보상하기 위한 offset timing calibration에 의해 PE의 driver와 comparator의 동시 동작으로 인한 dead zone을 없애기 위해 <그림 9>와 같이 driver와 comparator를 다른 PE channel로 연결하고 두개의 PE channel의 반대쪽 끝을 DUT 한개의 pin에 연결하여 각각의 channel을 입력과 출력으로 분리하여 DUT에 신호를 입력할 때는 channel 0의 driver가 선택되게 하고 DUT에서 발생한 신호를 검사할 때는 channel 1의 comparator를 사용 할 수 있도록 하면 <그림 10>과 같이 calibration software에 의해 driver와 comparator에 대해 신호 전송 지연에 대한 offset time이 보상되더라도 PE의 각 channel에서 driver와 comparator가 동시에 동작하는 경우가 없으므로 dead zone의 영향 없이 테스터를 할 수 있다.

PE의 각 channel에 대해 입력만으로, 출력만으로 또는 입력과 출력을 모두 할 수 있도록 하는 기능과 DUT의 한개의 pin에 연결하였을 때 그 pin의 출력 또는 입력 상태에 따라 다른 PE channel

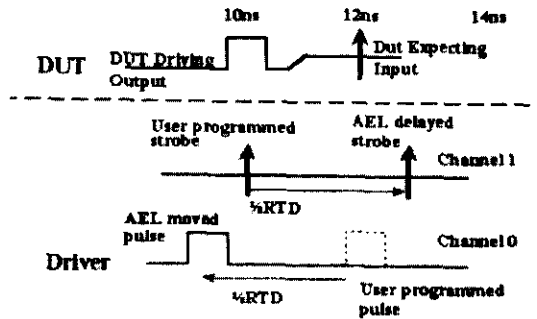


<그림 9>

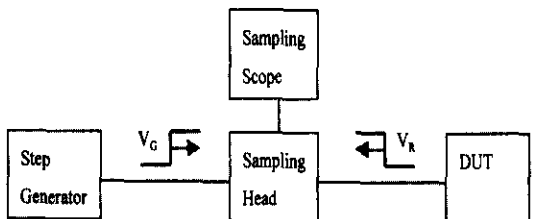
의 driver나 comparator로 연결되도록 하는 것을 fly-by 모드라 하고 <그림 9>와 같은 PE가 Teradyne의 고속 메모리 ATE인 AREIS에 적용되어 있고 고속 동작하는 메모리의 테스트에 적용되는 DTL(dual transmission line) 방식에서는 반드시 지원되어야 하는 기능이다.

7. ATEDML offset timing calibration

200Mhz로 동작하고 1cycle에 6개의 timing edge를 설정 할 수 있는 ATE에서 한 cycle의 최소 period는 5ns이고 6개의 edge를 한 cycle내에 설정한다면 각각의 edge간 간격은 1ns 미만일 것이다 이럴 때 다수의 PE driver와 comparator가 연결된 DUT까지의 경로의 길이 차이로 인한 신호 전송 지연과 그에 따른 timing skew는 고속 device에서 심각한 문제를 일으키게 된다. 이러한 경로 차이에 의한 timing skew 오차를 줄이기 위한 방법으로 PE로 부터 DUT까지의 길이를 측정하여 PE의 driver와 comparator가 설정된 timing 값에 offset time을 보상하여 DUT로 전송되는 신호와 DUT로부터 PE의 comparator로 전송되는 신호를 오차 없이 보내고 검사 할 수 있도록 하는



<그림 10>



<그림 11>

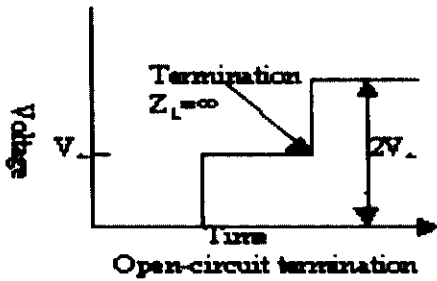
것이 timing offset calibration이다.

Timing offset calibration은 <그림 11>과 같은 구성된 특정한 circuit에서 Step Generator에서 step voltage  $V_g$ 를 보내면 transmission line을 통해 DUT로 전달되고 이 신호는 DUT와 전송 선로 그리고 Step Generator의 impedance의 matching 정도에 따라 반사 방향과 반사 정도가 다르게 된다. step generator에 의해 발생된 신호가 DUT로 전송될 때 DUT와 step generator 중간의 Sampling Scope에 시간 차이를 두고 신호의 전송 지연과 반사에 의한 파형을 보게 되며 <그림 11>과 같은 장치를 TDR(Time domain Reflectometry)라 부르

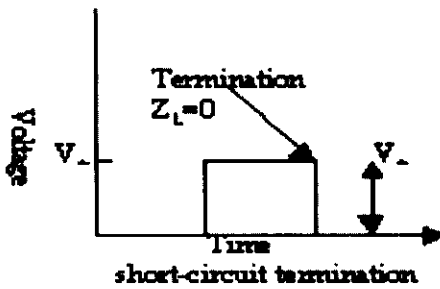
는데 ATE에서도 이와 같은 신호의 전송지연과 반사에 의한 신호의 특성을 이용하여 PE와 DUT의 길이를 측정하고 offset timing을 측정하는 것을 TDR방식을 이용한 timing calibration이라 한다.

ATE에서의 offset timing calibration은 TTL 또는 LVTTTL circuit으로 DUT가 구성된 경우에는 DUT를 open circuit termination이 되도록 하여 <그림 11>과 같은 TDR 원리를 이용하고 DTL circuit으로 DUT가 구성된 경우에는 DUT를 short circuit termination이 되도록 하여 <그림 12-2>와 같은 TDR원리를 이용한다.

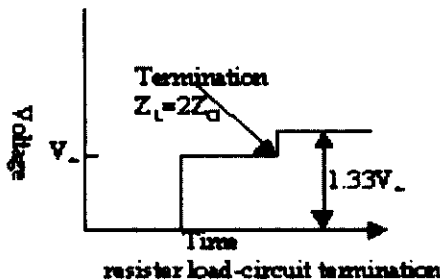
DUT가 Open circuit termination이 되도록 하여 offset timing calibration을 하는 방법을 간단히 normal cal이라 부르고 DUT가 short circuit termination이 되도록 하여 offset timing calibration을 하는 방법을 shorted cal이라 부르는데 이러한 calibration을 ATE에서 수행하기 위해서는 PE에 timing offset calibration을 위한 calibration circuit matrix가 부가되어 있어야 하는데 이러한 부가적인 calibration circuit matrix가 PE의 driver, comparator로 부터 DUT까지의 부가 경로를 만들게 되어 TDR에 오차를 발생시키게 된다. 이렇게 부가된 calibration circuit matrix에 의한 오차는 저속 동작하는 메모리(EDO, SDRAM-100Mhz)의 경우에는 별반 문제가 되지 않지만 <그림 13>과 같은 timing으로 고속 동작하는 메모리(RDRAM, SDRAM-1Ghz)에서는 tS(setup time)이 200ps tH(hold time)이 200ps 정도이기 때문에 timing margin 문제가 발생하므로 offset timing calibration에서 calibration matrix에서 발생하는 오차



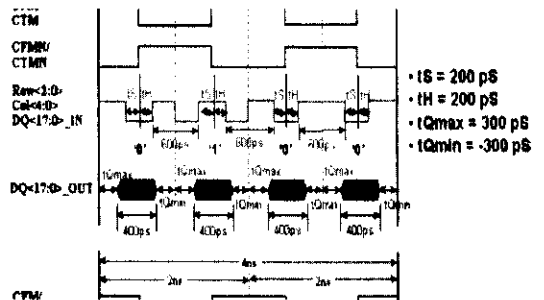
<그림 12-1>



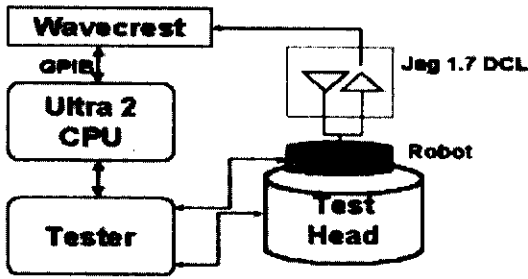
<그림 12-2>



<그림 12-3>



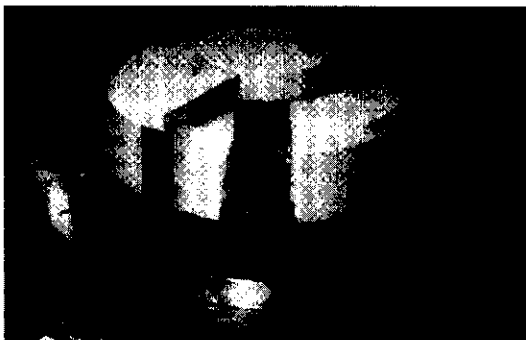
<그림 13>



<그림 14>

는 치명적인 문제가 된다.

Teradyne의 ATE ARIES는 이러한 부가적인 calibration matrix에 의한 offset timing 오차를 없애기 위하여 focus cal이라 부르는 방법을 사용하는데 blank DIB(device interface board)로 <그림 14>와 같이 ATE 외부에 <그림 11>과 같은 신호 발생기, 검출기, auto probing을 위한 robot을(그림 15) GPIB interface를 통해 ATE host compute와 연결하여 ATE의 외부에서 DUT와 PE의 driver, comparator간의 TDR을 실시하여 calibration matrix에 의한 오차가 없는 offset timing calibration 값을 얻은 후 ATE PE에 있는 calibration matrix를 이용하여 DUT와 PE의 driver, comparator까지의 offset timing을 다시 측정하여 두 값의 차이가 calibration matrix에 의한 오차이므로 이 값을 저장하여 차후 메모리 테스터를 위한 특정 DUT board에 대한 TDR을 PE에 있는 calibration matrix로 수행하여도 저장된 calibration matrix에 의한 오차 값만 빼주면 더욱 정확한 offset timing calibration 값을 얻을 수 있고



<그림 15>

high speed 반도체 소자의 timing 구현에 있어서 반도체 소자의 측정에 있어서 정확한 계량을 하는데 필수적인 기술이라 할수 있겠다.

### 글을 마치면서

ATE를 제대로 사용하기 위해서는 ATE 자체의 H/W적 성능과 S/W를 제대로 알고 사용하는 것이 기본이 되고 다양한 주변 인터페이스(Load circuit, Socket, Probe card, DIB...), 제품의 사양과 특성을 정확히 이해하지 못하고서는 정확한 제품의 평가를 할 수 없다.

ATE의 H/W와 S/W적인 측면에서 고속 동작 메모리(SLDRAM, RDRAM)용의 ATE 기술에 필요하고 현재 구현되고 있는 PE와 timing calibration의 원리에 대해 간단히 소개 했는데 많은 곳에서 미진함이 있는 것을 알지만 여러분께 도움이 되길 바라면서 마칩니다.

### 참고 문헌

- [1] TDR, <http://www.tscm.com/riapplan.html>.
- [2] Offset timing calibration, <http://www.teradyne.com/prods/std/aries/aries-info-request-form.html> n.
- [3] Teradyne ARIES ATE, <http://www.std.teradyne.com/depts/vlsiael/Welcome.html>.
- [4] Advantest T5591 ATE, <http://www.advantest.co.jp/97-11-18-e.html>.

## II. Hewlett Packard Company (Jay Kang, Gayn Erickson)

### High-Speed Protocol Based Rambus<sup>®</sup> DRAMs

#### Abstract

Testing the new high-speed protocol based memories such as Direct RDRAM<sup>™</sup> offers new opportunities for memory manufacturers and test engineers to re-optimize their test strategies. Identifying the critical circuit parameters, and selecting the proper equipment and test fixtures for their measurement, is crucial to achieving maximum throughput, yield and performance of the finished products. This paper outlines key test techniques required by the high-density structure and high bandwidth operation of RDRAM<sup>®</sup> devices, and suggests approaches to their application in a production test environment.

#### Introduction

The continuous quest for improvements in integrated circuit design and semiconductor manufacturing techniques have made possible microprocessors with higher and higher clock speeds, which places increasing demands on the I/O interface to memory devices and other peripherals. To meet these demands while keeping costs down, DRAM manufacturers are deploying new chip designs and memory architectures that significantly increase both density and I/O bandwidth.

The Rambus<sup>®</sup> Direct RDRAM developed by

Rambus Inc. redefines the memory subsystem by melding a high density DRAM with a very high bandwidth interface. To achieve data transfer rates beyond 800 Mbits/sec, Direct RDRAM employs special interface and addressing techniques to mask the internal clock delay of traditional DRAMs, which is a major contributor to slower data transfer rate.

Due to the high-speed interface and protocol associated with a Rambus DRAM, there are three major testing issues that test engineers must address:

1. Today's highly parallel memory test systems (32-64 devices in parallel) cannot provide the 800+ MHz data rates required to test Direct RDRAM devices.
2. Even the highest performance memory testers available on the market today cannot make the critical timing measurements for Direct RDRAM devices, such as the set-up and hold time specifications of <200ps. The edge placement accuracy (EPA) required for testing Direct RDRAM devices(150-200ps) also means that traditional guard band methods cannot be used.
3. Even at lower speeds, the RDRAM access protocol and interleaving scheme are not supported by today's mainstream memory test systems through the RDRAM interface.

A proven method to address these issues with test systems available today makes use of a two-pass final test strategy. During the first pass, DRAM manufacturers can use existing low speed memory testers to test the core memory cells through a special test mode supported by the RDRAM architecture called DAMode. This test mode allows conventional memory test systems to test the RDRAM core with standard DRAM test flows and patterns. DAMode

bypasses the access protocol in order to allow the test engineer to test the core at standard DRAM core speeds so that a lower speed (<100MHz) memory test system can be used for this pass. DAMode details are not covered in this paper but are available to all Rambus licensees from Rambus Inc. directly. The second pass of the two pass strategy can be made using a high-speed logic test system to speed sort and test the critical high speed timing measurements of the RDRAM interface. This test verifies the interface logic as well as the tight timing tolerances for RDRAM devices.

New test systems introduced recently will have the ability to test the device with a single insertion, whether testing the core at the RDRAM interface speeds or by testing the core by using the DAMode. However, whether a two-pass or single-pass test strategy is used, challenges of the high-speed tests must be solved in order for the test engineer to maximize the yield of the RDRAM devices. Accurately driving and comparing >800Mbit/s address, control and data signals, without I/O bus contention problems, requires extremely high speed and accurate test equipment and electrical interfacing to the handler. Careful consideration must be given to the design of the loadboard, DUT(Device Under Test) board, and the high-speed contactors selected in order to minimize inaccuracies added by these components.

In the following sections, we will review the Direct RDRAM operation in general and discuss the critical timing parameters and their effect on the issues just described. Clock and data rate requirements, I/O bus contention issues, accuracy, and loadboard and contactor design considerations will be discussed. Along with these critical testing issues, measures that Hewlett- Packard has implemented in the HP

83000 Rambus Series test system to solve these difficulties will be explained.

### Direct RDRAM Data Rates

The Direct RDRAM specification currently supports 300MHz and 400MHz clock devices with 600Mbit/s and 800Mbit/s data rates, respectively. The interface of the Direct RDRAM connects to the Rambus Channel, an 18-bit wide bi-directional data bus and 8-bit wide Address and Control bus that is optimized for block data transfer for a given clock speed. To read data from the Direct RDRAM, a processor uses the Rambus Channel to send a request packet to the RDRAM. The packet contains multiple bytes including the requested address and additional control information. In the case of the 800Mbit/s device, dual bytes are valid on the channel only during the 1.25 ns period. After receiving the request packet, the Direct RDRAM verifies the presence of the requested data in its core, accesses the data, and sends it back to the controller at a 1.25ns per dual-byte rate. A write transaction to the RDRAM is similar to read, except that the controller provides the data. A typical read/write packet sequence is shown in the following figure. Reads and writes have the same timing to avoid pipeline bubbles when mixed R/W sequences occur.

Careful consideration of high-speed transmission line effects allows the Rambus Channel to achieve its high bandwidth data exchange. The Rambus Channel consists of a set of terminated transmission lines. The RDRAMs are designed to properly drive this terminated transmission line environment. The leads of the RDRAM package are very short to reduce stray inductance, allowing the RDRAMs to drive and



receive the high frequency bus signals. The length of the bus lines is also limited to reduce the delay of the bus. Delay locked loops (DLLs) are used to compensate for the delays of the I/O circuits, allowing the RDRAM to sample its inputs and drive its outputs at precisely the correct time, which is essential when data is valid for less than 1.25 ns. The memory core in the RDRAM is a slightly modified version of the conventional memory array. The modifications are necessary to increase the internal bandwidth to the memory core by increasing the number of bits that are read or written on each cycle.

In order to test the Direct RDRAM device, a high-speed test system must provide differential clock signals of at least 400MHz and drive and compare at least 800MHz DNRZ(800Mbit/s) data rates on a single device I/O pin. The HP 83000 Rambus Series test system delivers up to 660MHz clocks(RZ) and can drive and compare up to 1300MHz data(DNRZ) signals on the RDRAM data pins. Signal quality is maintained

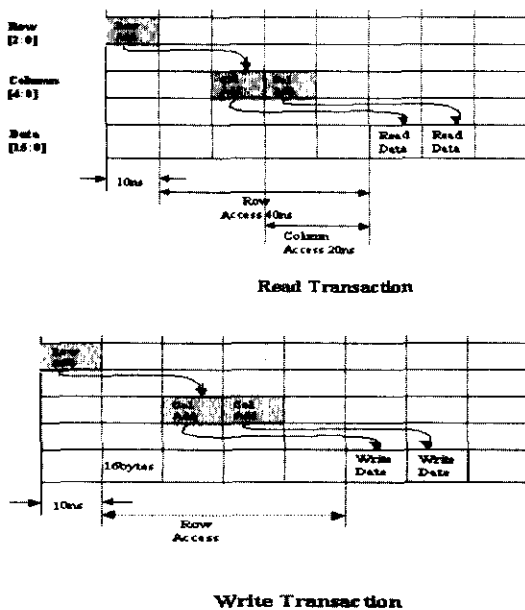
through a high performance coaxial interface between the pin electronics and the loadboard.

### Bus Contention

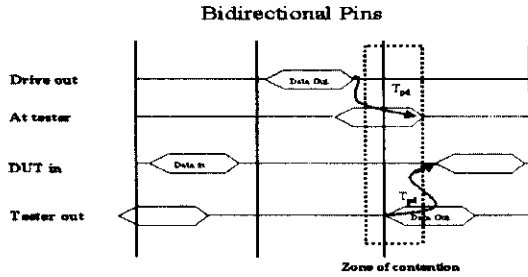
The next critical issue that needs to be addressed is 0 ns bus turnaround(no round trip delay) on the bi-directional data pins. Rambus DRAM devices and most other memory devices in computer systems are bus oriented. Bus contention is a conflict between driving data and receiving data on a common transmission path. It occurs on bi-directional bus lines where the transmission direction can switch according to the I/O cycle being processed. Bus contention can result in large transient current spikes and low device speed. Bus contention at the DUT(in and out data delays from DUT to tester) causes a conflict at the tester end. See Figure-2. This creates a “dead zone”(zone of contention) in which the tester only sees its own driver signal, and not the device output signal. The width of this dead zone is given by  $2 * T_{pd}$ .

Creating a round trip delay-free environment allows the DUT and the tester to attain maximum quality high-speed signals and to eliminate the bus contention errors. A method for removing bus contention has been used by HP since 1986, when HP introduced the HP 82000, a 200MHz test system first used by semiconductor companies to characterize very fast logic and memory devices. Similar to other very high-speed ATE systems today, including the HP 83000 Rambus Series test system, the HP 82000 uses coaxial transmission lines to deliver bi-directional channels to the DUT.

The bi-directional data rate where bus contention occurs is a function of the combined round trip delay of the transmission line of the interface and the loadboard. Bus contention can



(Fig 1)

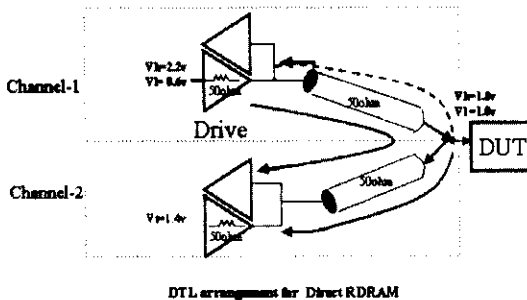


<Fig 2>

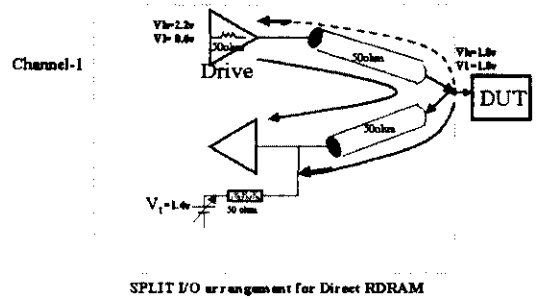
be solved if the test system supports either a Dual Transmission Line(DTL) or Split I/O arrangement. With the tester channel in either one of these two arrangements, the signals propagate to the end of the transmission lines without any reflections. Both the HP 82000 and HP 83000 Rambus Series test systems support a Dual Transmission Line arrangement.

Consider the DTL type tester channel arrangement shown in Figure-3. The tester's receiver channel only senses data that propagates around the clockwise loop. The impedance seen by the DUT consists of two 50-ohm parallel transmission lines terminated at the end of the each line with matching impedance. This permits the test system to drive I/O lines instantaneously with zero turnaround time.

In this case, the data rate is only limited by the tester's minimum drive pulse width and the DUT itself. However, because of the 25 ohm impedance seen by the DUT, correct  $V_{il}/V_{ih}$



<Fig 3>



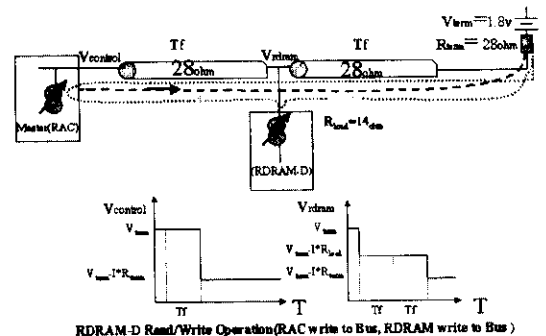
SPLIT I/O arrangement for Direct RDRAM

<Fig 4>

values must be recalculated. Direct RDRAM signaling levels are  $V_{il}=1.0V$  and  $V_{ih}=1.8V$  and the reference voltage level is set to 1.4V, with the termination voltage set to 1.4V, so that drive current requirements are symmetrical. At the tester side, the recalculation results in  $V_{il}/V_{ih}$  of 0.6V/2.2V. The split I/O tester channel arrangement shown in Figure-4 would produce the same result while eliminating half of the circuitry.

DTL(or Split I/O) solves the bus contention problem at the tester side. On the device side, Rambus Channel avoids bus contention by using current-mode signaling and providing non-conflicting signal paths between the Rambus ASIC Cell(RAC) and Direct RDRAMs during read/write cycles, as illustrated in Figure-5.

A "logic 0" is represented by the termination voltage of 1.8V and "logic 1" is represented by



RDRAM-D Read/Write Operation(RAC write to Bus, RDRAM write to Bus)

<Fig 5>

pulling a calibrated current out of the bus. When the memory controller(RAC) wants to drive logic 1, it sinks enough current to pull the bus down to  $V_{term} - I * R_{term}$  and it is terminated at the RDRAM. No further reflection occurs.

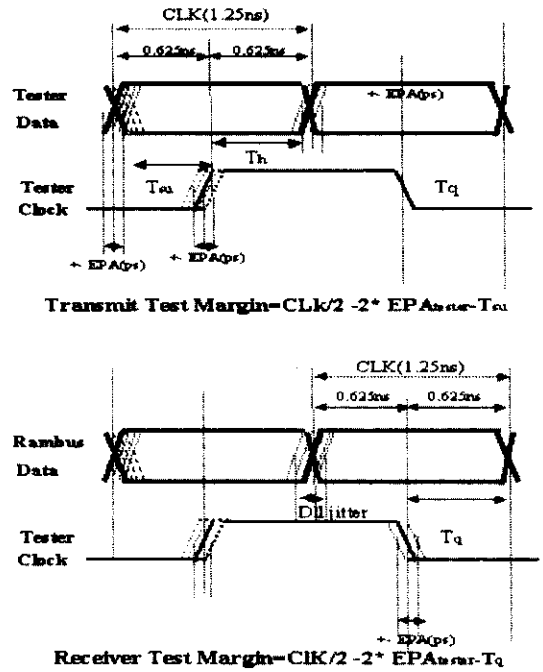
The RDRAM device drives a fixed current which results in a half-voltage waveform propagating in both directions(because it is a current mode output) and when the half-voltage swing arrives at the master end it reflects and doubles in amplitude, so that the master sees a full-voltage swing.

### Accuracy

Accurate testing of the Direct RDRAM is one of the most challenging issues facing the test engineer, even with excellent loadboard design and proper test fixtures. In addition to providing accurate waveforms and valid data at >800MHz (DNRZ), the test equipment must be able to measure the set-up and hold time of the inputs and the timing of the outputs with high timing accuracy. When the data cell is only 1.25ns wide, the edges must be placed precisely relative to the clock. For the Direct RDRAM, the set-up and hold time specification is <200 ps. To meet this requirement, the tester Edge Placement Accuracy(EPA) is a critical element to consider.

As illustrated in Figure-6, transmit and receive "test margins," assuming no signal delay caused by the loadboard and contactor, could be calculated as " $CLK/2 - 2 * EPA_{tester} - T_s$ " and " $CLK/2 - 2 * EPA_{tester} - T_q$ ", respectively.

A tester with a smaller EPA value allows wider test margins and increased flexibility in testing Direct RDRAM devices. The most immediate challenge for tester manufacturers is reducing the EPA value. The HP 83000 Rambus



<Fig 6>

Series test system provides a focused calibration procedure, developed with Rambus, that delivers +/-50 ps EPA for the set-up and hold measurement on RDRAM devices. A tester with a tighter EPA can test devices more precisely, enabling the use of wider transmit and receive test margins, resulting in significant cost saving and additional revenue generation in a mass production environment.

### Loadboards, DUT Boards, and Contactors

A critical issue pertaining to high speed RDRAM testing is the electrical environment of the DUT. Most of the time it is difficult to create an environment on the tester closely matching the environment that the device will see in a real system, because the production test system environment includes a socket, loadboard, and coaxial cables. Socket inductance, loadboard

discontinuities, and coaxial cables degrade the quality of signals to and from the DUT and limit the measured performance of the device. With 50ps EPA and  $\pm 200$ ps  $T_s/T_b$ , the DUT's best-case driver test margin will be  $CLK/2 - 2 * EPA_{tester} - T_s = 325$ ps. Small parasitic capacitance, discontinuities, or transmission mismatches will quickly use up the test margin. For example, 4pF of lumped capacitance can cause additional signal-edge distortion of  $100$ ps( $R * C/2$ ).

Packaging of the Direct RDRAM device itself is obviously an important consideration and Table-1 shows the physical interface parameters. With DTL, 52 signal lines are required at the tester since 18 of the 34 DUT signal pins are I/O.

By using a 0.75 CSP, Direct RDRAM can reduce the package size by a factor of four while doubling the number signal lines, compared to Concurrent RDRAM in an SHP type package, so that Direct RDRAM has about 8 times more trace lines in a given area than Concurrent RDRAM. Providing a parallel site loadboard for Direct RDRAM will require designers to carefully consider every aspect of their printed circuit board(PCB) design and be thoroughly familiar with transmission line effects.

On a DUT loadboard, the transmission line environment can be disturbed by wiring, vias, soldered-in coax cable, over (or under) etch of the microstrip traces, trace length mismatch, pogo connection, and PCB materials. Use of via holes should be minimized to avoid the loss on

transmission lines. If vias are absolutely needed, homogeneous via holes ( $Z=50$  ohms) should be created by varying the "via clearance diameter/via hole diameter" ratio. On microstrip corners, a radius or chamfer should be used to avoid abrupt trace angles that cause unwanted reflections at high frequencies. The use of a daughter board for the DUT should be avoided since all signal path discontinuities reduce the accuracy of the measurements.

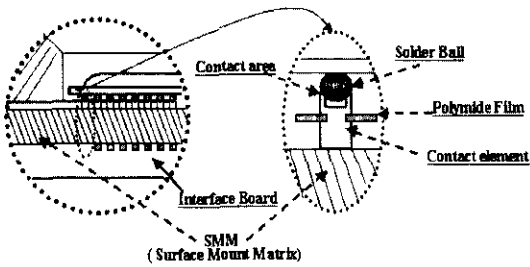
Crosstalk is another source of signal integrity loss. Commonly used approaches to minimizing crosstalk are to maintain microstrip spacing with a "space/width" ratio of at least 3, termination with characteristic impedance and distribution of signal lines through multiple PCB layers. The use of low dielectric PCB material such as Gore-Ply™ should also be considered. All of these techniques contribute to reducing signal attenuation and distortion at high frequencies.

Selecting the proper contactor in a high-speed testing environment requires special attention because large socket inductance can reduce the quality of the signals dramatically. When placing a contactor, the stub distance should be as small as possible, the contact element should be as small as possible, and the contact area should be as round as possible. Figure-7 illustrates a  $\mu$  BGA™ contactor from Prime Yield® that demonstrates a high performance implementation of a fine pitch BGA contactor. Measurements by Prime Yield of several contactor styles has shown a capacitance of  $<1$ pF and an insertion loss of about 1 dB at 3GHz.

High accuracy in high frequency testing environments requires a great deal of attention to the DUT board interface and socket interface. However, by eliminating crosstalk and impedance discontinuities, test engineers can produce good signal quality and high signal

<Table 1>

Parameter	Direct RDRAM
Package Type	Chip Scale Package (CSP)
Dimensions	12×6.5mm
Ball Pitch	0.75mm
DUT Signal pins	34



0.75mm pitch uBGA Contactor from Prime Yield

(Fig 7)

integrity even with complex devices. By incorporating a high performance interface, loadboard, and contactor, the HP 83000 Rambus Series Test System is able to provide extremely high accuracy and performance in a production environment.

### Conclusion

The lack of conventional, highly parallel memory test systems that operate at the data rates and accuracies required to test the critical timing specifications of the RDRAM devices, does not prevent memory manufacturers from implementing a comprehensive test strategy by using a dual pass test methodology and optimizing their test flow. New techniques for testing these high-speed devices must be developed, whether the test engineer chooses a two-pass test strategy or a single-pass strategy. Careful consideration of the test system's speed, accuracy, DUT interface, loadboard design, and contactor should enable DRAM manufacturers to make reliable, repeatable measurements of Direct RDRAM devices at speeds of 1 GHz today.

#### Trademarks:

HP, HP83000 and Rambus Series are trademarks of Hewlett-Packard Company.

Rambus, RDRAM and Direct RDRAM are trademarks of Rambus Inc. Gore-Ply is a trademark of W.L. Gore & Assoc.  $\mu$ BGA is a trademark of Tessera, Inc. All other trademarks are the property of their respective owners.

### ACKNOWLEDGMENT

The authors wish to thank Frank McKiney, Charlie Rothschild, Georg Trappe, Mattias Kamm, and Pi Chao for their encouragement throughout this work.

#### 참고 문헌

- [1] James A. Gasbarro and Mark A. Horowitz. "Techniques for Characterizing DRAMs with a 500MHz interface," International Test Conference, pp. 516-525, Nov 1994.
- [2] James A. Brandes. "High-performance Production Test Contactor for Fine-Pitch Integrated Circuits," International Test Conference, pp. 520-521, Nov 1997.
- [3] Will Creek. "Characterization of Edge Placement Accuracy in High-Speed Digital Pin Electronics," International Test Conference, pp. 556-557, Nov 1993.
- [4] Jacob Savir. "AC Product Defect Level and Yield Loss," IEEE Transaction on Semiconductor manufacturing. Vol.3, No. 4, pp. 195-205, November 1990
- [5] Rainer Plitschka. "How to Treat Transmission Line Effects when Testing High-Speed Device With a High Performance Test System," HEWLETT-PACKARD JOURNAL. Vol. 40, pp. 58-67, Dec 1989.
- [6] James A. Brandes. "High-performance

Contactors for Fine-pitch BGAs” Chip Scale Review, pp. 24-29, Jul 1997.

저자 소개



高 榮 寬

1966년 3월 10일생, 1991년 2월 경북대학교 공과대학 전자공학과 졸업, 1991년 2월~1998년 4월 삼성전자(메모리 사업부 R&D test team), 1998년 5월~현재 테라다인(메모리 test application group), <주관심 분야: memory test application>

Jay Kang

- Career started at Crysalis on FRAM development
- Texas Instrument Inc. for 11 years on 1M, 4M, 16M, 64M memory test development, DMD(Deformable Mirror Device) characterization
- Now working in HP California Semiconductor Test Divison for 2years on high speed memory tester development

Gayn Erickson

- Working in HP for 10years
- Now product marketing managers in California Semiconductor Test Divison