

論文98-35C-6-4

트랜스컨덕턴스(gm)를 이용한 전류모드 능동필터의 이득 및 주파수 제어

(The Gain & Frequency Control of Current-Mode Active Filter with Transconductance-gm Value)

李根浩*, 趙成翊**, 方駿鎬***, 金東龍*

(Geun-Ho Lee, Seong-Ik Cho, Jun-Ho Bang, and Dong-Yong Kim)

요 약

본 논문에서는 능동필터 설계시 기본 블록으로 이용될 수 있으며, 저전압 고주파에서 동작 가능한 새로운 구조의 CMOS 전류모드 적분기를 제안하였다. 더불어 전압조절을 통해 그 이득과 주파수를 제어할 수 있는 트랜스컨덕턴스 제어회로를 설계하였다. 제안된 적분기는 CMOS 상보형 회로로 구성하였으며, 따라서 적분기의 단위이득주파수에 영향을 주는 적분기의 트랜스컨덕턴스를 증가 시켰다. 제안된 적분기의 단위이득 주파수는 NMOS- g_m 을 가지는 기존의 적분기에 비하여 두배 가까이 증가되었다. 또한 트랜스컨덕턴스 제어회로를 이용하여 능동필터의 공정시 나타날 수 있는 오차를 줄이고, 그 용도에 따라 주파수와 이득제어를 가능하게 하였다. 이의 응용회로로서 3차 체비셰프 저역필터를 0.8 μ m CMOS 파라미터를 이용하여 설계하였으며, 이러한 결과들은 소신호 해석 및 0.8 μ m 공정 파라미터를 갖는 HSPICE 시뮬레이션을 통하여 검증되었다.

Abstract

In this paper, a new CMOS current-mode integrator is proposed that can apply the basic building block of the low-voltage high frequency current-mode active filter. And tuning circuits that control the gain and unity gain frequency of them is designed. The proposed integrator is composed of the CMOS complementary circuit which can extend transconductance of an integrator. Therefore, the unity gain frequency which is determined transconductance and MOSFET gate capacitance can be expanded by the proposed integrator. The unity gain frequency of the proposed integrator is increased about two times larger than that of the conventional continuous-time integrator with NMOS- g_m . And also, cut-off frequency and gain of the active filter can be controlled with the designed tuning circuit. From the result, we can reduce errors on fabrication. And then, 3rd-order low-pass active filter is designed as an application circuits. These results are verified by the small signal analysis and the 0.8 μ m parameter HSPICE simulation.

* 正會員, 全北大學校 電氣工學科

(Dept of Electrical Engineering, Chonbuk National University)

** 正會員, 現代電子 메모리연구소 先任研究員

(MEMORY R & D DIVISION Hyundai Electronics Industries Co., Ltd.)

*** 正會員, 裡里 國立農工專門大學校 電氣科

(Dept. of Electric, Iri National College of Agriculture and Technology)

※ 본 논문은 97년도 과학기술처 국제공동연구비 지원에 의한 결과임

接受日字:1998年1月12日, 수정완료일:1998年5月25日

I. 서론

혼성모드 시스템 구현을 위한 전류모드 회로는 전압 모드 회로와는 달리 낮은 내부전압을 통해 동작이 가능하며, 디지털 공정에 의한 제작 또한 용이하여 저전압, 저전력 혼성집적회로 응용에 적합하다. 이러한 전류모드 회로의 유용성으로 인해 저전압 고주파용 시스템에서 이용될 수 있는 필터등도 전류모드 방식에 의한 설계법이 많이 연구되고 있다.^[1-7]

능동필터 설계시 기본 구성블럭인 전류모드 적분기의 구조를 살펴보면 NMOS 전류미러쌍을 직렬로 구성하여 피드백시킨 구조^[4]와 이 구조의 이득 및 출력특성을 개선한 캐스코드 구조^[5], 그리고 위상추이 및 신호잡음 등의 영향을 줄이고 주파수특성 등을 개선한 완전차동구조^[6]^[7] 등으로 연구되고 있다. 이러한 구조중에서 마지막에 언급한 완전차동구조의 전류모드 적분기는 다른 구조에 비하여 상대적으로 고주파용 필터의 동작시 안정성면에서 좋은 조건을 갖추고 있다. 최근 연구 발표된 완전차동 적분기^[7]의 경우에 NMOS 전류미러쌍을 병렬로 구성하였고, 두 개의 입력신호가 균형을 이루고 진행하기 때문에 기생 커패시턴스 및 신호잡음등에 강한 특성을 가지며 특히, 대역폭을 제한하였던 비우성 극점이 제거되었음을 알 수 있다. 그러나 이러한 적분기는 여러가지 개선점에도 불구하고 그 특성 결과를 살펴볼 때 더욱 더 개선될 여지가 있다. 적분기에서 우반면(RHP : Right Half-Plane)에 존재하는 영점은 적분기의 단위이득 주파수에서 위상추이를 발생시키므로 적분기의 안정된 주파수 특성을 얻어내기 위하여 영점을 제거하거나 단위이득 주파수로부터 가능한 멀리 있도록 하여야 한다.

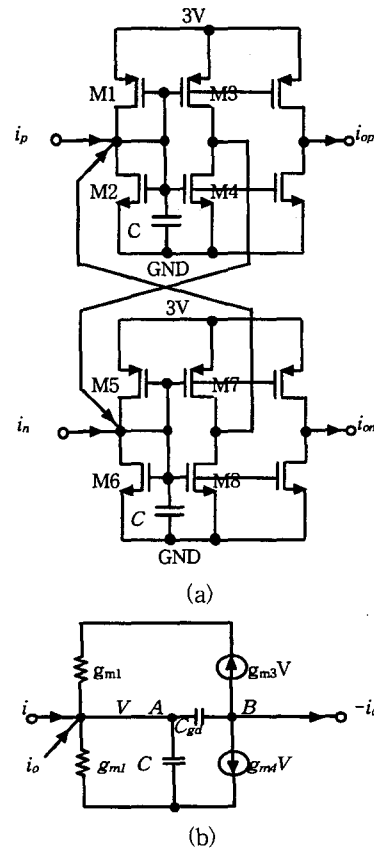
따라서 본 논문에서는 기존의 적분기 구조에 비하여 우반면에 존재하는 영점의 영향을 줄이고 이득 및 주파수 특성을 개선할 수 있는 개선된 구조의 연속시간 전류모드 적분기를 설계한다. 설계된 적분기는 CMOS 상보형 회로로써 이루어진 두 개의 적분기를 완전차동 구조로 구성하여 비우성 극점을 제거하여 위상추이 및 신호잡음에 의한 성능저하를 최소화하였으며, NMOS와 PMOS 트랜지스터가 전류미러로써 바이어스 역할을 수행함과 동시에 증가된 트랜스컨덕턴스 값을 얻어 내어 전류이득 및 대역폭이 증가된 특성을 가진다. 또한 각 트랜지스터들은 포화영역으로 자기바이어스 되도록 함으로써 추가적인 바이어스 회로의 구성에 의한

회로크기의 증가를 피하고자 하였다. 또한 설계된 적분기가 능동필터의 기본블럭으로 이용될 때 주변의 영향으로 인해 발생할수 있는 주파수 및 이득특성을 조절해 주기 위해 주파수와 이득에 영향을 미치는 트랜스 컨덕턴스 제어회로를 설계하였다. 이러한 결과들은 소신호해석 및 0.8 μ m CMOS 공정 파라메타를 이용하여 설계 및 분석되었으며 각 특성을 기존의 적분기와 비교하여 나타내었다.

II. 전류모드 적분기 설계

1. 전류모드 적분기 설계

기존의 적분기 [7]에서 완전차동 구조로 설계함으로써 위상추이를 발생시키는 비우성 극점을 제거하였으나 영점에 의한 위상추이는 제거시킬 수 없었다. 실제로 이 영점은 트랜지스터의 기생커패시턴스 C_{gd} 에 의하여 발생되므로 완전히 제거되는 것은 어렵다. 그러므로 회로의 주파수 특성을 개선하기 위한 방법으로 영점을 제거하는 대신에 단위이득 주파수로 부터 가능한 멀리 위치할 수 있도록 회로를 구성한다.



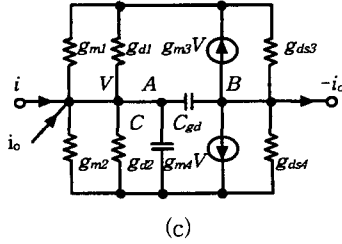


그림 1. 제안된 연속시간 전류모드 적분기
(a) 구조 (b) 1차 소신호 등가회로 (c) 2차 소신호 등가회로

Fig. 1. Proposed Continuous Current-mode integrator. (a) Schematic (b) First-order small signal equivalent circuit (c) Second-order small signal equivalent circuit

이상과 같은 방법에 따라 본 논문에서는 [7]의 적분기 구조를 변형하여 그림 1과 같은 적분기를 설계하였다. 설계된 연속시간 전류모드 적분기는 NMOS 트랜지스터와 전류원으로 구성되어 있는 [7]의 적분기 구조와는 달리 NMOS 트랜지스터와 PMOS 트랜지스터의 게이트를 연결시킨 CMOS 상보형 구조를 이용하여 구성하였다. 상보적으로 연결된 PMOS와 NMOS는 전류미러의 역할을 수행함과 동시에 트랜스컨덕턴스를 크게 해준다.

제안된 그림 1(a)의 적분기를 소신호 해석을 통하여 특성을 분석하고 그 결과를 기존의 적분기와 비교하여 본다. 그림 1(a)의 연속시간 전류모드 적분기가 완전 대칭이면 식 (1), (2), (3)과 같은 관계식이 성립되므로 그림 1(b)와 같이 절반회로(half-circuit) 소신호 등가 회로로 간소화 시킬 수 있다.

$$i_p = -i_n = i \quad (1)$$

$$i_{op} = -i_{on} = i_o \quad (2)$$

$$V_A = -V_B = v \quad (3)$$

여기서 i_p 는 비반전 입력전류이고 i_n 은 반전 입력전류이다. 윗식을 이용하여 그림 1(b) 1차 소신호 등가 회로의 절점 A와 B에서 KCL을 적용하여 식 (4)와 (5)를 얻어낸다.

$$(g_{m1} + g_{m2})v + s(Cv + 2vC_{gd}) = i + i_o \quad (4)$$

$$(g_{m3} + g_{m4})v - 2vC_{gd} = i_o \quad (5)$$

이때, 제안된 전류모드 적분기를 구성하고 있는 트랜지스터 M_1 과 M_3 , M_2 와 M_4 , M_5 와 M_7 , 그리고 M_6 와

M_8 은 모두 전류미러로 구성되어 있으므로 모두 같은 크기로 설계하면 이들 각각의 g_m 값들은 $g_{m1} = g_{m3}$, $g_{m2} = g_{m4}$, $g_{m5} = g_{m7}$, $g_{m6} = g_{m8}$ 이 된다. 이 값을 식 (4), (5)에 대입하면 식 (6)과 (7)을 얻을 수 있다.

$$i_o = \frac{g_{m3} + g_{m4}}{sC_2} i \quad (6)$$

$$i_{op} - i_{on} = \frac{g_{m3} + g_{m4}}{sC_2} (i_p - i_n) \quad (7)$$

식(6), (7)의 결과는 제안된 전류모드 적분기의 입출력 전류비를 나타내고 있는데 이 값은 적분기의 전류이득을 나타낸다. 기존 적분기인 [7]의 경우를 살펴보면 M_2 에서 얻어지는 g_{m2} 와 캐피시터 C 가 식(8)과 같이 입출력 전류비를 표현한다.

$$i_{op} - i_{on} = \frac{g_{m2}}{sC_2} (i_p - i_n) \quad (8)$$

각 적분기를 구성하는 트랜지스터를 같은 크기로 설계할 경우에 적분기들의 입출력 전류비, 즉 전류이득인 식(7)과 (8)을 비교하여 볼 때, 제안된 적분기의 전류이득이 약 2배에 가까운 값으로 얻어질 수 있음을 알 수 있다.

제안된 적분기의 소신호 특성을 보다 자세하게 분석하기 위하여 그림 1(b)에서 무시하였던 출력 컨덕턴스(g_{ds})를 포함한 2차 소신호 등가회로를 그림 1(c)에 나타내었다. 이때 트랜지스터에서 얻어지는 g_m 값들은 각각 같은 값으로 설계할 수 있으므로 $g_{m1} \sim g_{m8}$ 의 값을 g_m 으로 $g_{ds1} \sim g_{ds8}$ 의 값을 g_{ds} 로 설정하고 그림 1(c)에서 KCL을 적용하면 다음과 같은 식을 얻을 수 있다.

$$(2g_m + sC + 2C_{gd} + 2g_{ds})v = i + i_o \quad (9)$$

$$2(g_m - sC_{gd} - g_{ds})v = i_o \quad (10)$$

위식으로부터 입출력 전류식은 식(11)과 같이 정리된다.

$$i_o = A \frac{1 - \frac{s}{z_1}}{1 + \frac{s}{p_1}} i \quad (11)$$

여기서,

$$z_1 = \frac{g_m - g_{ds}}{C_{gd}} \quad (12)$$

$$p_1 = \frac{4g_{ds}}{C+4C_{gd}} \quad (13)$$

이고, 적분기의 단위이득 주파수는 식(14)와 같다.

$$\omega_0 = 2 \frac{(g_m - g_{ds})}{C+4C_{gd}} \quad (14)$$

이상과 같이 얻어진 식들로부터 본 논문에서 제안된 연속시간 전류모드 적분기의 여러 가지 특성을 살펴볼 수 있다. 이러한 결과를 정리하여 다음절에서 [7]에 보여준 기존 적분기의 특성결과와 표를 통해 비교분석하고 그밖에 개선된 특성에 관하여서도 살펴본다.

2. 특성 결과

1) 주파수 특성의 개선

그림 1에서 보여주는 설계된 연속시간 전류모드 적분기에 대한 소신호 해석의 결과를 [7]의 기존의 적분기 특성과 비교하여 표 1에 정리하였다.

표 1. 소신호 해석결과

Table 1. Small signal analysis results.

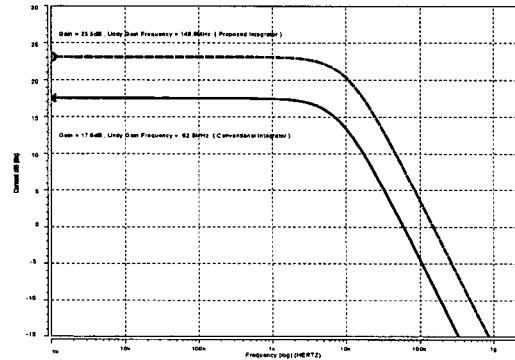
Type	Conventional integrator	Proposed integrator
Dominant pole(p_1)	$2g_{ds} / (C+4C_{gd})$	$4g_{ds} / (C+4C_{gd})$
Nondominant pole(p_2)	$2g_m / C_1$	-
Zero (z_1)	$(g_m - g_{ds}) / 2C_{gs}$	$(g_m - g_{ds}) / C_{gs}$
Zero (z_2)	$2g_m / C_1$	-
Unity gain frequency(ω_0)	$(g_m - g_{ds}) / (C+4C_{gd})$	$2(g_m - g_{ds}) / (C+4C_{gd})$

소신호 해석에서 보인 것과 같이 극점 및 영점의 크기는 MOS의 트랜스컨덕턴스(g_m), 출력컨덕턴스(g_{ds})와 게이트-드레인에서 발생하는 기생커패시턴스(C_{gd}), 그리고 적분기에 삽입된 커패시턴스 C 에 의하여 결정된다. 표 1의 결과는 제안된 적분기의 극점 및 영점의 크기가 기존의 적분기의 값에 비하여 각각 두 배의 값을 가지고 있음을 보여 준다. 또한 제안된 전류모드 적분기의 단위이득 주파수 값 역시 기존의 적분기에 비하여 두배의 크기로 나타남을 알 수 있다. 이러한 결과중 제안된 연속시간 전류모드 적분기의 HSPICE 시뮬레이션 결과를 그림 2에 나타내었다.

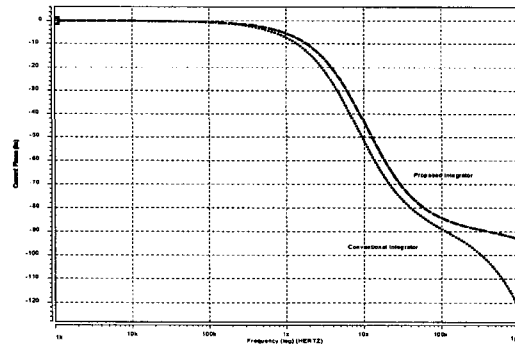
2) 전류이득의 증가

앞절에서 논의하였던 것처럼 제안된 연속시간 전류모드 적분기는 소신호 해석의 결과인 식(7)과 (8)을 통하여 전류이득에 있어서도 약 두배의 값으로 증가되

었음을 알 수 있다. 이것은 제안된 적분기가 구조적으로 PMOS와 NMOS를 모두 신호경로에 위치하게 함으로써 전체적인 이득이 두 개의 MOS에서 발생하는 g_m 들의 합으로 얻어지는데 기인하며, 기존의 적분기의 경우는 NMOS에 의해서만 한 개의 g_m 이 얻어지기 때문이다.



(a)



(b)

그림 2. 크기 및 위상특성
Fig. 2. (a) magnitude (b) phase

이러한 결과를 시뮬레이션을 통해 조사하여 그림 3에 나타내었다. 그림 3의 경우는 시간해석의 결과이다. 분석된 시뮬레이션 결과는 두 개의 적분기의 바이어스 전류를 모두 546 μ A의 같은 크기로 설계하여 비교한 것이다. AC 해석의 경우 개선된 적분기의 전류이득이 약 23.3dB(1.8배)까지 증가되는 결과를 얻었다. 시간 해석에서는 sine파 입력에 대한 각 적분기들의 출력 파형을 분석한 결과를 보이고 있는데 얻어진 출력 파형은 입력의 sine파형이 각 적분기를 거치면서 90도가 위상추이 되었으며, 이때 제안된 적분기의 출력파형은 기존의 적분기의 출력파형에 비하여 약 두배의 크기로

스윙을 하고 있다.

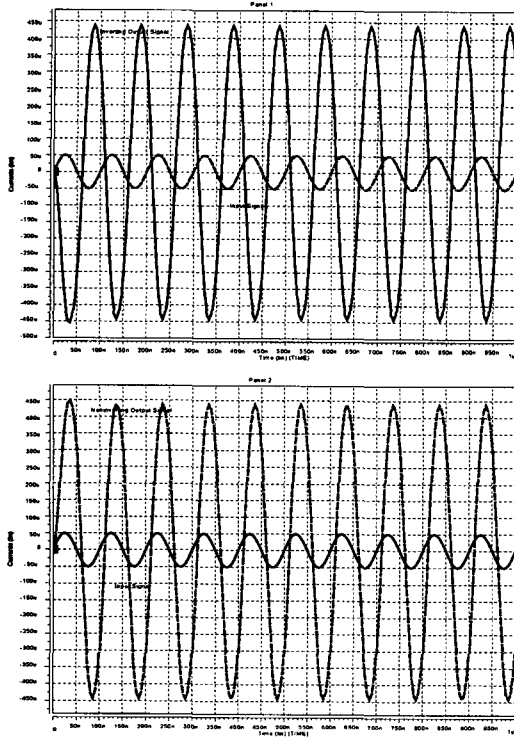


그림 3. 시간해석 (반전출력, 비반전출력)
Fig. 3. Transient analysis. (Inverting, Noninverting Output)

III. 트랜스컨덕턴스(gm) 제어회로 설계

앞 절에서 설계된 적분기를 이용하여 구성되는 능동 필터와 같은 아날로그 능동 회로는 집적회로 제작시 공정변화 및 온도등의 영향으로 전류값에 변화가 있고 따라서 주파수 및 이득특성이 변이하는 등 심각한 영향을 초래할 수 있다. 트랜스컨덕턴스 제어회로는 집적회로 제작시 발생하는 아날로그 능동회로의 특성 변이를 보상하는 역할을 할 수 있어서 최근에는 능동필터의 설계에도 대부분 이용되고 있다^[9]. 따라서 이 절에서는 능동필터의 주파수 특성을 보상하는 기능을 수행할 뿐만 아니라 신호의 동적범위 및 이득을 보상할 수 있는 기능을 갖는 트랜스컨덕턴스 제어회로를 설계된 적분기에 적합하도록 설계한다. 설계된 제어회로는 적분기를 설계하는 데 이용된 PMOS 각각에 추가로 PMOS가 병렬로 연결되어 게이트에 연결된 조절전압의 값에 따라 적분기 이득이 조절되는 형태의 동작특성을 지니고 있다. 이러한 전압의 조절에 의해

전류값이 변화하게 되며 따라서 적분기 전체 트랜스컨덕턴스 값을 변화시킨다.

저전압 저전력 특성을 가지는 설계된 트랜스컨덕턴스 제어회로는 설계된 적분기의 능동회로 응용시 보정용으로 이용하며, 여타의 저전압 휴대용 통신시스템등에 활용될 수 있는 다양한 기능을 갖도록 연구되었다. 그림 1에서 제안된 회로에 트랜스컨덕턴스 조절회로를 첨가한 전체회로를 그림 4에 나타내고 있다.

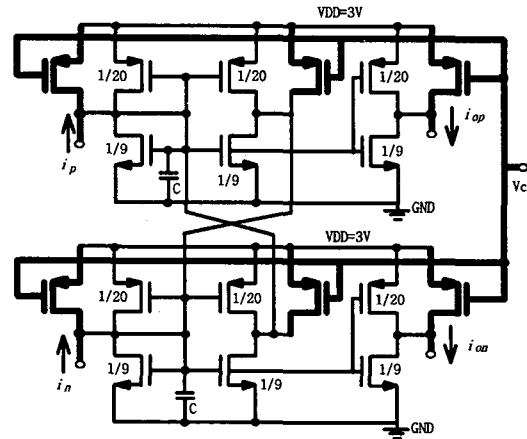


그림 4. 트랜스컨덕턴스(gm) 제어 회로
Fig. 4. Transconductance(gm) controlled circuit.

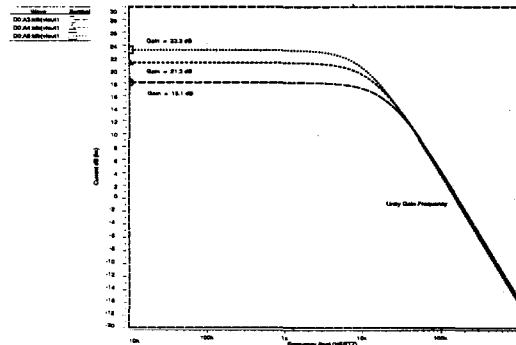


그림 5. 제어회로를 이용한 이득값 변화
Fig. 5. Gain-tuning with controlled circuit.

그림 4에서 조절전압(V_c : Control Voltage)에 동작전압 내에서 각각 전압 1V (18.1 dB)와 2V (21.3 dB) 그리고 3V (23.3 dB)를 인가하여 시뮬레이션한 결과를 그림 5에 나타내었다. 각각의 조절전압에 의해 적분기의 이득과 단위이득주파수가 변화하고 있음을 알 수 있다. 이와 같이 능동필터의 설계시 기본블럭이 되는 적분기의 이득과 단위이득 주파수의 제어가 가능

함에 따라 설계된 능동필터도 쉽게 그 이득과 주파수를 제어할 수 있을 것으로 사료되며 이를 증명하기 위하여 다음절에 3차 능동필터를 설계 및 시뮬레이션 하였다.

IV. 전류모드 가변저역필터 설계

능동필터 설계에 있어서 적분기는 가장 중요한 기본 블럭이며, 이용되는 적분기의 주파수와 선형성이 그 동작특성을 결정짓는다. 따라서 본 논문에서 제안하여 그 특성개선이 증명된 연속시간 전류모드 적분기를 이용하여 능동필터를 설계하고자 한다.

필터의 설계 방법으로는 제일 먼저 설계할 필터를 설정하고, 설정된 필터의 설계사양에 따라 필터함수를 선정하며 그에 맞는 수동필터 회로를 설계한다. 설계된 수동필터를 능동필터로 변환하기 위해 수동회로의 신호흐름선도 즉, SFG (Signal Flow Graph)를 작성하고, 신호흐름선도에 따라 블럭다이어그램을 작성하여 최종적으로 능동필터를 구성하는 단계로 이루어진다.

1. 연속시간 전류모드 능동필터 설계

전류모드 능동필터의 설계사양을 표 2와 같이 설정하였다. 공급전압을 3V로 설정하였으며, 필터함수는 3차 저역통과 체비세프 함수로 하였고, 필터구조는 수동 복중단 제지형 회로망으로 하였는데, 제지형 회로망은 수동회로를 능동회로로 변환하는 과정에서 낮은 감도 특성을 유지할 수 있는 장점을 갖는다. 또한 전류모드 능동필터의 장점에 부합되도록 비교적 높은 차단주파수에 비하여 낮은 소비전력을 갖도록 설정하였다.

표 2. 전류모드 저역필터 설계사양

Table 2. Specification of the current-mode lowpass filter.

Parameter	Specification
Filter function	Third-order Lowpass, Chebyshev
Passive filter type	Doubly-terminated ladder network
Passband ripple	0.1 dB
Cutoff frequency	150 MHz
Power supply voltage	3 V
Power dissipation	< 6 mW/pole

설정된 설계사양에 의하여 설계된 전류모드 3차 수

동 저역통과 필터는 그림 6과 같으며 소자값은 표 3과 같다.

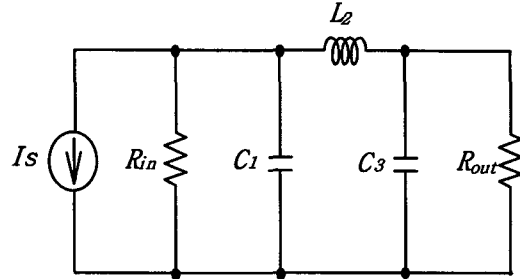


그림 6. 전류모드 3차 수동저역필터

Fig. 6. Current-mode third-order passive filter.

표 3. 수동필터의 소자값

Table 3. Component value of the passive filter.

Passive component	Value ($\omega_c = 1\text{rad/sec}$)
R_{in}	1 Ω
C_1	1.4328 F
L_2	1.5937 H
C_3	1.4328 F
R_{out}	1 Ω

그림 6의 전류모드 수동필터를 전류모드 능동회로로 변환하기 위하여 작성한 신호흐름선도는 그림 7과 같다. 신호흐름선도의 작성시에 L과 C로 구성된 전류모드 수동필터의 각 소자에 흐르는 전류들은 식(15)~(17)로 표현되며 이 식들에 의하여 신호흐름선도가 구성된다.

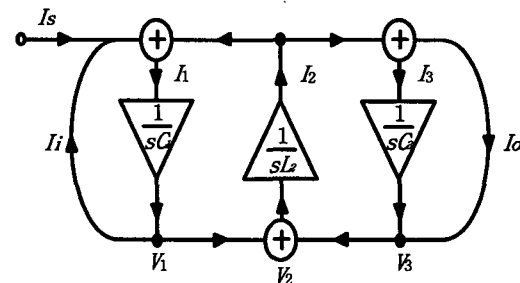


그림 7. 신호흐름선도

Fig. 7. SFG.(Signal flow graph)

$$I_1 = \frac{1}{sC_1} (I_s - I_1 - I_2) \tag{15}$$

$$I_2 = \frac{1}{SL_2}(I_1 - I_3) \quad (16)$$

$$I_3 = \frac{1}{SC_3}(I_2 - I_3) \quad (17)$$

블럭다이어그램 구성을 위한 신호흐름선도는 식(15), 식(16) 및 식(17)을 통해 그림 7과 같이 구성된다. 그림 7에서 적분항은 앞장에서 제안된 바 있는 연속시간 전류모드 적분기에 의하여 모의되며, 각 노드점 사이의 덧셈기는 전류모드 적분기의 입력단에서 합으로 모의되어 최종적으로 필터설계를 위한 블럭다이어그램이 그림 8과 같이 구성된다.

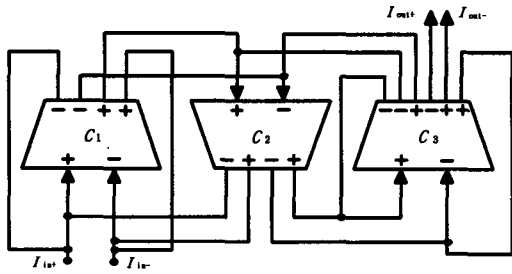


그림 8. 전류모드 3차 저역통과 필터의 블럭다이어그램

Fig. 8. Block diagram of the current-mode 3rd-order lowpass filter.

그림 8의 블럭다이어그램에 의하여 전류모드 능동필터는 3개의 전류모드 적분기로 직접 모의되며, 전류모드 적분기 내부의 적분 커패시터의 값을 결정함으로써 설계가 완료된다. 각각 전류모드 적분기 내부의 적분 커패시터 C_i 는 식(18)를 통해 구할 수 있다.

$$C_i = \frac{g_m X_i}{\omega_c} \quad (18)$$

표 4. 전류모드 적분기의 커패시턴스

Table 4. Capacitances of current-mode integrators.

Passive component (X_i)	Transconductance (g_m)	Cutoff frequency (ω_c)	Integration capacitor (C_i)
$C_1 (= 1.4328 \text{ F})$	670 μ	150 MHz	$C_1 (= 1.018 \text{ pF})$
$L_2 (= 1.5937 \text{ H})$	670 μ	150 MHz	$C_2 (= 1.132 \text{ pF})$
$C_3 (= 1.4328 \text{ F})$	670 μ	150 MHz	$C_3 (= 1.018 \text{ pF})$

식(18)에서 g_m 은 전류모드 적분기의 트랜스컨덕턴스이며, X_i 는 i 번째 회로의 규준화(normalized)된 수

동 소자값이고, ω_c 는 전류모드 능동필터의 차단주파수이다. 제안된 전류모드 적분기의 g_m 값과 설정된 전류모드 필터의 차단주파수를 식(18)에 대입하여 얻어낸 적분 커패시턴스 값들을 표 4에 나타내었다.

2. 시뮬레이션 및 고찰

제안된 연속시간 전류모드 적분기를 이용하여 설계된 전류모드 3차 능동 저역필터와 트랜스컨덕턴스 제어회로를 이용한 시뮬레이션된 주파수 특성은 그림 9와 같다.

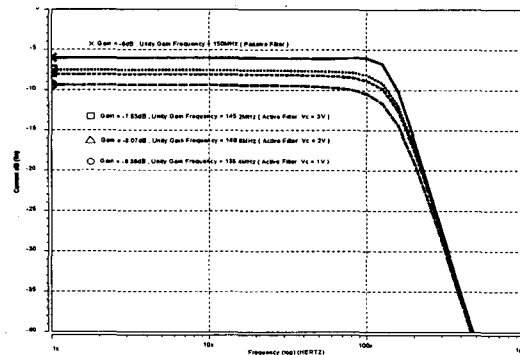


그림 9. 설계된 필터의 주파수응답 특성

Fig. 9. Frequency response of the designed current-mode filter.

현대 $0.8 \mu\text{m}$ 공정파라미터를 이용한 그림 9의 주파수응답특성 시뮬레이션에서 얻어진 결과에서 보여주듯이 같은 공급전압하에서 제어회로의 조절전압을 조절하여 각 전압별로 그 이득과 단위이득주파수가 증가 혹은 감소됨을 알 수 있다. 따라서 본 논문에서 제안된 연속시간 전류모드 적분기를 이용한 능동필터의 특성이 간단한 트랜스컨덕턴스 제어회로를 이용하여 쉽게 조절될 수 있다. 이러한 제어회로를 이용하여 능동필터 제작시 주변환경의 영향으로 나타날 수 있는 오차를 보정하는데 유용하게 동작시킬 수 있다.

또한 현재 능동필터의 제작시 최적조건하에서 그 이득(1.55 dB)과 차단주파수(4.8MHz)에 발생하는 오차는 기존의 적분기 특성과의 비교를 위한 동일한 환경에서 벗어나, 제안된 적분기의 MOS 크기(L/W)등을 조절하여 적분기 이득을 40dB이상으로 향상시켰을 때 수동필터에 더욱 근접하는 특성을 나타낼 수 있을 것으로 사료된다.

현대전자의 $0.8 \mu\text{m}$ 공정물에 따라 레이아웃 툴 Cadence를 이용하여 Full custom 방식으로 설계된

3차 능동저역통과 필터를 레이아웃하여 그림 10에 나타내었다.

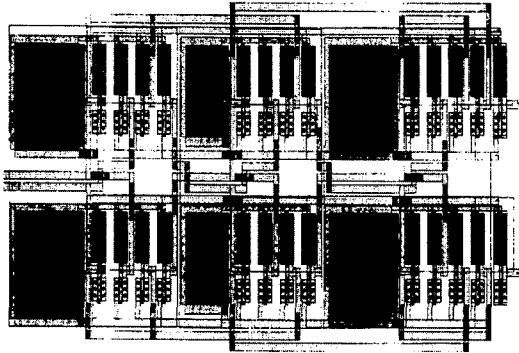


그림 10. 설계된 필터 layout
Fig. 10. Layout of the 3rd-order lowpass filter.

IV. 결 론

본 논문에서는 아날로그-디지털 혼성집적회로에 이용될 수 있는 전류모드 능동필터의 기본 블록으로써 연속시간 전류모드 적분기를 3V 동작하에서 설계하였다. 소신호해석 및 시뮬레이션 결과로부터 설계된 CMOS 상보형 형태의 개선된 적분기는 기존의 NMOS형 적분기의 특성에 비하여 다음과 같은 개선점을 얻어 낼 수 있었다. 제안된 적분기는 CMOS 상보형 트랜지스터에서 기존의 적분기에 비하여 두배 정도 향상된 트랜스컨덕턴스 값을 얻어낼 수 있었으며 증가된 트랜스컨덕턴스 값에 의하여 전류이득과 단위 이득주파수가 증가되었다. 또한 적분기의 설계시에 각 트랜지스터들은 자기바이어스 되도록 함으로써 추가적인 바이어스 회로의 구성에 의한 회로크기의 증가를 피하여 상대적으로 적은 칩면적을 가진다. 이러한 결과는 소신호해석 및 SPICE 시뮬레이션으로 분석되었으며 분석된 결과를 기존의 적분기와 비교하여 제시하였다.

또한 본 논문에서 설계된 적분기가 능동소자로 이용되어 칩으로 제작될 때 나타날 수 있는 “전류 및 커패시턴스값의 변동”→“트랜스컨덕턴스값 변화”→“주파수 대역의 오차발생” 등으로 이어지는 문제점을 최소화하기 위하여 트랜스컨덕턴스값을 조절하여 이에 밀접한 관계가 있는 이득 및 주파수 조절까지도 가능한 제어 회로를 제안하였다. 시뮬레이션 결과 조절전압(V_c)가 1V일 때 적분기의 이득은 18.1dB값을 가지며, 2V일

때 21.3dB 그리고 동작전압인 3V를 인가시에는 그림 5에서 나타난 바와 같이 23.3dB의 이득값을 보여주고 있다.

제안된 전류모드 적분기는 능동필터로 설계되어 이 동통신용 IF 회로, 디스크 드라이버의 read-channel 시스템 등의 저전압 아날로그/디지털 혼성 집적회로 등에 응용될 수 있을 것이며, 적분기와 더불어 그 동작특성이 검증된 트랜스컨덕턴스 제어회로는 각 능동회로의 설계 및 공정시 나타날 수 있는 오차를 보상해 줄 수 있을 것으로 사료된다.

참 고 문 헌

- [1] T. S. Fiez, G. Liang, and D. J. Allstot, “Switched-current circuit design issues”, *IEEE J. Solid-State Circuits*, vol. 26, pp. 192-202, Mar. 1991.
- [2] J. B. Hughes, N. C. Bird, and I. C. Macbeth, “Switched Currents A New Technique for analogue Sample-Date Signal Processing”, in *Proc IEEE ISCAS*, pp. 1584-1587, May 1989.
- [3] S. S. Lee, R. H. Zele, and D. J. Allstot, “CMOS Continuous-Time Current-Mode Filters for High-Frequency Applications”, *IEEE J. Solid-State Circuits*, pp. 323-329, 1993.
- [4] R. H. Zele, S. S. Lee, D. J. Allstot, and G. Liang. “A continuous-time current-mode integrator”, *IEEE Trans. Circuits and Systems*, vol 38, pp. 1236-1238, Oct. 1991.
- [5] S. L. Smith, E. S. Sinencio, “3v High-Frequency Current-Mode Filter”, in *Proc. IEEE ISCAS*, pp. 1459-1462. 1993.
- [6] R. H. Zele, S. S. Lee and D. J. Allstot, “A 3V-125 MHz CMOS Continuous-Time Filter”, in *Proc. IEEE ISCAS*, pp. 1164-1167, 1993.
- [7] R. H. Zele, and D. J. Allstot, “Low-Power CMOS Continuous-Time Filter”, *IEEE J. Solid-State Circuits*, vol 31, no. 2, Feb. 1996.
- [8] L. T. Bruton, “Low-sensitivity digital ladder filters,” *IEEE Trans. Circuits and System*, vol. CAS-22, no. 3, pp. 168-176,

- Mar. 1975.
 [9] J. H. Bang, "A New Integrator and Frequency Automatic Tuning Circuit for Realization of the Low-Voltage and Low-

Power CMOS Current-mode Filter," *Ph.D. Thesis, Chonbuk National University, Korea, 1996.*

 저 자 소 개



李根浩(正會員)

1969년 3월 29일생. 1994년 전북대학교 전기공학과 졸업(공학사). 1997년 전북대학교 전기공학과 졸업(공학석사). 1997년 ~ 현재 전북대학교 전기공학과 박사과정. 주관심분야는 회로 및 시스템, VLSI설계

趙成 翊(正會員)

1961년 2월 10일생. 1987년 전북대학교 전기공학과 졸업(공학사). 1989년 전북대학교 전기공학과 졸업(공학석사). 1994년 전북대학교 전기공학과 졸업(공학박사). 1996년 5월 ~ 현재 현대전자 Memory 연구소 선임연구원. 주관심분야는 회로 및 시스템, VLSI설계

方駿 鎬(正會員)

1966년 9월 28일생. 1989년 전북대학교 전기공학과 졸업(공학사). 1991년 전북대학교 대학원 전기공학과 졸업(공학석사). 1996년 전북대학교 졸업(공학박사). 1998년 4월 ~ 현재 이리 국립농공전문대학교 전임강사. 주관심분야는 회로 및 시스템, 아날로그 집적회로

金東 龍(正會員)

1945년 7월 31일생. 1967년 전북대학교 전기공학과 졸업(공학사). 1973년 전북대학교 전기공학과 졸업(공학석사). 1985년 캐나다 마니토바 대학교 전기공학과 졸업(공학박사). 1975년 ~ 현재 전북대학교 전기전자제어공학부 교수. 주관심분야는 회로 및 시스템, VLSI설계