論文98-35C-6-5

직접 궤환 방식의 모델링을 이용한 4차 시그마-델타 변환기의 설계

(Design of a Fourth-Order Sigma-Delta Modulator Using Direct Feedback Method)

李 範 夏 *, 崔 坪 *, 崔 峻 林 *

(Bum-Ha Lee, Pyung Choi, and Jun-Rim Choi)

요 약

본 논문에서는 오버샘플링 A/D변환기의 핵심 회로인 Σ-△변환기를 0.6㎛ CMOS공정을 이용하여 설계하였다. 설계과정은 우선 모델을 개발하여 S-영역에서 적절한 전달함수를 구한 후, 이를 시간 영역의 함수로 변환하여 연산 증폭기의 DC 전압이득, 슬루율과 같은 비 이상적인 요소들을 인가하여 검증하였다. 제안된 시그마-델타 변환기(Sigma-delta modulator, Σ-△변환기)는 음성 신호 대역에 대하여 64배 오버샘플링하며, 다이나믹 영역은 110 dB이상, 최대 S/N비는 102.6 dB로 설계하였다. 기존의 4차 Σ-△ 변환기는 잡음에 대한 전송영점의 위치를 3,4차 적분기단에 인가하는데 반하여 제안된 방식은 잡음에 대한 전송영점을 1,2차 적분기단에 인가함으로써 전체적인 커패시터의 크기가 감소하여 회로의 실질적인 면적이 감소하며, 성능이 개선되고, 소모 전력이 감소하였다. 또한 단위시간에 대한 출력값의 변화량이 3차 적분기의 경우에 비하여 작으므로 동작이 안정적이고, 1차 적분기의 적분 커패시터의 크기가 크므로 구현이 용이하며, 잡음에 대한 억제효과를 이용하여 3차 적분기단의 크기를 감소시켰다. 본 논문에서는 모델 상에서 전체적인 전달함수를 얻고, 신호의 차단주파수를 결정하며, 각 적분기의 출력신호를 최대화하여 적분기 출력신호의 크기를 증가시키고, 최대의 성능을 가지는 잡음에 대한 전송영점을 결정하는 기법을 제안한다. 설계된 회로의 실질적인 면적은 5.25 mm^2이고, 소모전력은 5 V 단일전원에 대하여 10 mW이다.

Abstract

A fourth-order Σ-△ modulator is designed and implemented in 0.6㎛ CMOS technology. The modulator is verified by introducing nonlinear factors such as DC gain and slew rate in system model that determines the transfer function in S-domain and in time-domain. Dynamic range is more than 110 dB and the peak SNR is 102.6 dB at a clock rate of 2.8224 MHz for voiceband signal. The structure of a Σ-△ modulator is a modified fourth-order Σ-△ modulator using direct feedback loop method, which improves performance and consumes less power. The transmission zero for noise is located in the first-second integrator loop, which reduces entire size of capacitors, reduces the active area of the chip, improves the performance, and reduces power dissipation. The system is stable because the output variation with respect to unit time is small compared with that of the third integrator. It is easy to implement because the size of the capacitor in the first integrator, and the size of the third integrator is small because we use the noise reduction technique. This paper represents a new design method by modeling that conceptually decides transfer function in S-domain and in Z-domain, determines the cutoff frequency of signal, maximizes signal power in each integrator, and decides optimal transmission-zero frequency for noise. The active area of the prototype chip is 5.25mm^2, and it dissipates 10 mW of power from a 5V supply.

* 正會員, 慶北大學校 電子工學科

(Dept. of Elec. Eng., Kyung-pook Univ.)

接受日字:1998年1月12日, 수정완료일:1998年5月25日

Ⅰ. 서 론

최근 디지털 신호처리기술의 발전으로 인하여 아날로그-디지털(Analog-to-Digital, A/D) 변환기는 중요한 역할을 한다. 비디오 신호처리와 디지털 통신 등에서 사용되는 A/D변환기는 고속에 그 초점을 맞추고 있다. 그러나 음성신호 처리분야에 있어서는 높은 분해능이 속도에 비하여 중요하다. 파이프라인 A/D변환기와 같은 일반적인 A/D변환기는 공정상의 제한으로 인하여 12비트 이상의 분해능을 가지기 어렵지만, 오버샘플링 A/D변환기는 음성신호에 대하여 16비트 이상의 분해능을 가질 수 있다.[1-3] 오버샘플링 A/D변환기는 전처리필터(pre-filter)의 구조가 간단하고, 소모전력이 적으며, 회로의 대부분이 디지털회로로 구성되므로 높은 신뢰성을 가진다.

본 논문에서는 오버샘플링 A/D변환기의 핵심회로인 Σ-△변환기를 설계하였다. 또한 저전력 소모, 고집적화 및 아날로그/디지털 혼합형 회로의 구현을 위하여 CMOS공정을 이용하여 설계하였다.[2,3] 설계과정은 우선 모델을 개발하여 S-영역에서 적절한 전달함수를 구한 후, 이를 시간영역의 함수로 변환하여 연산증폭기의 DC 전압이득, 슬루율과 같은 비 이상적인 요소들을 인가하여 검증하였다. MATLAB을 이용하여 모델링 하였으며, 회로의 설계는 HSPICE를 사용하였으며, 설계된 회로는 Cadence사의 레이아웃 소프트웨어를 이용하여 LG 반도체에서 제공하는 0.6㎛ 설계규칙을 적용하여 레이아웃 하였다.

Ⅱ. 제안된 4차 Σ-△변환기

본 논문에서는 연산증폭기의 성능, 회로의 크기 및 전력소모량을 고려하여 음성신호의 나이퀴스트 주파수에 대하여 64배로 오버샘플링 하였다. 64배 오버샘플링하여 16비트 이상의 분해능을 얻기 위해서는 일반적인 1,2차 Σ-△변환기로는 구현이 불가능하므로 다음과 같은 방식이 주로 이용된다. 첫째, 적분기의 차수를 증가시켜 잡음 억제율을 증가시킴으로 인하여 분해능을 증가시키는 방법과, 둘째, 출력단을 멀티 비트 A/D, D/A변환함으로 양자화 에러의 크기를 줄여 분해능을 증가시키는 방법이 있다.[1,6] 둘째 방법으로 설계할 경우 A/D 변환회로에 존재하는 비교기에 존재하는 오프셋 전압이 전체회로의 성능을 저하시켜 전체적인 성능이 비교기의 오프셋전압에 의해 결정되는 단점이 있다.[5] 따라서 하나의 비교기를 사용하여 오프셋 전압이 인가되는 것을 방지하고 잡음 억제율을 증가시키는 첫째 방식을 이용하여 설계하였다. 출력단을 하나의 비교기로 구현하여 16비트 이상의 분해능을 얻기 위해서는 4차 이상의 적분기가 요구되므로 네 개의 적분기를 사용하였다.[3] 적분기의 차수가 증가함에 따라 잡음 준위가 급격히 증가하는 주파수가 감소하여 음성신호대역에서의 성능이 저하되는 것을 보상하기 위하여 18 kHz 부근에 잡음에 대한 전송영점을 인가하였다.[3,6]

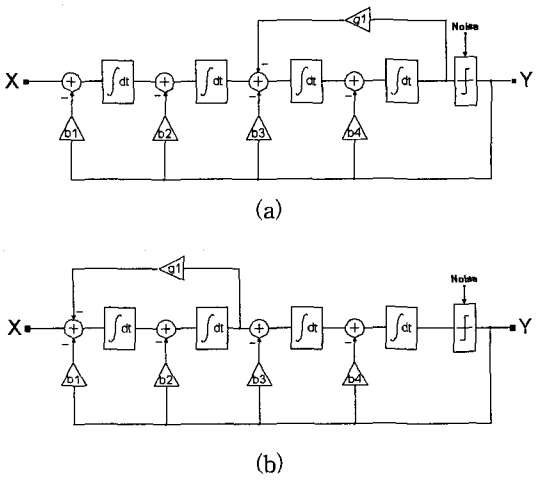


그림 1. 4차 Σ-△변환기
(a) 일반적인 구조 (b) 제안된 구조
Fig. 1. Fourth-order Σ-△ modulator.
(a) general form (b) proposed form

일반적인 4차 Σ-△변환기는 그림 1의 (a)에서와 같이 네 개의 적분기, 직접궤환 루프, 비교기와 전송영점 루프로 구성된다.[1,3,6] 신호의 전달함수는

$$H_{signal}(S) = \frac{Y}{X} = \frac{1}{S^4 + b_4 S^3 + (b_3 + g_1)S^2 + b_2 S + b_1} \quad (1)$$

와 같은 저역통과 필터의 전달특성을, 잡음의 전달함수는

$$H_{noise}(S) = \frac{Y}{Noise} = \frac{S^4 + g_1 S^2}{S^4 + b_4 S^3 + (b_3 + g_1)S^2 + b_2 S + b_1} \quad (2)$$

와 같이 DC와 $\sqrt{g}$ rad/sec에 전송영점을 가지는 고역통과 필터의 전달 특성을 가지며, 전송영점 $\sqrt{g_1}$ 은 음성신호대역의 고주파 영역에서 잡음의 준위가 증가

하는 것을 방지하는 역할을 한다. 그림 1을 SC (Switched-Capacitor)회로로 구현하려면, 저차 적분기는 잡음에 대한 억제율이 낮으므로 연산증폭기의 높은 dc 전압이득이 요구되며, 열잡음에 의한 잡음 성분을 줄이기 위하여 적분기의 입·출력단에 사용되는 커패시터의 크기는 커야 한다. 그러나 적분기의 차수가 고차일수록 높은 잡음 억제율로 인하여 연산증폭기의 DC 전압이득, 열잡음 등의 의해 발생하는 잡음 성분이 전체적인 성능에 미치는 영향이 작다. 이로 인하여 회로의 크기와 소모전력을 줄이기 위하여 고차 적분기는 낮은 바이어스 전류를 가지며 적분기에 연결되는 커패시터의 크기는 가능한 작게 설계한다.

그림 1의 (a)는 SC회로로 구현 시 g_1에 해당하는 커패시터는 3차 적분기에 연결되며, 그 크기는 적분기의 입·출력단에 연결된 적분 커패시터와의 크기 비에 따라 결정된다. 회로의 크기와 소모전력을 줄이기 위해 3차 적분기의 바이어스 전류와 입·출력단에 연결된 커패시터의 크기를 작게 할 경우 g_1에 해당하는 커패시터는 크기가 너무 작아 공정상의 단위 커패시터로는 구현이 불가능하며, 단위 커패시터의 조합으로도 구현이 힘든 단점이 있다. 이를 보안하기 위해서는 3차 적분기에 연결된 커패시터의 크기를 키워야 하므로 연산증폭기의 바이어스 전류가 증가하며, 회로의 크기가 증가한다.

그림 1의 (b)는 제안된 방식의 4차 Σ-△변환기 구조로써 잡음에 대한 전송영점을 형성하는 루프가 1,2차 적분기단에 연결되어 있다. 이 구조를 SC회로로 구현할 경우 전송영점을 형성하는 커패시터는 연산증폭기의 DC 전압이득이 높고, 바이어스 전류가 큰 1차 적분기에 연결된다.

1차 적분기의 입·출력단에 연결된 적분 커패시터는 그 크기가 크므로 상대적으로 전송영점을 형성하는 커패시터의 크기는 증가한다. 이로 인하여 구현이 용이하고, 3차 적분기단의 크기와 전력소모를 줄이는 장점이 있다. 제안된 구조의 4차 Σ-△변환기는 전체적인 회로의 크기가 작고, 전력소모가 작다. 또한 작은 크기의 전송영점을 형성하는 커패시터가 바이어스 전류의 크기가 큰 1차 적분기에 연결되어 있고, 1차 적분기는 단위 샘플링 구간에 대한 출력전압의 변화율이 3차 적분기의 경우에 비하여 ⅓로 줄어 동작이 안정적이다.

제안된 구조의 잡음 전달함수는

$$H_{noise}(S) = \frac{Y}{Noise} = \frac{S^4 + g_1 S^2 + g_1 b_4 S + g_1 b_3}{S^4 + b_4 S^3 + (b_3 + g_1) S^2 + (b_2 + g_1 b_4) S + (b_1 + g_1 b_3)} \quad (3)$$

와 같다. 전송영점이 존재하기 위해서는 분자항이 $S^2(S^2+k)$형이 되어야 하나, 식 (3)에서는 상수항과 일차항이 존재하므로 전송영점이 존재하지 않는다. 그러나 SC회로로 구현 시 적분기의 전달함수는

$$H(s) = -\frac{F_s \cdot C_s}{sC_i} \quad (4)$$

와 같이 샘플링 커패시터(C_s), 적분 커패시터(C_i), 샘플링 주파수(F_s)의 조합으로 주어지며, 적분기는 샘플링 주파수만큼의 적분이득을 가진다. 식 (3)은 연속적인 신호영역에서의 모델이므로 이를 샘플링 주파수를 인가한 형태로 변환시키면

$$H_{noise}(S) = \frac{Y}{Noise} = \frac{F_s^4 S^4 + g_1 F_s^3 S^2 + g_1 b_4 F_s S + g_1 b_3}{F_s^4 S^4 + b_4 F_s^3 S^3 + (b_3 + g_1) F_s^2 S^2 + (b_2 + g_1 b_4) F_s S + (b_1 + g_1 b_3)} \quad (5)$$

로 주어진다. 분자 항과 분모 항을 각각 F_s^4로 나누면, 계수의 크기가 적은 g_1의 조합으로 이루어진 분자항의 1차 항의 계수와 상수항의 계수는 각각 F_s^3, F_s^4로 나누어지므로 분자항의 2차 계수와 비교하여 무시할 수 있으므로

$$H_{noise}(S) \approx \frac{S^4 + g_1 / F_s^2 S^2}{S^4 + b_4 / F_s S^3 + (b_3 + g_1) / F_s^2 S^2 + (b_2 + g_1 b_4) / F_s^3 S + (b_1 + g_1 b_3) / F_s^4} \quad (6)$$

와 같이 근사화가 가능하다.

표 1. 일반적인 4차 Σ-△변환기와 제안한 구조의 비교

Table 1. Comparison general and proposed 4th order Σ-△ modulator.

general 4th order Σ-△modulator	proposed 4th order Σ-△ modulator
· total capacitance : 48.425pF · power dissipation : 13.34mW	· total capacitance : 32.55pF · power dissipation : 10.00mW

제안한 구조는 잡음에 대한 전달함수가 일반적인 직접 궤환 방식의 4차 Σ-△ 변환기의 잡음 전달 특성과 같이 DC와 $\sqrt{k}$ rad/sec 두 개의 전송 영점쌍을 가지는 4차 고역통과 필터의 전달 특성을 가지며, 분자 항에 아주 작은 크기의 1차 항과 상수항이 존재함으로 인하여 DC와 18 kHz에 형성되는 전송영점은 잡음의 전달특성이 완전히 삭제되지 않으나, 음성신호

대역에서의 잡음의 준위가 전체적으로 낮아져 성능이 개선되었다. 직접 궤환 방식을 이용한 일반적인 4차 Σ-$\triangle$변환기와[3] 제안한 구조의 소모전력과 커패시터의 전체 크기는 표 1과 같다.

Ⅲ. 모델을 통한 설계 및 검증

설계하고자 하는 전체회로의 성능과 비 이상적인 요소들에 대한 영향을 모델을 통하여 검증하였다. 모델의 개발순서는 전체적인 전달함수를 구하고, 신호의 차단주파수를 결정하며, 각 적분기의 출력신호의 크기를 최대화하고, 최적의 전송영점 주파수를 결정한다. 또한 다이내믹영역을 측정하고, 비 이상적인 요소에 대한 영향을 고려하여 연산증폭기의 사양을 설정하였다.[4]

1. S-영역에서의 전달함수

신호의 전달함수는 버터워스형 저역 통과 필터의 특성을 가지며 성능향상을 위하여 10 dB의 오버슈트를 인가하였다.[1,3] 10 dB의 오버슈트를 갖는 버터워스 저역 통과 필터의 기본 전달함수는

$$H(S)=\frac{1}{S^4+1.6415S^3+2.2314S^2+1.6415S+1} \tag{7}$$

와 같다.

2. Z-영역에서 신호의 차단주파수 결정

S-영역에서의 모델을 Z-영역으로 변환한 것은 그림 2의 (a)와 같다. 그림에서 시간지연이 인가된 것은 SC회로로 구현 시 발생하는 시간지연을 묘사한 것이다. 우선 전송영점을 구성하는 g_1을 '0'으로 두고 각각의 계수를

$$\begin{aligned} &W_a: \textit{analog cutoff frequency}\\ &g_1=0,\ b_1=W_a\cdot 1.6415\\ &b_3=W_a^2\cdot 2.3214,\ b_4=W_a^3\cdot 1.6415 \end{aligned} \tag{8}$$

에서와 같이 변환한 후 차단주파수를 변화시키면서, 최대의 S/N 비를 가지는 주파수를 구하였다. 모델을 통한 검증결과 디지털 차단주파수가 280 kHz에서 최대의 S/N비인 95.4 dB를 가진다. 그러나 실제회로로의 구현 시 발생하는 계수값의 오차, 커패시터의 비대칭에 의한 오차, 연산증폭기의 비 이상성, 그리고 전송영점 인가 시 발생하는 오차 등을 고려하여 성능이 유지되는 최소의 주파수인 240 kHz를 신호의 차단주파수로 결정하였다.

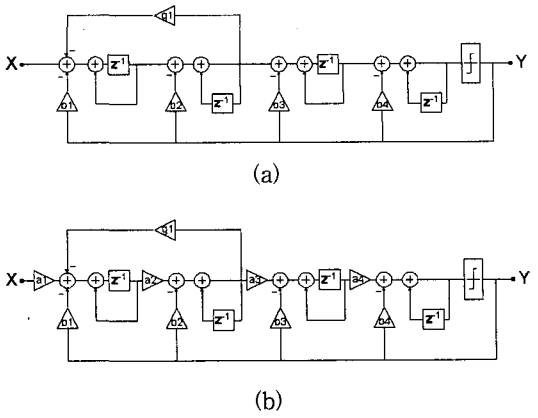


그림 2. Z-영역에서의 변환기
(a) 연산증폭기 출력을 고려하지 않은 구조
(b) 연산증폭기 출력을 고려한 구조

Fig. 2. Modulators in Z-domain.
(a) without considering output of OTA
(b) considering output of OTA

3. 연산증폭기 출력의 선형적인 영역에 의한 제한

적분기를 구성하는 연산증폭기는 5V 단일 전원을 사용하며, 출력의 선형적인 영역은 1~4V이고, 기준전압은 2.5V이다. 그림 2의 (a)의 모델에 대한 검증결과 각 적분기의 출력이 연산증폭기의 출력영역의 낮은 전압영역에 분포하였다. 적분기의 출력이 연산증폭기의 선형적인 출력영역을 최대한 이용하도록 변환하기 위하여 그림 2의 (b)와 같이 a_1~a_4 계수를 인가하였다. 1차 적분기를 예로 설명하면 출력의 최대값이 0.0621 V로 그 크기가 매우 작으므로 이를 증가시키기 위하여 a_1, b_1을 증가시키고, 증가한 크기만큼 a_2를 감소시켜 1차 적분기 앞뒤단의 전달함수는 그대로 유지하는 방식을 사용하였다.[8,9] 변환의 과정은

$$\begin{aligned} &V_{MAX.}(1st\ integrator)=0.0621\,V\\ &V_{swing\ of\ OTA}=\pm 1.5\,V\\ &a_1=1\cdot\frac{1.5}{0.0621}\\ &b_1=1\cdot\frac{1.5}{0.0621}\\ &a_2=1\cdot\frac{0.0621}{1.5} \end{aligned} \tag{9}$$

와 같다. 이러한 변환과정을 거쳐 전체회로를 검증하였으며, 변환전과 후의 각 적분기 출력의 최대/최소값은 표 2와 같다.

표 2. 각 적분기의 최대/최소값
Table 2. Max./min. Outputs of each integrator.

Integrator		minimum	Maximum
1st	unoptimized	0.0621	-0.0619
	optimized	1.5001	-1.4878
2nd	unoptimized	0.2819	-0.2814
	optimized	1.4929	-1.4961
3rd	unoptimized	1.1258	-1.1254
	optimized	1.4866	-1.4712
4th	unoptimized	1.4980	-1.4999
	optimized	1.4925	-1.4943

4. 잡음에 대한 전송영점

Σ-△변환기의 회로도는 그림 3에서와 같이 적분기, 비교기, 메모리, 커패시터, 그리고 스위치로 구성된다. 적분기를 구현하기 위해 상용된 커패시터들은 전체적인 성능을 유지하면서 단위 커패시터의 조합으로 구현하기 쉽게 변환하였으며, 변환된 커패시터들은 표 3과 같다. 단, 전송영점을 형성하는 C_{g1} 커패시터는 우선 0 pF로 두었다.

표 3. 각 커패시터
Table 3. Each Capacitor.

Capacitor	Size(Unit:pF)
C1	1.0
C2	1.0
C3	8.5
C4	1.5
C5	1.1
C6	7.5
C7	1.0
C8	0.9
C9	4.15
C10	2.0
C11	1.0
C12	2.9

전송영점의 위치에 따른 성능을 검증한 결과 C_{g1}이 0.07 pF에서 최대인 102.67 dB의 S/N 비를 얻었으며, C_{g1}의 변화에 따른 SNR은 그림 4의 (a)와 같고, C_{g1}의 크기가 0.06~0.08 pF 영역에서 높은 성능을 유지하므로 커패시터 양단 전압에 따른 용량값의 변화에 따른 성능의 저하를 억제할 수 있다.[1,3,6] 그림 4의 (b)는 20 kHZ의 입력신호에 대한 출력신호를 FFT한 결과로서 잡음에 대한 전송영점이 DC와 18 kHz에 존재함을 볼 수 있다.

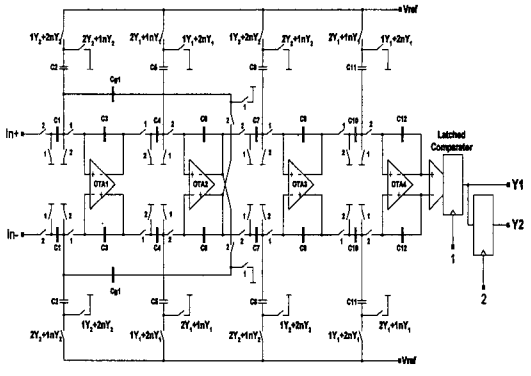
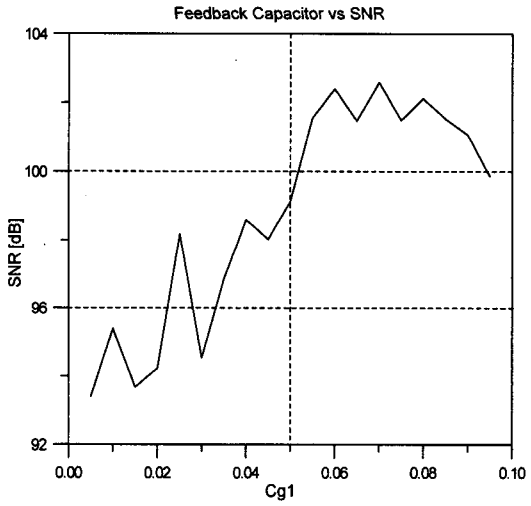
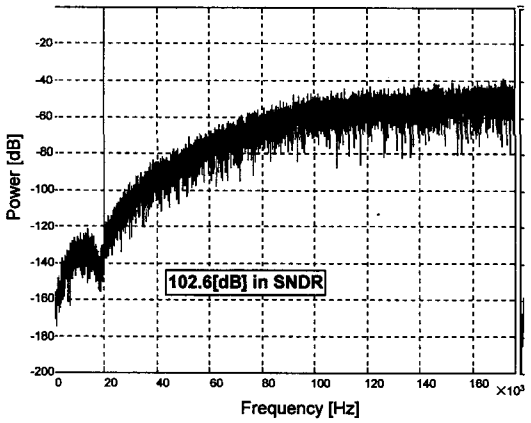


그림 3. Σ-△변환기 회로도
Fig. 3. Schematic of Σ-△ modulator.



(a)



(b)

그림 4. 전송영점 대 SNR
(a) C_{g1} 대 SNR (b) FFT 결과
Fig. 4. Transmission zero versus SNR.
(a) C_{g1} versus SNR (b) result of FFT

5. 다이내믹 영역

다이내믹 영역은 S/N 비가 0 dB 이상인 입력신호의 영역으로서 입력의 크기를 변화시키면서 출력의 S/N 비를 측정한 결과 제안한 Σ-△변환기는 모델상에서 110 dB 이상의 다이내믹 영역을 가진다.

6. 연산증폭기의 비 이상적인 요소

모델 상에서 검증한 결과, 연산증폭기의 DC 전압이득이 45 dB이상일 경우, 전체성능은 거의 이상적으로 나타났으나, 실제회로의 비 이상적인 요소에 의한 성능저하를 고려하여 연산증폭기의 DC 전압이득은 60 dB로 설계하였다. 또한 슬루율은 1차 적분기의 경우 입력신호를 샘플링 하므로 105 dB이상의 S/N비를 가지도록 바이어스 전류를 설정하였으며, 2차 이상의 적분기는 자체의 잡음 억제 효과로 인하여 바이어스 전류는 105 dB의 성능을 가지는 전류 량의 절반으로 설정하였다.

Ⅳ. 회로 구현

1. 연산증폭기

요구되는 연산증폭기는 높은 전압이득을 가지며, 대역폭이 넓고, 큰 전류구동이 가능해야 하므로 연산증폭기는 완전 차동 폴디드 캐스코드형 OTA(Fully differential folded cascode Operational Transconductance Amplifier)로 설계하였다.[8,9] 사용되는 클럭의 주파수, S/N비, 단위시간당 적분기출력의 최대변화량, 그리고 부하용량의 크기에 따라 각 연산증폭기의 바이어스 전류를 결정하였다. 각 적분기의 부하용량, 출력의 최대변화량, 그리고 바이어스전류는 표 4와 같다.

표 4. 부하용량, 최대 전압변화량, 바이어스 전류

Table 4. Load capacitor, maximum variation, and bias current.

Integrator	Load capacitance [pF]	Maimum variation [V]	Bias current [uA]
1st	11.5	0.41	335.3
2nd	10.0	0.5245	248.7
3rd	7.65	0.7971	216.8
4th	4.8	1.1729	200.2

연산증폭기는 그림 5와 같으며, I_1, I_2는 바이어스 전류이고, I_3은 바이어스 전류의 절반이다. 출력이 차동형이므로 공통전압 궤환 회로(Common- mode feedback circuit)를 인가하여 출력단에 존재하는 오프셋 전압을 제거하였다. 오프셋 제거회로는 출력신호를 차동 증폭하여 피드백하는 방식과 커패시터에 출력신호의 평균전압을 샘플링하여 이를 피드백하는 방식이 주로 사용된다. 본 논문에서는 사용되는 클럭의 주파수가 낮으므로 동작이 안정적이고, 전력소모가 없는 SC 회로형 궤환 회로로 설계하였으며 공통전압 궤환 계수는 $C_1/(C_1+C_2)$이다. 출력의 선형적인 영역은 2.5 V를 기준으로 ±1.5V이며, DC 전압이득은 60 dB, 단위 전압이득 주파수는 384 MHz, 위상 여유는 65°이다.

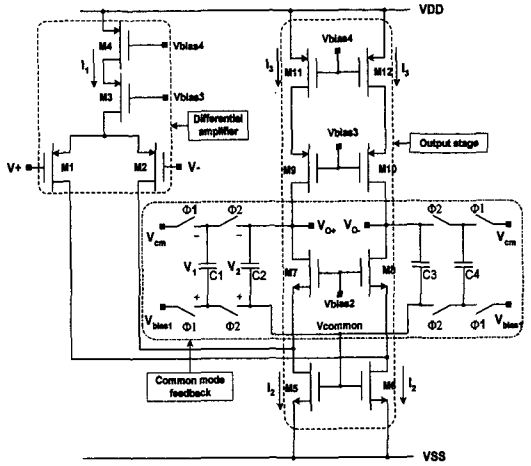


그림 5. 연산증폭기

Fig. 5. OTA.

2. 1비트 A/D변환 블록 및 디지털 회로

비교기는 1비트 A/D변환에 있어서 중요한 회로이다. 비교기는 높은 전압이득, 빠른 동작, 저전력 소모, 그리고 낮은 킥백(kickback)효과를 가져야 한다. 본 논문에서 설계한 비교기는 그림 6과 같으며, 차동 증폭기 블록과 메모리 블록으로 구성되어 있으며, 레치 신호에 의해 구동된다. 비교기는 슈미트트리거 회로의 특성을 가지고 있고, 트리거 준위는 메모리 블록을 구성하는 트랜지스터와 입력단 트랜지스터의 크기 비에 의해 결정된다.[5,6] 레치 신호의 하강천이에서 연산하며, 논리 '0'인 구간은 연산결과를 저장하고, 논리 '1'인 구간은 출력이 리셋된다. 필요로 하는 출력은 한주기 동안 출력값이 유지되어야 하므로 1비트 A/D변환

블록은 비교기, 비교기의 메모리 블록인 다이내믹 레치, 그리고 OR 게이트를 조합하여 구현하였다.

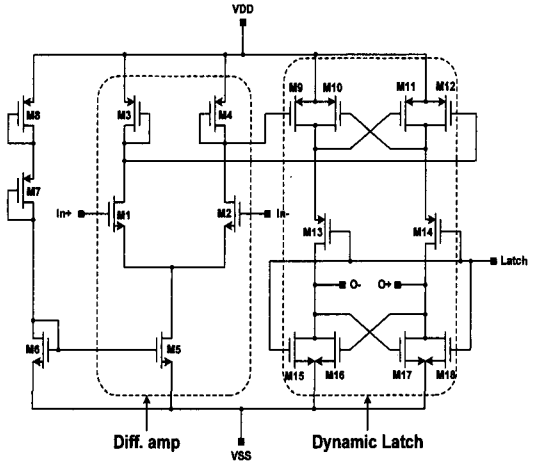


그림 6. 비교기
Fig. 6. Comparator.

출력신호로부터 적분기에 피드백 되는 값을 결정하는 피드백 제어회로는 최종 출력값이 연산지연시간으로 인하여 클럭 신호와 중첩되는 것을 방지하기 위하여 출력신호와 NAND 연산하였다. 회로를 구동하는 클럭 신호는 2위상 비중첩 신호를 사용하였으며, 인접한 적분기간의 간섭효과를 줄이기 위하여 1,3차 적분기는 클럭과 같은 위상의 신호로 2,4차 적분기는 클럭의 반대 위상신호로 구동시켰다.

V. 레이아웃

전체회로는 Cadence의 레이아웃 소프트웨어을 사용하여 LG 반도체의 0.6 μm CMOS Design Rule을 적용하여 레이아웃 하였다. 아날로그회로와 디지털 회로를 각각 분리시켜 동작을 안정화시켰으며, 입·출력단에 ESD (Electo-Static Discharge) 보호 회로를 인가하여 회로를 보호하였다. 또한 입·출력단에 구동능력이 큰 버퍼를 인가하여 칩의 내부와 외부를 분리시켜 동작을 안정시켰다.

일반적인 4차 Σ-Δ변환기의 경우 전송영점을 형성하는 루프는 3,4차 적분기단에 존재하고 전송영점 커패시터의 크기는 0.01 pF이다. 이에 반하여 본 논문에서는 전송영점을 형성하는 커패시터의 크기가 0.07 pF로 증가되었다. 전송영점을 형성하는 0.07 pF 커패시터는 매우 중요한 소자이다. 공정상의 단위 커패시터는 1.55 pF 이므로 직접적으로 설계하는 것이 불가능하여 0.21 pF 커패시터 세 개의 조합으로 구현하였다. 또한 적분기의 상·하단에 인가되는 두 개의 0.07 pF 커패시터를 하나의 셀로 설계하여 커패시터간의 비 대칭성을 최소화하였다. 전체 레이아웃은 그림 7에서와 같이 입·출력 버퍼, 네 개의 적분기, 디지털 블록, 테스트용 핀, 그리고 입·출력단으로 구성된다. 커패시터간의 비대칭으로 인한 에러를 최소화 하기 위하여 서로 대칭되는 커패시터를 하나의 셀로 구성하였다.[7,10]

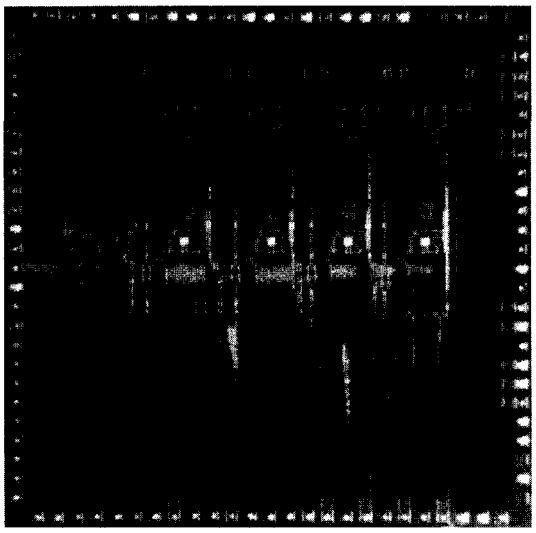


그림 7. 전체회로의 레이아웃
Fig. 7. Layout of entire circuit.

VI. 결 론

본 논문에서는 4차 Σ-Δ변환기를 모델을 이용하여 설계함으로서 실제회로에서 나타나는 비 이상적인 요소들에 대한 영향을 인가하여 검증함으로서 실제 회로의 사양을 결정할 수 있었다. 출력단의 구조가 간단한 직접궤환 방식을 이용하여 설계하였으며, 전송영점을 구성하는 루프를 1,2차 적분기단에 인가하므로 인하여 전송영점을 형성하는 커패시터의 위치를 DC 전압이득과 바이어스 전류가 큰 1차 적분기에 두었다. 또한 단위시간에 대한 출력값의 변화량이 3차 적분기의 경우에 비하여 작으므로 동작이 안정적이고, 1차 적분기의 적분 커패시터의 크기가 크므로 구현이 용이하며, 잡음에 대한 억제효과를 이용하여 3차 적분기단의 크기를 감소시켰다. 이에 따라 전력소모량을 줄이고, 전체 회로의 크기를 감소시켜 저 전력화, 고집적화 하였다.

잡음에 대한 두 개의 전송영점으로 인하여 실제회로에서 인가되는 잡음성분에 대해 견실하다.

설계된 Σ-△변환기는 모델링으로 검증한 후 사양을 결정하였으므로 설계 시 발생할 수 있는 오차를 최소화 할 수 있었다. 이는 최대 102.6 dB의 S/N비를 가지고 16비트 이상의 분해능을 가지며, 다이내믹 영역은 110 dB 이상이다. 낮은 주파수의 클럭을 사용함으로써 전력 소모량을 최소화하였고 전력소모량은 5V 단일 전원에 대하여 10 mW로 측정되어 저전력 구현을 하였다.

참 고 문 헌

[1] James C. Candy and Gabor C. Times, "Oversampling Delta-Sigma Data Converters: Theory, Design and Simulation" IEEE Press, 1992.

[2] Huining Liu, Xianggang Yu, Terry L. Scully, and Roberto H. Bamberger, "A Fourth-Order Bandpass Delta-Sigma A/D Converter with Input Modulation Network and Digitally Programmable Passband" ISCAS97, June 9-12, 1997, Hong-Kong, vol. 1, pp. 385-388.

[3] Tapani Ritoniemi, Eero Pajarre, Seppo Ingalsuo, Timo Husu, Ville Eerola, and Tapio Saramaki, "A Stereo Audio Sigma-Delta A/D-Converter" IEEE Journal of Solid State Circuits, vol. 26, no. 12, December 1991, pp. 1514-1523.

[4] Thomas P. Krauss, Loren Shure, and John N. Little, "Signal Processing TOOLBOX for use with Matlab" The MathWorks inc., June 1994.

[5] Bex T. Baird, and Terri S. Fiez, "A low Oversampling Ratio 14-bit 500kHz ADC with a Self-calibrated DAC" IEEE Journal of Solid-State Circuits, vol. 31, no. 3, March 1996, pp. 312-320.

[6] Stephen Au and Bosco H. Leung, "A 1.95-V, 0.34-mW, 12-b Sigma-Delta Modulator Stabilized by Local Feedback Loops" IEEE Journal if Solid-State Circuits, vol. 32, no. 3, March 1997, pp. 321-328.

[7] Kenneth R. Laker and Willy M. C. Sansen, "Design of Analog Integrated Circuits and Systems", McGraw-Hill, 1994.

[8] Paul R. Gray, and Roberto G. Meyer, "MOS Operational Amplifier Design-A tutorial Overview" IEEE Journal of Solid-State Circuits, vol. SC-17, no. 6, December 1982, pp. 969-982.

[9] Richard E. Valle and Ezz I. El-Masry, "A Very High-Frequency CMOS Complementary Folded Cascode Amplifier" IEEE Journal of Solid-State Circuits, vol. 29, no. 5, May 1994, pp. 130-133.

[10] M. J. McNutt, S. LeMarquis, and J. L. Dunkley, "Systematic Capacitance Matching Errors and Corrective Layout procedures" IEEE Journal of Solid-State Circuits, vol. 29, no. 5, May 1994, pp. 611-616.

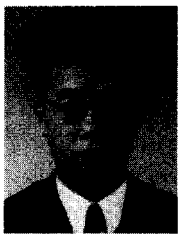
저 자 소 개

李 範 夏(正會員)

1996년 2월 경북대학교 전자전기공학부 졸업(공학사). 1998년 2월 경북대학교 전자공학과 대학원 졸업(공학석사). 1998년 3월 ~ 현재 현대전자 System IC 연구소 연구원

崔 峻 林(正會員)

1986년 연세대학교 전기공학과 졸업(공학사). 1988년 Cornell University 졸업(공학석사). 1991년 University of Minnesota 졸업(공학박사). 1991년 ~ 1993년 금성중앙연구소 선임연구원. 1994년 ~ 1997년 LG종합기술원 책임연구원. 1997년 ~ 현재 경북대학교 전자전기공학부. 주관심분야는 VLSI 설계, 센서 신호처리용 회로 설계



崔 坪(正會員)

1980년 연세대학교 전자공학과 졸업(공학사). 1985년 The Ohio State University 졸업(공학석사). 1990년 Georgia Institute of Technology 졸업(공학박사). 1990년 ~ 현재 경북대학교 전자전기공학부 부교수. 주관심분야는 Analog VLSI, IC 모델링