

論文98-35C-10-3

전류예측기를 이용한 10비트 저전력 전류구동 CMOS A/D 변환기 설계

(Design of a 10 bit Low-power current-mode CMOS A/D converter with Current predictors)

沈聖勳*, 權容福**, 尹廣燮***

(Soung-Hoon Shim, Yong-Bok Kwon, and Kwang Sub Yoon)

요 약

본 논문에서는 휴대용 영상신호처리 시스템에 집적화할 수 있는 전류예측기와 모듈형 기준전류원을 이용한 10비트 저전력 전류구동 CMOS A/D 변환기를 설계하였다. 전류예측기와 모듈형 기준 전류원을 사용함으로써 2단 플래시구조를 갖는 A/D 변환기에 비해 비교기와 기준전류원의 개수를 줄일 수 있게 되었고 따라서 설계된 A/D변환기의 저전력 동작이 가능하였다. 설계된 10비트 저전력 전류구동 CMOS A/D 변환기는 $0.6\mu\text{m}$ n-well single-poly triple metal CMOS 공정을 사용하여 제작되었다. +5V 단일 공급전압하에서 동작할 때 측정된 전력소모는 94.4mW이며, 아날로그 입력 전류범위는 $16\mu\text{A}$ 에서 $528\mu\text{A}$ 로 측정되었으며, INL과 DNL은 각각 $\pm 1\text{LSB}$, $\pm 0.5\text{LSB}$ 이하로 나타났다. 또한 10MSamples/s의 변환속도를 나타내었고, 제작된 10비트 전류구동 CMOS A/D 변환기의 유효 칩면적은 $1.8\text{mm} \times 2.4\text{mm}$ 이다.

Abstract

In this paper, an 10 bit current-mode CMOS A/D converter with a current predictor is designed with a CMOS process to be integrated into a portable image signal processing system. A current predictor let the number of comparator reduce to 70 percent compared with the two step flash architecture. The current magnitude of current reference is reduced to 68 percent with a modular current reference. The designed 10 bit Low-power current-mode CMOS A/D converter with a current predictor is simulated with HSPICE using $0.6\mu\text{m}$ N-well single-poly triple-metal CMOS process parameters. It results in a conversion rate of 10MSamples/s. A power consumption is measured to be 94.4mW at single +5V supply voltage. The 10 bit A/D converter fabricated using the same process occupies the chip area of $1.8\text{mm} \times 2.4\text{mm}$.

* 正會員, 三星電子 半導體 시스템 LSI MML 設計그룹
(SAMSUNG Electronics, ASIC Team)

** 正會員, 正修機能大學 電子技術學科
(Chung-soo polytechnic college, Department of Electronic Engineering)

*** 正會員, 仁河大學校 電子工學科
(Inha University, Department of Electronic Engineering)

接受日字:1998年6月2日, 수정완료일:1998年8月24日

I. 서 론

최근 전자제품의 추세가 소형화, 경량화됨에 따라 단일 칩내에 디지털 신호처리와 아날로그 신호처리 회로들을 모두 포함하는 혼합 신호처리 집적회로(mixed signal processing IC) 설계 뿐만아니라 SOC(System On a Chip) 설계의 필요성이 증대되고 있다. 비메모리 집적회로인 혼합 신호처리 집적회로나 SOC에는 외부 아날로그 신호를 받아서 내부적으로 디지털 신호처리하기위해서 A/D 변환기가 필요하다. 특히 전

체 신호처리 시스템 관점에서보면 A/D변환기는 단지 데이터를 변환하는 작은 역할을 담당하므로 시스템 집적화의 효율성을 높이기 위해서는 작은 칩면적과 저전력 소모의 특성을 가져야 한다.

전압구동방식을 이용하여 전력소모를 낮추는 A/D 변환기 설계방식들이 많이 제안되고 있다. 특히 병렬 구조 A/D 변환기의 비교기 수를 줄이기 위한 파이프 라인 구조가 가장 많이 발표되고 있고, 최근 들어 샘플/홀드(sample and hold)회로가 필요없는 폴딩(folding)구조의 A/D 변환기를 전류구동방식에 이용하려는 연구^[1]가 진행되고 있다. 그러나 이러한 전압 구동 방식으로 구현된 A/D 변환기들은 칩면적을 크게 차지하고, 많은 전력소모를 요구하여 시스템 집적화에 적용시키기 어려운 문제점을 가지고 있다. 따라서 전압구동 방식의 칩면적과 전력소모의 문제점을 해결하기 위한 전류구동 알고리즘(algorithm) 설계방식이 개발되었다^{[2]-[4]}. 전류구동 알고리즘 방식은 작은 칩면적을 차지하고 저전력소모의 특징을 가지나 1Msample/s 이하의 낮은 변환속도를 가져서 영상 신호처리 응용에 적용하기 어렵다.

본 논문에서 제안된 10비트 전류구동 CMOS A/D 변환기는 전류예측기와 모듈형 기준전류원을 사용하여 내부 기준전류원의 크기를 증가시키는 대신에 아날로그 입력전류의 값을 감소시킴으로써 결과적으로 10MSamples/s의 변환속도를 가지면서도 94.4mW이하의 저전력소모와 1.8mm×2.4mm의 유효 칩면적을 나타내었다.

본 논문의 구성은 II장에서는 본 논문에서 설계한 10비트 전류구동 CMOS A/D 변환기의 설계 방법론 및 구조와 각각의 구성블럭의 설계에 대해서 논하였고, III장에서는 제작된 A/D 변환기의 측정결과 및 회로 성능에 관하여 고찰하였다. 마지막으로 IV장에서 본 논문의 결론을 맺었다.

II. 제안된 전류구동 10비트 A/D 변환기의 설계

제안된 10비트 A/D 변환기의 전체 블럭도를 그림 1에 나타내었다. 10비트 A/D 변환기는 트랙/홀드회로, 전류예측기(current predictor), 모듈형 기준전류원(modular current reference circuit), 5비트 플래시 변환기(5 bit flash converter), 전류감산 증폭회로

(current subtraction amplifier), 디지털 오차 보정 회로(digital error correction circuit), 2진 인코더(binary encoder), 래치(latch)로 구성되어 있다. 첫 번째 데이터 변환과정동안에 전류구동 트랙/홀드회로는 큰 입력신호를 처리하기 위해서 아날로그 입력신호의 크기를 1/3로 압축하여 샘플링한다. 전류예측기는 트랙/홀드회로에서 홀드된 아날로그 입력전류 $1/3I_{in}$ 을 다시 3배로 확장된 후, 확장된 아날로그 입력전류 I'_{in} 의 범위를 결정한다. 전류예측기는 MSB와 MSB-1에 해당하는 온도계코드를 발생시키며, 발생된 온도계코드는 모듈형 기준전류원을 제어한다. 또한 홀드된 아날로그 입력전류($1/3I'_{in}$)는 모듈형 기준전류원의 입력단자에 인가되며, 인가된 입력전류는 3배로 확장된 후 해당되는 전압값으로 처리되어 5비트 플래시 변환기의 입력으로 인가된다.

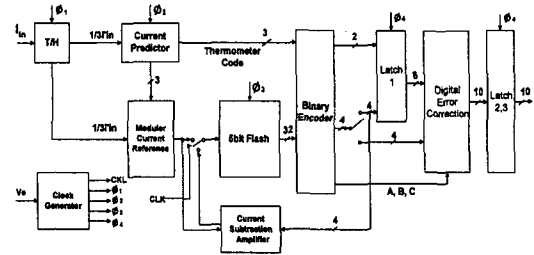


그림 1. 전류예측기와 모듈형 기준전류원을 이용한 10비트 저전력 전류구동 CMOS A/D 변환기의 블럭도

Fig. 1. Block diagram of the 10 bit Low-power current-mode CMOS A/D converter with a current predictor and modular current reference.

5비트 플래시 변환기의 출력은 전류예측기의 출력과 함께 2진코드로 변환된 후, 디지털 오차 보정회로를 거쳐서 상위 6비트에 해당하는 출력을 발생시킨다. 두 번째 데이터 변환과정동안에 전류감산회로에서 생성된 아날로그 전류는 모듈형 기준전류원에서 출력된 입력 전류를 감산시킨 후, 증폭(2^4)되어 5비트 플래시 변환기로 재순환하여 2진 인코더를 거쳐 하위 4비트와 오차 감지신호를 출력한다. 5비트 플래시 변환기에서 발생한 32개의 온도계코드중 16개는 2진 인코더에서 A 또는 B 또는 C의 신호로 출력되어 상위코드(6비트)에서 발생한 오차를 보정하는데 사용된다^[5]. 제안된 전류구동 10비트 A/D 변환기에서는 디지털 오차보정기법에 의해 상위 6비트 변환기의 해상도는 10비트에서

6비트로 완화된다^{[6],[7]}. 전류원의 부정합오차, 비교기의 오프셋오차와 비선형 오차, 전류 감산증폭회로의 오프셋오차에 의해서 발생하는 전체 변환기의 비선형 오차는 디지털 오차보정회로에 의해서 보정이 가능하도록 설계하였다.

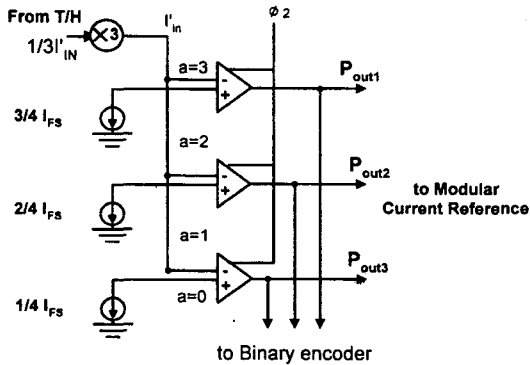


그림 2. 전류예측기 회로도
Fig. 2. Circuit schematic of the current predictor.

그림 2는 전류예측기 회로를 나타낸다. 전류예측기를 설계하고 변환기내에 사용하므로써 변환속도를 크게 감소시키지 않고 비교기의 수를 줄일 수 있다. 본 논문에서 플래시 변환기의 해상도는 오차보정을 위해 추가된 1비트를 포함한 5비트로 선택하였다. 이는 2단 플래시 변환기의 경우 가장 안정적인 해상도이다^[8]. 따라서 전류예측기는 2비트의 해상도를 가지게 되므로 빠른 정착시간을 얻을 수 있다. 전류예측기의 2비트 출력과 플래시 변환기의 5비트 출력은 디지털 오차 보정회로를 거쳐서 상위 6비트의 출력으로 발생된다. 트랙/홀드회로에서 1/3배로 입측하여 샘플링된 아날로그 입력전류 $1/3I'_{in}$ 은 전류예측기에서 다시 3배로 확장되어 원래의 입력전류 I'_{in} 으로 복원된다. 전류예측기는 식(1)에 나타난 바와 같이 아날로그 입력전류의 범위 a 를 결정한다.

$$\frac{1}{4} a I_{FS} < I'_{in} < \frac{1}{4} (a+1) I_{FS} \quad (a=0,1,2,3) \quad (1)$$

여기서 $I_{FS}(512 \mu A, 16 \mu A \sim 528 \mu A)$ 는 아날로그 입력전류의 최대범위이며 I'_{in} 은 홀드된 아날로그 입력전류를 나타낸다.

전류예측기에서 발생한 온도계코드는 2진 인코더의 입력으로 들어가며, 모듈형 기준전류원을 제어한다. 2비트 전류예측기를 설계하고 상위비트와 하위비트 생성에 사용되는 전류비교기를 공유함으로써 비교기의

개수는 식(2)와 같이 된다.

$$\text{비교기 개수}(N) = 0.5 \cdot 2^{N/2} \quad (2)$$

여기서 N 은 A/D 변환기의 해상도이다. 식(2)에 의해서 비교기의 개수는 2단 플래시 구조에 비해 약 70% 정도 감소한다. 그림 3에서는 풀 플래시 및 2단 플래시와 본 논문에서 제안된 A/D 변환기의 비교기의 개수를 해상도에 따라 비교하였다.

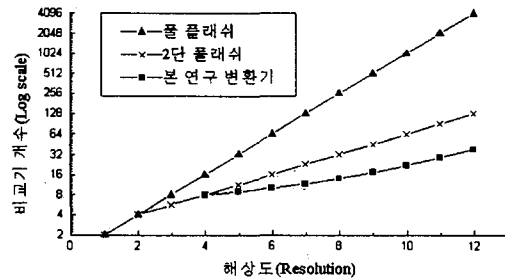


그림 3. 구조별 비교기 개수
Fig. 3. Comparison of the number of comparator.

일반적으로 전류구동 5비트 플래시 변환기는 $1I_{LSB}$ 에서 $32I_{LSB}$ 의 기준전류원을 필요로 하게 된다. 본 논문에서는 단일 5V의 공급전압과 $8 \mu A$ 의 I_{LSB} 값을 사용하였다. 일반적인 기준전류원을 사용한다면 기준전류원 회로에서만 이론상 21mW의 전력을 소모하게 되므로 많은 전력을 소모하는 주요원인이 된다. 따라서 전력소모를 줄이기 위해 모듈형 기준전류원회로를 제안하였다.

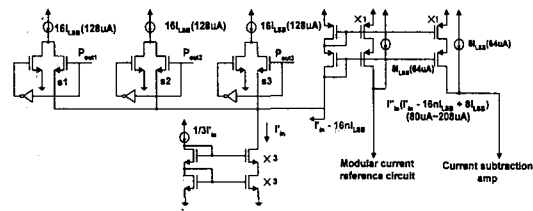


그림 4. 모듈형 기준전류원회로의 전류감산회로
Fig. 4. Current subtraction circuit of the modular current reference circuit.

그림 4에 모듈형 기준전류원의 전류감산회로를 나타내었다. 전류예측기에서 발생한 온도계코드 $P_{out1}, P_{out2}, P_{out3}$ 은 모듈형 기준전류원회로내 감산회로의 스위치 $s1, s2, s3$ 를 제어하여 $16nI_{LSB}(n=0, 1, 2, 3)$ 의 전류를 발생시킨다. 또한 트랙/홀드회로에서 1/3배로

압축하여 샘플링된 아날로그 입력전류 $1/3I'_{in}$ 은 모듈형 기준전류원회로에서 다시 3배로 확장되어 원래의 입력전류 I'_{in} 으로 복원된다. 전류예측기의 출력에 의해 발생한 전류 $16nI_{LSB}$ 는 복원된 아날로그 입력전류 I'_{in} 을 감산시킨다. 따라서 $16\mu A \sim 528\mu A$ 범위의 아날로그 입력전류는 전류예측기에 의해서 4단계로 구분되며, 모듈형 기준전류원회로의 전류감산회로는 4단계로 구분된 아날로그 입력전류를 각 단계마다 $16I_{LSB}$ 의 배수만큼 감산시키게 된다.

또한 감산전류 $I'_{in} - 16nI_{LSB}$ 은 오차보정을 위해서 $8I_{LSB}$ 만큼의 오프셋 전류가 더해진다. 따라서 모듈형 기준전류원 전류감산회로의 최종 출력전류 I''_{in} ($I'_{in} - 16nI_{LSB} + 8I_{LSB}$)은 $80\mu A \sim 208\mu A$ 의 범위를 가지게 된다. 이를 표 1에 나타내었다. 출력전류는 5비트 플래시에 연결된 모듈형 기준전류원과 전류 감산증폭회로로 인가된다.

표 1. 전류예측회로의 온도계코드 출력에 따라 감산되는 입력전류

Table 1. Input current controlled by the thermometer code of the current predictor

| 입력전류 | 전류예측회로의 출력 | 감산된 입력전류 |
|--------------------------|------------|--|
| $16\mu A \sim 144\mu A$ | 000 | $I'_{in} + 8I_{LSB}$ $80\mu A \sim 208\mu A$ |
| $144\mu A \sim 272\mu A$ | 001 | $I'_{in} - 16I_{LSB} + 8I_{LSB}$ $80\mu A \sim 208\mu A$ |
| $272\mu A \sim 400\mu A$ | 011 | $I'_{in} - 32I_{LSB} + 8I_{LSB}$ $80\mu A \sim 208\mu A$ |
| $400\mu A \sim 528\mu A$ | 111 | $I'_{in} - 48I_{LSB} + 8I_{LSB}$ $80\mu A \sim 208\mu A$ |

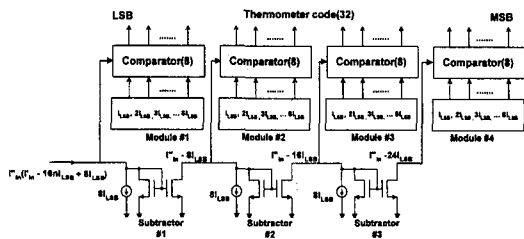


그림 5. 모듈형 기준전류원회로
Fig. 5. Circuit diagram of the modular current reference circuit.

모듈형 기준 전류원을 사용한 5비트 플래시 변환기를 그림 5에 나타내었다. 설계된 모듈형 전류원은 일률적으로 증가하는 32개의 전류원을 4개의 동일한 구조로 모듈화하고, 각 모듈의 내부에는 $1I_{LSB}$ 에서 $8I_{LSB}$

의 8개의 전류원이 존재한다. 그리고 입력전류 I'_{in} ($I_{input} = I'_{in} - 16nI_{LSB} + 8I_{LSB}$)을 첫 번째 모듈의 8개 비교기에 인가시킨다. 그리고 $I''_{in} - 8I_{LSB}$ 를 두 번째 모듈의 8개 비교기에 인가시킨다. 또한 세 번째 모듈과 네 번째 모듈에 $I''_{in} - 16I_{LSB}$, $I''_{in} - 24I_{LSB}$ 를 각각 인가시킨다. 만약 아날로그 입력전류가 $9I_{LSB}$ 와 $10I_{LSB}$ 사이에 존재한다면 ($9I_{LSB} < I'_{in} < 10I_{LSB}$) 이는 $I''_{in} - 8I_{LSB}$ 가 $1I_{LSB}$ 와 $2I_{LSB}$ 사이에 존재하는 것과 ($1I_{LSB} < I''_{in} - 8I_{LSB} < 2I_{LSB}$) 동일한 의미를 갖는다. 그러므로 기준 전류원의 크기를 증가시키는 대신에 입력전류의 크기를 감소시키는 방법을 사용함으로써 전류원의 크기를 감소시킬 수 있다. 따라서 전력소모와 칩면적을 감소시킬 수 있다.

N비트 A/D 변환기에서 일반적인 기준전류원을 사용했을 때와 모듈형 기준전류원을 사용했을 때의 전체 전류의 크기를 각각 식(3)과 식(4)에 나타내었다.

$$(1+2+3+\dots+2^N)I_{LSB} = \frac{2^N(2^N+1)}{2} I_{LSB} \quad (3)$$

$$m(1+2+3+\dots+\frac{1}{m}2^N)I_{LSB} + (m-1)\frac{1}{m}2^N I_{LSB} = 2^N(\frac{1}{m}2^{N-1} + \frac{m-1}{m} + \frac{1}{2})I_{LSB} \quad (4)$$

I_{LSB} 와 m 은 각각 LSB 전류값과 모듈의 개수를 나타낸다.

본 논문에서 5비트 플래시 A/D 변환기를 설계할 때, 기존의 전류미러 방법을 사용하면 레이아웃시 전류원의 크기는 $(1+2+\dots+32)I_{LSB} = 528I_{LSB}$ 가 되지만, 모듈형 기준전류원 회로를 사용한다면 전류원의 크기는 $4 \times (1+2+3+\dots+8)I_{LSB} + 3 \times 8I_{LSB} = 168I_{LSB}$ 가 되어 전류원의 전류값 크기가 약 68% 감소한다.

전류예측기와 모듈형 기준전류원회로 및 5비트 플래시 변환기를 이용한 상위 6비트의 아날로그-디지털 변환과정을 그림 6에 나타내었다. 모듈형 기준전류원의 첫 번째 모듈(module#1)과 네 번째 모듈(module#4)의 기준전류원과 전류비교기는 디지털 오차보정을 위해서 설계되었다. 전류예측기와 5비트 플래시 변환기의 출력은 온도계코드이며 2진 인코더에서 6비트로 변환된다.

전류예측기 및 5비트 플래시 변환기내 32개의 비교기에서 출력되는 신호는 온도계코드이다. 그러므로 온도계코드를 2진 디지털 코드로 변환하기 위해서는 2진 인코더가 필요하다. 그림 7은 3 입력 NOR 게이트와

Wired-OR ROM(Read only memory)을 이용하여 설계한 2진 인코더 회로이다^[9].

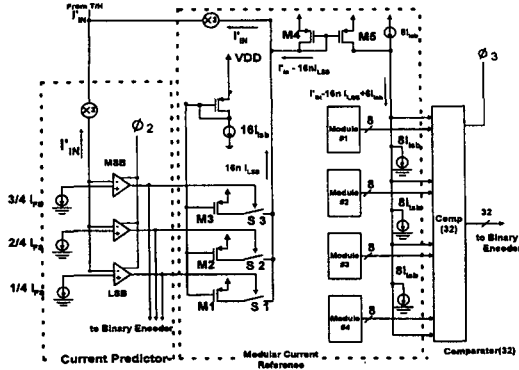


그림 6. 전류예측기와 모듈형 기준전류원 및 5비트 플래시 변환기를 이용한 상위 6비트 아날로그-디지털 변환과정 회로도

Fig. 6. Operational circuit diagram of the upper 6-bit A/D conversion with a current predictor, modular current reference and 5-bit flash.

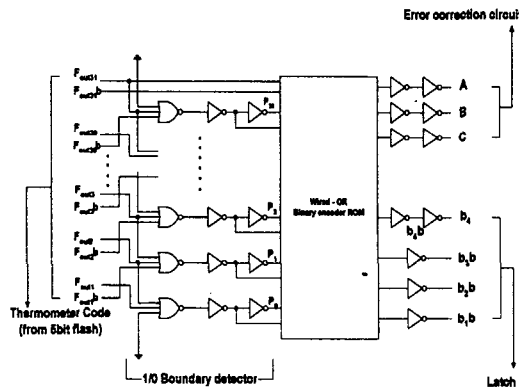


그림 7. 2진 인코더 회로도

Fig. 7. Block diagram of the binary encoder.

3 입력 NOR 게이트는 비교기에서 출력되는 온도계 코드의 0과 1의 경계를 검출하기 위해 사용되었다. 인코더의 출력중 A단자, B단자, C단자는 상위 6비트의 오차를 보정하기위해 디지털 오차보정회로의 가감산기로 인가된다. 상위 6비트 코드가 -1만큼 오차가 있을 때는 A단자가 논리 1상태가 되고 +1만큼 오차가 있을 때는 B단자가 논리 1상태가 되며 오차가 없을 때는 C단자가 논리 1상태의 값을 가지게 된다. 오차 보정회로의 많은 스위치를 빠른 시간내에 구동하기 위해 A 단자, B단자, C단자의 출력에 2개의 인버터를 사용한 버퍼를 사용하였다.

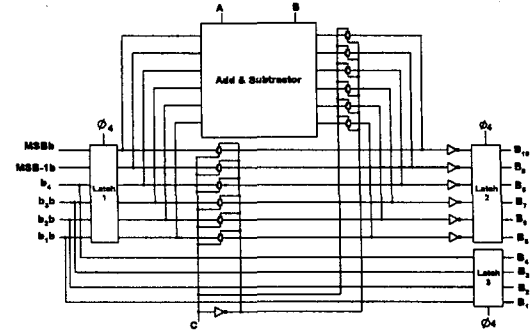


그림 8. 디지털 오차보정 회로

Fig. 8. Digital error correction circuit.

그림 8은 설계된 디지털 오차 보정회로를 나타낸다. 상위비트 변환과정 동안에 얻어진 상위 6비트의 디지털 코드는 래치 1에 임시 저장된 후 하위비트 변환과정동안에 디지털 오차 보정회로의 가감산기(adder and subtractor)로 인가된다. 하위비트 변환과정동안에 얻어진 하위 4비트의 디지털 코드는 래치 3에 저장된다. 또한 하위비트 변환과정동안 2진 인코더에서 발생된 A단자, B단자, C단자의 신호에 의해 상위 6비트 디지털 코드는 각각 +1, -1, 0의 값으로 가감되어 래치 2에 최종적으로 저장된다. 전 가산기(full adder)로 구성된 병렬 가감산기에 의해 +1의 가산과 -1의 감산이 이루어지며, -1의 감산은 2의 보수 감산법(2's complement subtraction)을 사용하였다. 오차가 없을 경우 B단자가 논리 1상태가 되며 이때는 전송게이트를 단락시킴으로써 상위 6비트의 디지털 코드를 보정없이 래치 2로 전송하게 된다.

III. 실험결과 및 고찰

설계된 10비트 A/D변환기를 $0.6\mu\text{m}$ N-well single poly/triple metal CMOS 공정을 사용하여 제작하였다. 그림 9는 제작된 10비트 저전력 전류구동 10비트 A/D변환기의 칩사진을 나타낸다. 제작된 A/D 변환기는 $1.8\text{mm} \times 2.4\text{mm}$ 의 유효 칩면적을 차지하였다.

그림 10은 1kHz의 삼각파를 전류예측기에 입력시키고 100kHz로 샘플링 하였을 때 전류예측기의 출력 코드를 나타낸다. 출력코드는 3 입력 NOR 게이트를 통과한 파형으로서 2진 인코더로 인가되는 파형이다. 그림 10에서 보는바와 같이 각 코드가 하양 천이 될

때 전류예측기에서 온도계코드가 출력되었음을 알 수 있다.

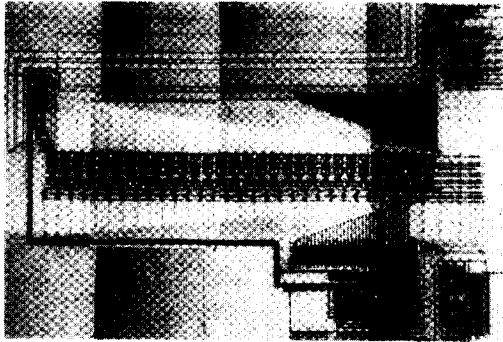


그림 9. 10비트 전류구동 A/D 변환기의 칩사진
Fig. 9. Chip photograph of the 10bit current-mode A/D converter.

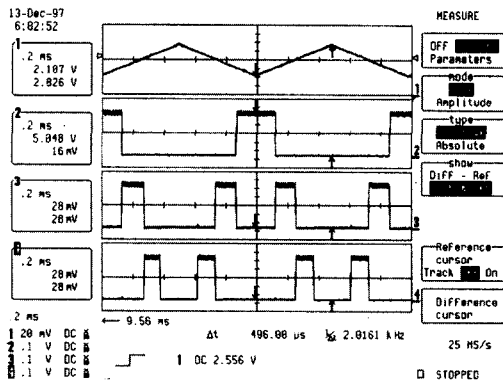


그림 10. 전류예측회로의 측정된 출력코드 (1kHz 삼각파 입력, 100kHz 클럭)
Fig. 10. The measured output code of the current predictor circuit. (1kHz triangular wave input, 100kHz clock)

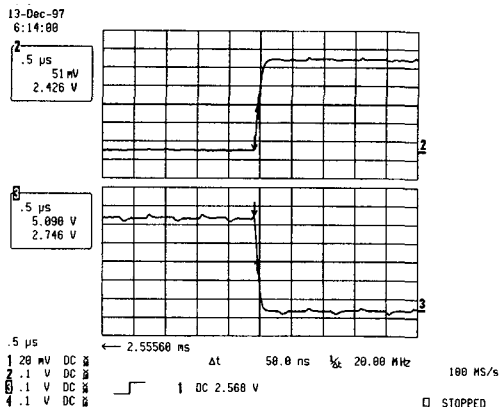


그림 11. 측정된 전류예측회로의 지연시간
Fig. 11. The measured delay time of the current predictor circuit.

그림 11은 전류예측기의 지연시간에 대한 측정결과로 약 50ns의 지연시간을 갖는다. Hspice 모의실험 결과인 1ns와는 큰 차이를 갖는다. 이는 측정시 전류예측기의 출력이 패드에 연결되어 있으므로 패드가 갖는 커패시터와 또한 측정장비인 오실로스코프의 프로브가 갖는 커패시터의 영향으로 생각된다. 그림 12는 1kHz의 삼각파를 모듈형 기준전류원 회로에 인가시키고 100kHz로 샘플링 하였을 때 모듈형 기준전류원의 출력특성을 나타낸다. 모듈형 기준전류원의 출력을 측정하기 위해 1KΩ의 외부 부하저항을 사용하였다. 그림으로부터 전류예측기에서 코드가 발생될 때 마다 모듈형 기준전류원의 출력이 감소됨을 알 수 있다. 그림 12에서 나타나는 글리치 현상은 샘플링 펄스에 의해 발생한 것이며, 입력신호의 크기가 커질수록 더 크게 나타남을 알 수 있다. 이는 표 1에 나타냈듯이 입력신호의 크기가 커짐에 따라 모듈형 기준전류원회로에서 감소되는 전류의 크기가 증가하므로 이로 인해 글리치 현상이 각 단계마다 전파되어 커진 것으로 생각된다.

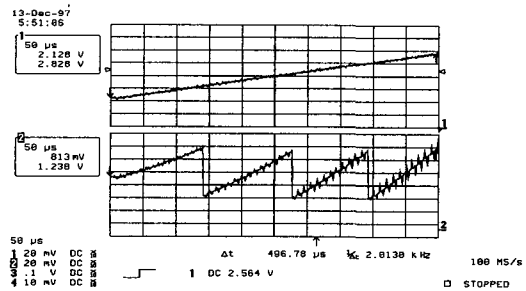


그림 12. 측정된 모듈형 기준전류원의 출력특성(1kHz 삼각파 입력, 100kHz 클럭)
Fig. 12. The measured output characteristic of the modular current reference circuit. (1kHz triangular wave input, 100kHz clock)

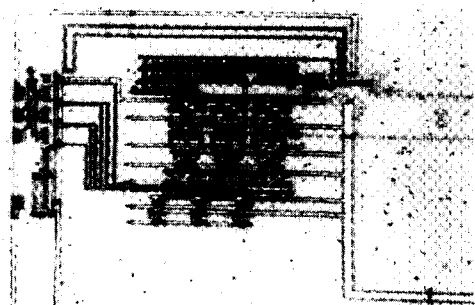


그림 13. 전류예측기와 모듈형 기준전류원의 칩사진
Fig. 13. Chip photograph of the current predictor and modular current reference.

그림 13은 모듈형 기준전류원의 칩사진을 나타낸다. 또한 그림 14는 HP4145B를 이용하여 측정된 A/D 변환기의 전력소모를 나타낸다. A/D 변환기에 최대 입력전류 528 μ A를 인가시키고 공급전압을 4.5V에서 5.5V까지 변화시킬 때 5V에서 18.87mA의 전류가 측정되었다. 따라서 전력소모는 94.4mW임을 알 수 있다. 위의 실험결과를 종합하여 제작된 10비트 A/D 변환기의 성능을 표 2에 요약하였다.

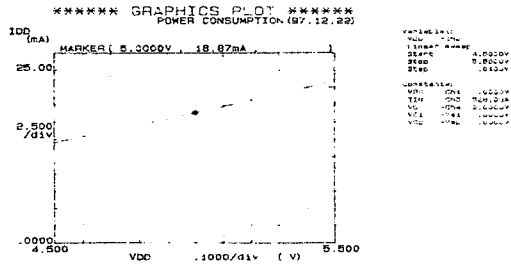


그림 14. 제작된 10 비트 A/D 변환기의 dc 측정전력 소모

Fig. 14. The measured power dissipation of the 10 bit A/D converter.

표 2. 10비트 저전력 전류구동 CMOS A/D 변환기의 성능 요약

Table 2. Performance of the 10 bit Low-power current-mode CMOS A/D converter.

| | |
|-------------|--|
| 분해능 | 10비트 |
| 변환속도 | >10MSamples/s |
| 전력소모 | 94.4mW |
| 전원전압 | 단일 5V |
| 아날로그 입력전류범위 | 16 μ A~528 μ A(Full scale: 512 μ A) |
| DNL | $\leq \pm 0.5$ LSB |
| INL | $\leq \pm 1$ LSB |
| 유효 칩면적 | 1.8mm \times 2.4mm |
| 공정 | 0.6 μ m N-well CMOS single poly triple metal process |

IV. 결론

본 논문에서는 휴대용 멀티미디어 시스템에 집적화할 수 있도록 0.6 μ m N-well single-poly triple metal CMOS 공정을 사용하여 10비트 전류구동 CMOS A/D 변환기를 설계하였다. 큰 아날로그 입력 전류를 구동하기 위해서 트랙/홀드회로에 신호압축 방

법을 이용하였으며, 전류예측기와 모듈형 기준전류원 회로를 설계하여 변환기내 내장시킴으로써 2단 플래시 A/D 변환기에 비해 비교기의 개수 및 기준 전류원의 크기를 각각 70% 및 68%정도 감소시켰다. 설계된 A/D변환기내 중요한 모듈인 전류예측기와 모듈형 전류원을 측정제작하여 측정한 결과 각각 2비트 온도계 코드 발생과 전류감산 결과의 정확성을 확인하였다. 또한 전류원의 부정합오차와 비교기의 오프셋 오차 및 비선형 오차에 의해 발생하는 상위비트의 오차는 디지털 오차보정회로를 설계함으로써 보정이 가능하도록 하였다. 제작된 10비트 전류구동 CMOS A/D 변환기는 10MSamples/s의 변환속도와 94.4mW의 저전력 소모 및 1.8mm \times 2.4mm의 유효 칩면적을 차지하였다. 따라서 본 논문에서 설계한 A/D 변환기는 저전력 및 작은 칩면적의 장점으로 혼합 신호처리 시스템을 단일 칩으로 구현하는데 적용할 경우 시스템의 소형화 및 경량화로 휴대용 멀티미디어 시스템의 구현이 용이할 것으로 기대되며 내부의 구성블럭으로 설계된 회로들은 저전력소모와 작은 칩면적의 특징으로 다른 응용 분야에서 전압구동 회로들을 대체할 것으로 기대된다.

참 고 문 헌

- [1] Michael P. Flynn, and David J. Allstst, "CMOS Folding ADCs with Current-Mode Interpolation," in *Proc. IEEE International Solid-State Circuits Conference*, pp. 274-275, 1995.
- [2] D Nairn, Algorithmic and Pipelined A/D converters, in C. Toumazou, J.B. Hughes, and N.C. Battersby, Eds, *Switched-Currents an analogue technique for digital technology*, Peter Peregrinus Ltd : London, pp. 304-321 1993.
- [3] C. A. T. Salama, D. G. Nairn, and H. W. Singor, Current mode A/D and D/A converters, in C. Toumazou, F. J. Lidgley and D.G. Haigh, Eds., *Analogue IC Design The Current-mode Approach*, Peter Peregrinus Ltd. London, pp. 491-512 1990.
- [4] D. G. Nairn, and C. A. T. Salama, "Current-Mode Algorithmic Analog-to-Digital Converters," *IEEE J. Solid-State*

- Circuits*, vol. 25, no. 4, pp. 997-1004, Aug. 1990.
- [5] S. H. Lee, and B. S. Song, "Digital-domain calibration of multistep analog-to-digital converters," *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1679-1688, Dec. 1992.
 - [6] B. Song, S. Lee, and M. F. Tompsett, "A 10-b 15-MHz CMOS Recycling Two-Step A/D Converter," *IEEE J. Solid-State Circuits*, vol. 25, no. 6, pp. 1328-1338, Dec. 1990.
 - [7] J. P. Oliveira, J. Vital, and J. E. Franca, "A Digitally Calibrated Current-Mode Two-step Flash A/D Converter," *Proc. ISCAS'96*, pp. 199-202, 1996.
 - [8] M. K. Mayes, and S. W. Chin, "A Multistep A/D Converter Family with Efficient Architecture," *IEEE J. Solid-State Circuits*, vol. 24, no. 6, pp. 1492-1497, Dec. 1989.
 - [9] M. Delmer, *High-Speed Analog-to-Digital Conversion*, Academic Press, Chapter 1, 1991.

저 자 소 개



沈 聖 勳(正會員)
1996년 2월 인하대학교 전자공학과(학사). 1998년 2월 인하대학교 전자공학과(석사). 1998년 3월 ~ 현재 삼성전자 반도체 시스템 LSI MML 설계그룹 연구원. 주관심분야는 아날로그/디지털 혼합신호처리 집적회로

설계



權 容 福(正會員)
1992년 서울산업대학 전자공학과 졸업. 1995년 인하대학교 산업대학원 전자공학과 졸업. 1977년 ~ 1995년 한국 산업 인력관리공단 근무. 1996년 ~ 현재 정수기능대학 전자기술학과 조교수. 주관심분야는 아날로그/

디지털 혼합신호처리 집적회로 설계 및 CAD



尹 廣 燮(正會員)
1981년 인하대학교 전자공학과(학사). 1983년 미국 조지아 공과대학 전기공학과(공학석사). 1990년 미국 조지아 공과대학 전기공학과(공학박사). 1989년 ~ 1992년 미국 실리콘 시스템사 근무(선임연구원). 1992년

~ 현재 인하대학교 전자공학과 부교수. 주관심분야는 혼합신호처리 집적회로설계, 설계자동화 및 소자 모델링 등임