

論文98-35C-11-1

저전력 기술 매핑을 위한 논리 게이트 재합성 (Resynthesis of Logic Gates on Mapped Circuit for Low Power)

金賢相*, 趙浚東*

(Hyun-Sang Kim and Jun-Dong Cho)

요약

휴대용 전자 시스템에 대한 deep submicron VLSI의 출현에 따라 기존의 면적과 성능(지연시간) 외에 전력량 감축을 위한 새로운 방식의 CAD 알고리즘이 필요하게 되었다. 본 논문은 논리합성시 기술매핑 단계에서의 전력량 감소를 목적으로 한 논리 게이트 분할(gate decomposition)을 통한 재합성 알고리즘을 소개한다. 기존의 저전력을 위한 논리분할 방식은 Huffman 부호화 방식을 이용하였으나 Huffman code는 variable length를 가지고 있으며 logic depth (회로지연시간)와 글리치에 영향을 미치게 된다. 제안된 알고리즘은 임계경로상에 있지 않은 부회로에 대한 스위칭 동작량을 줄임으로써 logic depth (즉 속도)를 유지하면서 다양한 재구성된 트리를 제공하여 스위칭 동작량을 줄임으로써 전력량을 감축시키는 새로운 게이트 분할 알고리즘을 제안한다. 제안된 알고리즘은 zero 게이트 지연시간을 갖는 AND 트리에 대하여 스위칭 동작량이 최소화된 2진 분할 트리를 제공한다. SIS (논리합성기)와 Level-Map (lower power LUT-based FPGA technology mapper)과 비교하여 각각 58%와 8%의 전력 감축효과를 보였다.

Abstract

The advent of deep submicron technologies in the age of portable electronic systems creates a moving target for CAD algorithms, which now need to reduce power as well as delay and area in the existing design methodology. This paper presents a resynthesis algorithm for logic decomposition on mapped circuits. The existing algorithm uses a Huffman encoding, but does not consider glitches and effects on logic depth. The proposed algorithm is to generalize the Huffman encoding algorithm to minimize the switching activity of non-critical subcircuits and to preserve a given logic depth. We show how to obtain a transition-optimum binary tree decomposition for AND tree with zero gate delay. The algorithm is tested using SIS (logic synthesizer) and Level-Map (LUT-based FPGA lower power technology mapper) and shows 58%, 8% reductions on power consumptions, respectively.

* 正會員, 成均館大學 電氣電子컴퓨터工學部

(School of Electrical and Computer Engineering Sungkyunkwan Univ.)

※ 본연구는 서울대학교 반도체공동연구소의 교육부 반도체분야 학술연구 조성비(과제번호: ISRC 96-E-2020)에 의해 수행되었습니다.

接受日字:1998年2月27日, 수정완료일:1998年9月25日

I. 서론

본 논문에서는 ASIC 설계 과정 중 논리합성(logic synthesis)에서의 스위칭 확률 분석 및 논리합수 재분할을 이용, 천이동작(transition activity)을 최소화하여 저전력 설계를 구현하는 효율적인 알고리즘을 제안한다. 1.1절에서는 스위칭 동작 및 천이 확률에 기초를 둔 전력 예측 방법을 설명하고 1.2절에서는 논리수

준 합성의 각 단계를 설명하고 본 논문의 전체 접근 방식을 설명한다. 2장에서는 제안된 저전력 논리 게이트 최적화 알고리즘을 소개하고 3장에서는 제안된 알고리즘의 효율성을 입증하기 위하여 기존의 연구결과를 이용 실험결과를 분석한다. 마지막으로 4장에서는 결론 및 향후 연구과제를 제시한다.

1. 전력 예측 방법: 스위칭 동작 및 천이 확률

CMOS 회로의 전력 소비는 발생된 신호(signal)의 스위칭 동작(activity)에 의존한다. 노드 x 에서의 천이 확률 $p_t(x)$ 는 임의의 클럭 사이클 수 N 동안 시간 t 에서 x 의 안정 상태 값이 초기 값과 다를 확률 (즉 1에서 0으로 변하거나 0에서 1로 변할 확률) $p_t(x)$ 을 클럭 사이클 수 N 으로 나눈 값으로 정의된다.

$$\text{즉 } p_t(x) = \frac{\sum_{i=1}^N p_i(x)}{N}.$$

현재 대부분의 전력 측정 접근 방식은 Najm^[27]이 제안한 것처럼 패턴 의존성(pattern-dependence) 문제를 해결하기 위해 확률개념을 이용한다. 보통 zero-delay 모델이 사용되고 공간적 그리고 시간적으로 독립(independent)이라고 가정한다. 그러나 내부 노드와 출력 노드의 스위칭 동작 측정에서 시간적 상관관계(temporal correlation)와 공간적 상관관계(spatial correlation)는 고려되어야 한다. 그림 1에서 두 개의 신호들은 신호 천이 확률이 0.5로 동일하다. 그러나 첫 번째 신호는 아래의 두 번째 신호와 비교할 때 두배의 천이를 갖는다. 따라서 동일한 회로 노드에 대하여, 첫 번째 신호에 의해 발생하는 전력 소모는 아래의 두 번째 그림보다 두 배이다. 그러므로 논리 신호의 시간적 상관관계는 전력 측정에 있어서 무시할 수는 없다. 여기서 시간 t 에서 회로 노드 x 에 대한 천이 확률은 회로에 인가된 연속된 입력으로 인한 시간적 상관관계(temporal correlations) 뿐만 아니라 재 수렴하는(reconvergent) fanout 때문에 발생하는 다른 신호들 사이의 공간적 상관관계(spatial correlations)에 의존적이다.

이러한 상관관계를 설명하는 것은 계산상 매우 복잡하기 때문에 회로의 입력과 내부 노드는 보통 공간과 시간적으로(spatiotemporally) 독립적이라고 가정한다. 이때 시간 t 에서의 천이 확률은 다음의 식처럼 얻어질 수 있다.

$$p_t(x) = 2 \cdot p(x) \cdot (1 - p(x))$$

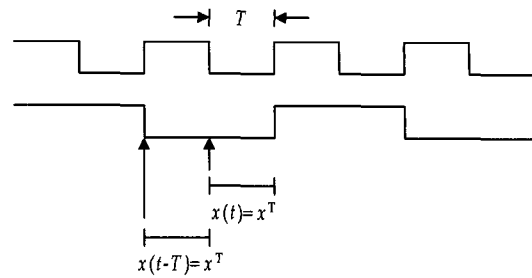


그림 1. 스위칭 동작의 시간적 상관관계

Fig. 1. Temporal Correlation of Switching Activity.

여기서 신호 천이 확률 $p_t(x)$ 는 노드 x 의 값이 1이 될 확률을 말한다. 출력 노드에서 신호 천이 확률은 우선 그 노드의 전체 함수와 일치하는 BDD(Binary Decision Diagram)^[30]를 만들고 나서 BDD의 후위 순회(postorder traversal)를 수행함으로써 계산될 수 있다. 천이 확률은 회로의 내부 지연 시간과 독립적이고 따라서 안정 상태의 출력에 영향을 주지 않는 불필요한 천이(spurious transition) 때문에 발생하는 전력 소비인 글리칭(glitching) 전력을 설명할 수 없다. 이것은 회로의 zero-delay 모델을 가정하는 것과 같은 것이 된다. 따라서 노드 x 에 대한 zero-delay 모델인 경우 전력 소비 공식은 다음과 같으며

$$P(x) = \frac{1}{2} \cdot C_i \cdot V_{dd}^2 \cdot f \cdot p_t(x)$$

또한 전체 노드에 대한 전력 공식은 다음과 같게 된다.

$$P = \frac{1}{2} \sum_i [C_i \cdot V_{dd}^2 \cdot f \cdot p_t(x_i)]$$

여기서 P 는 전체 회로의 평균전력을 나타내고 V_{dd} 는 공급전압, T 는 클럭 주기, C_i 는 게이트 i 에 대한 출력 단의 부하 캐패시턴스, $p_t(x_i)$ 는 클럭 사이클 당 노드 x_i 에서 발생하는 평균 천이 확률을 나타낸다. 여기서 공급전압 V_{dd} 와 클럭 주파수 f 가 일정하고 부하 캐패시턴스 C_i 는 고정되었을 때 $p_t(x_i)$ 를 줄이면 전력이 줄게 된다.

그림 2는 노드 x 에서 부하 캐패시턴스가 상수일 때 노드 x 의 신호 천이 확률의 함수로서 노드 x 의 전력 소비를 도시한 것이다. 이 경우, 전력 최소화를 위해서는 신호 천이 확률 $p(x)$ 를 0 또는 1에 가깝게 최적화시키는 것과 동등하다는 결론을 얻게 된다.

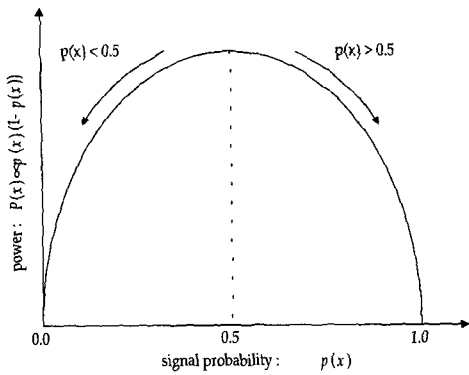


그림 2. 입력 신호 천이 확률에 따른 게이트 출력 노드에서의 전력 소모
 Fig. 2. Input Signal Transition Probability vs. Power Consumption of Gate Output

2. 논리 수준 재합성을 위한 접근 방식

회로 합성의 목적은 면적과 성능, 그리고 전력과 같은 제약조건을 만족하는 설계 기법을 제시하는 것이다. 논리합성은 레지스터 전달 수준(register transfer level) 다음에 수행되며 설계자의 기술을 만족시킨 상위 수준 합성 결과로부터 면적과 동작시간 그리고 최근 가장 중요한 문제로 부각된 저전력 소비를 만족하는 논리합성 과정이 매우 중요해 지고 있다.

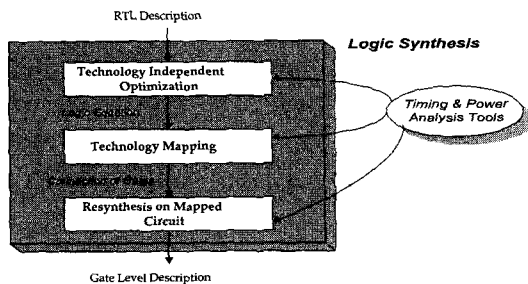


그림 3. 제안된 논리합성 단계에서의 설계 흐름
 Fig. 3. Design Flow of the proposed Logic Synthesis.

논리 합성 단계에서의 입력은 회로의 레지스터 전달 수준의 기술과 셀 라이브러리(cell library)이다(그림 3 참조). 회로는 다중 레벨(multi-level)의 논리 네트워크(logic network)로 보통 표현되며 이 후 주어진 셀 라이브러리로부터 원소로 구성되는 게이트 수준 네트리스트(netlist)를 생성하기 위해 전력과 면적 그리고 지연시간과 같은 다양한 설계 목적에 부합되도록 최적화 된다. 최적화 단계는 자체적으로 두 가지 하위 단계인 기술 독립적 최적화 단계(technology inde-

pendent optimization)^[4, 9]와 기술 의존적 최적화 단계(technology dependent optimization)로 구성된다^[3, 4]. 기술 독립 단계의 목적은 실질적으로 회로 구성에서 사용되는 기술을 고려하지 않고서 논리 수준의 네트리스트(netlist)를 단순화시키는 것이다^[5]. 기술 의존적 최적화 단계는 회로를 구성하는 각 논리 소자를 주어진 라이브러리에서 제공하는 게이트만으로 변환하는데 이를 기술매핑 (technology mapping)이라고 한다^[11, 12, 13, 14].

기술매핑 과정 동안 평균 전력 소모를 최소화시키는 문제는 [19, 23]에서 연구되었다. 원리는 그림 4에서 보듯이 작은 부하 캐패시턴스를 구동하는 게이트 내부에 높은 스위칭 동작을 갖는 노드를 숨기는 방법을 이용한다. 예를 들어 FPGA 기술매핑은 매핑 시 높은 동작 신호(active signal)를 갖는 에지가 LUT(Lookup Table)안에 있다면 전력 소모가 줄어들게 된다.

또한 기술매핑 이전에 수행되는 논리 구조 분할 단계^[28], 또는 기술매핑 이후에 수행되는 버퍼 삽입 등과 같은 최소의 지연 시간을 갖는 요소를 포함 시키거나 편 재배치로 경로 지연 균형 및 저전력 효과를 기대할 수 있다.

먼저 매핑의 최적화를 위해 논리 합성된 회로는 2-입력 NAND/NOR 게이트처럼 기본 함수의 집합으로 분할된다. 그 이유는 기술 매핑 시 논리 구조 분할의 목적은 셀 라이브러리를 이용하여 구성하기 어렵거나 불가능한 함수를 실현하기 위하여 fanin의 수가 k(FPGA 경우 보통 k=5) 또는 그 보다 작은 변수들에 의한 함수의 집합으로 표현되어야 하기 때문이다.

게이트 분할(decomposition)은 구조적(structural) 분할과 부울리안(Boolean) 분할로 분류할 수 있다. 구조적 분할은 multi-fanin 게이트를 2개의 입력을 갖는 fanin 트리로 변형시킨다. 즉, 구조적 분할의 목적은 셀 라이브러리(cell library)를 이용하여 구성하기 어렵거나 구성하기 불가능한 함수를 구성할 수 있도록 fanin의 수가 적은 함수의 집합으로 변형시키는데 그 목적이 있다. 반면 부울리안 분할은 게이트의 기능성(functionality)을 분할한다.

이런 분할 방식은 최종적인 회로의 전력 소모에 상당한 영향을 준다. 최근 Pedram et al^[19]은 저전력을 위한 구조적 분할 문제를 연구하였다. 기존의 저전력을 위한 논리분할 방식은 Huffman 부호화 방식을

이용하였으나 Huffman code는 variable length를 가지고 있으며 logic depth (회로지연시간)와 글리치에 영향을 미치게 된다.

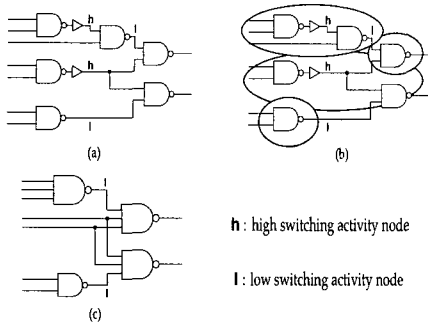


그림 4. 저전력을 위한 기술매핑
Fig. 4. Lower Power Technology Mapping.

II. 새로운 저전력 논리 합성 알고리즘

앞에서 논리 게이트의 전력 소비는 게이트 출력단과 연결된 부하 캐패시턴스와 게이트 출력 스위치에서의 주파수에 의존한다는 것을 알았다. 노드 캐패시턴스는 논리 수준에서 정확한 측정이 가능한 반면, 스위칭 동작은 입력 벡터에 영향을 받는 함수이다.

본 논문은 새로운 논리 회로 분할 기법을 제안한다. 즉, 회로의 임계 경로 지연시간(critical path delay)의 변화 없이 매핑된 회로를 재구성하여 전력을 최소화시키는 논리 게이트 재분할 알고리즘을 소개한다. 즉 전력 소모를 줄이기 위해서 매핑된 회로 중 비 임계 경로(non-critical path)상에 존재하는 회로를 재구성하는 알고리즘을 제안한다. 제안된 알고리즘은 글리치를 제거하기 위한 경로 지연 균형을 유지시키는 데에도 적용 가능하다. 글리치를 줄이는 방법에는 빠른 경로(fast path)에 지연 요소들(예:버퍼)을 삽입시켜 주는 방법이 있는데 재 합성 방법은 버퍼 삽입과는 달리 새로 매핑된 셀은 면적의 증가 없이 전력 소모를 줄일 수 있다.

그림 5(a)와 (b)에서 볼 수 있듯이 비 임계 경로 상에서 셀들은 저전력을 위한 새로운 토폴로지(topology)로 재 합성된다. 비임계 경로의 부 회로에서 지연 시간은 증가될 수 있으나, 전체적인 회로 지연 시간에 영향을 주지 않으며 전력도 효과적으로 감축시킬 수 있다.

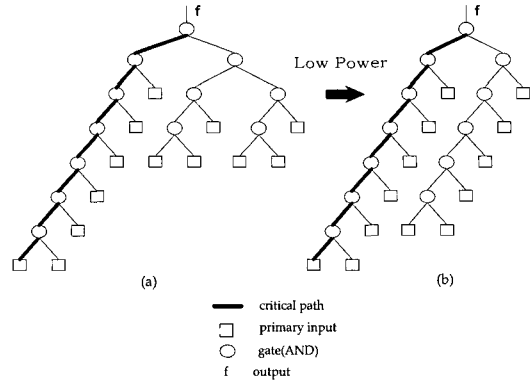


그림 5. 재합성된 트리 분할
Fig. 5. Resynthesized Tree Decomposition.

앞절에서 기술한 바와 같이 보통 게이트 분할 과정에서 n개의 AND 게이트로 구성된 n개의 내부 노드 (fanout 포함)를 갖는 논리회로의 전체 내부 천이 확률을 p_i 라 할 때 다음과 같이 나타낼 수 있다.

$$p_i = 2 \cdot \sum_{j=1}^n [p(x_j) \cdot (1 - p(x_j))]$$

전력 감축을 목적으로 하는 게이트 분할은 위 식의 최소화를 통해 얻어진다. 예를 들면 $p(x_i)$ 가 0.9일 때 $2 \cdot 0.9 \cdot (1 - 0.9) = 0.18$ 이고 $p(x_i)$ 가 0.5일 때 $2 \cdot 0.5 \cdot (1 - 0.5) = 0.5$ 이므로 전자의 경우가 천이 확률이 작아지게 된다. 비슷한 개념으로 입력 신호 천이 확률의 값이 큰 것일 수록 가능한 한 분할 트리의 fanout에 가깝게 위치(As Late As Possible(ALAP) scheduling 알고리즘과 유사)시키어 신호 천이 확률의 합을 줄일 수 있다. 따라서 복합 게이트의 각 입력단에서 스위칭 확률이 주어진다면, 이진 허프만 알고리즘을 이용하여 트리를 구성할 수 있다 [부록 참조].

일련의 5개의 변수를 $(T(V,E), P, A, k, h)$ 라 하고 여기서 $T(V,E)$ 는 각 노드와 관련된 부울리안 함수를 갖는 트리이다. 벡터 $P = \langle p_1, p_2, \dots, p_n \rangle$ 은 각 primary 입력의 신호 천이 확률을 말하며 벡터 $A = \langle a_1, a_2, \dots, a_n \rangle$ 은 트리의 내부 노드의 신호 천이 확률을 표현한다. h 는 트리의 높이를 말하며 근원(root) 노드에서부터 말단(leaf)노드까지의 최장 경로(longest path)의 길이가 된다.

서로 다른 fanin 수 k 를 갖도록 제한된 fanin 분할은 기술 매핑 결과에 영향을 주는 것은 명백하다. 따라서 $k = 5$ 일 경우에 각 게이트에 대한 $k = 2, 3, 4,$

5의 fanin을 갖는 경우에 대하여 신호 천이 확률을 최소화하기 위한 분할을 고려하고 기술 매핑 이후 전력 최소화의 영향을 관찰하였다. 높이(h)가 제한된 최소 천이 동작 분할 문제는 주어진 높이 제약 조건과 함께 전체 내부 천이 동작량 확률 p_i 를 최소화시키는 것이다.

AND 게이트의 경우 노드의 신호 천이 확률은 $p(x) = \prod_{i \in inputs} p(x_i)$ 이 되고,

신호 천이 확률은 $p_i(x) = 2 \cdot (\prod_{i \in inputs} p(x_i)) \cdot (1 - \prod_{i \in inputs} p(x_i))$ 가 된다.

제안된 알고리즘에서 $k = 2$ 인 입력으로 제한된 경우에 대하여 살펴보면 첫째로 트리 레벨에 말단 노드의 수가 n 이고 내부 노드가 $n-2$ 인 내부 노드를 할당하기 위하여 입력 값인 말단 노드의 신호 천이 확률로 높이가 제한된 (height- constraint) ALAP 스케줄링을 다음과 같이 계산한다.

먼저 오름차순으로 입력 노드들의 신호 천이 확률을 정렬하고 bottom-up 방식으로 정렬된 순서로부터 입력을 할당한다. 각 레벨에 대하여 최적의 배치를 얻기 위해 입력을 교환할 필요가 있다. 가장 좋은 입력 배치를 결정하기 위하여 분할 트리의 각 레벨에서 최소 에지 가중치 매칭(minimum-edge weighted matching:MEWM) [29]을 계산한다.

제안된 알고리즘의 개요(알고리즘 1 참조)는 우선 입력으로 주어진 신호 천이 확률을 오름차순으로 정렬을 한 다음 말단 노드를 알고리즘 1에 제시한 세 가지 조건에 맞는 레벨에 노드의 입력 수 k 만큼 할당한다. 이런 과정 후 각 레벨 단위로 MEWM을 수행하여 가장 최소의 신호 천이 확률 합을 갖는 트리를 생성하는 것이다. 여기서 MEWM은 fanout 신호 천이 확률의 합이 최소인 비공유(disjoint) 노드 쌍을 구하는 것이다. MEWM을 위하여 완전(complete) 그래프 $G=(V,E)$ 를 구성한다. $v \in V$ 는 노드가 되고 $e \in E$ 는 완전 그래프의 에지가 된다. 두 노드 사이의 에지 가중치는 두 노드를 fanin으로 하는 게이트의 fanout 신호 천이 확률이 된다.

예제

예를 들면, 말단 노드(n)가 6개이고 높이(h)는 3, primary 입력에 주어진 신호 천이 확률은 각각 0.1, 0.5, 0.2, 0.4, 0.6, 0.3이라 가정한다.

· step 1: 오름차순으로 말단 노드의 신호 천이 확률

을 정렬.

알고리즘 1. 저전력 k 입력 분할
Algorithm 1. Lower Power k Input Decomposition

problem : minimize $\sum_{i=1}^n p_i(x_i)$

input : 입력 신호 천이 확률(p_1, p_2, \dots, p_n), 높이(h), 말단 노드의 수(n), 게이트당 fanin limit(k)

output : k-ary 트리 topology

Begin

sort (signal probability of p_1, p_2, \dots, p_n);

while (n!=0) {

if ($h > \log_k n$)

assign k nodes to level $L(=h+1)$;

/*레벨 $L(=h+1)$ 에 노드 k개만큼 할당*/

$h=h-1, n=n-(k-1)$; /*upward*/

else if ($h < \log_k n$)

assign k nodes to level $L(=h+2)$;

/*이전 레벨 $L(=h+2)$ 에 노드 k개만큼 할당*/

$h=h, n=n-(k-1)$; /*downward*/

else ($h = \log_k n$)

assign the remaining nodes to level $L(=h+1)$;

/*complete; 레벨 $L(=h+1)$ 에 나머지 노드를 모두 할당하고

complete k-ary 트리 구성*/

}

for (bottom level $L; L > 1; L--$)

min_edge_weight_matching (nodes in level L);

End

- step 2: ($h=3, n=6$). $3 > \log_2 6$ 이므로 레벨 4에 노드 2개를 할당. 그림 6(a) 참조. $h=7=2, L=6-5=5$.
 - step 3: ($h=2, n=5$). $2 < \log_2 5$ 이므로 레벨 4에 노드 2개를 할당. 그림 6(b) 참조. $h=2, L=5-5=4$.
 - step 4: ($h=2, n=4$). $2 = \log_2 4$ 이므로 레벨 3에 나머지 노드 4개를 모두 할당. 그림 6(c) 참조.
 - step 5: 레벨 4에서 (a, b, c, d)에 대한 MEWM M을 구한다. $M = \{(a, d), (b, c)\}$. 그림 6(d) 참조.
 - step 6: 레벨 3에서 (x, y, e, f)에 대한 MEWM M을 구한다.
 $M = \{(x, y), (e, f)\}$. 그림 6(e) 참조.
- 최종적으로 생성된 트리는 그림 6(f)와 같다.

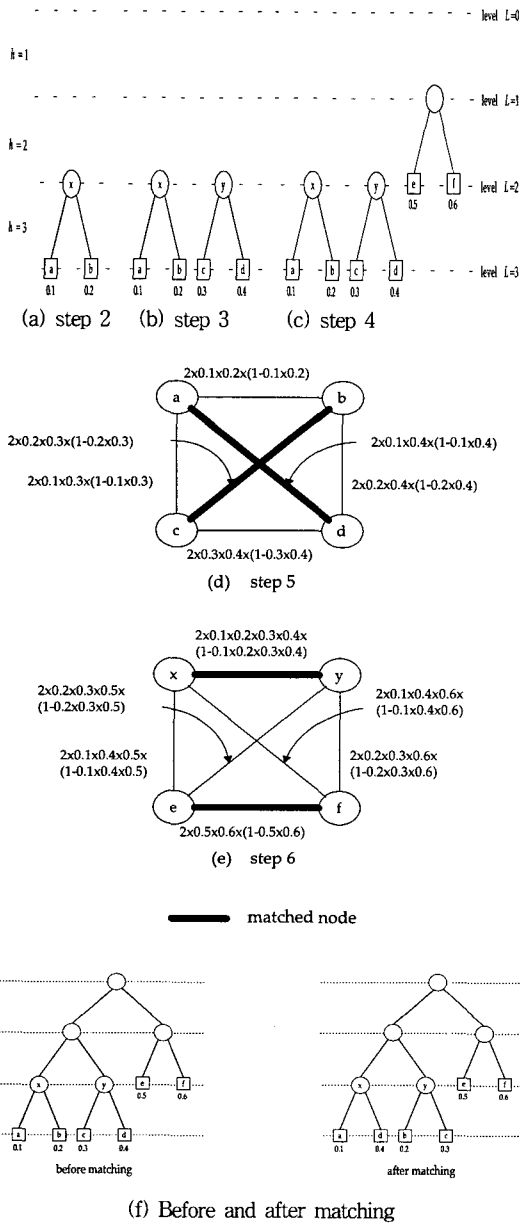


그림 6. 제안된 알고리즘의 트리 생성 과정 예
Fig. 6. Tree Generation Example of the Proposed Algorithm.

III. 실험 결과

제안된 알고리즘은 게이트 분할 시 스위칭 동작량의 전체적인 감축을 통하여 기술매핑 후 전력량을 감축할 수 있는 확률을 높이는데 그 목적이 있으므로 전력소비량을 측정하고 기술매핑 후의 효과를 실험하기 위하여 본 논문에서는 LEVEL-MAP^[4]이라는 LUT-

based FPGA용 저전력 technology mapper를 이용하였다. 또한 기존의 저전력을 고려하지 않는 논리 합성 툴과 비교하기 위하여 SIS^[9]가 사용되었다. LEVEL-MAP에서는 primary 입력 신호 천이 확률을 0.5로 동일하게 주었으며 SIS에서 tech_decomp라는 과정을 거쳐 입력을 받게 된다. SIS의 tech_decomp는 분할된 네트워크의 신호 천이 확률은 고려하지 않으며 또한 주어진 높이를 만족하는 분할을 하지 못한다. 또한 최소 천이 동작을 위한 트리 구성에 있어서 2-입력으로 하는 게이트 분할을 수행하여 천이 동작을 측정하였다. 제안된 알고리즘은 SIS의 tech_decomp를 거쳐 나온 분할된 회로를 높이 조건을 만족하도록 재구성 한 뒤 LEVEL-MAP을 이용하여 매핑하였다. 본 실험에서 primary 입력이 6, 10, 15, 20개인 AND 게이트로 구성된 회로 각각의 경우에 대하여 SIS의 tech_decomp시 AND 게이트 당 fanin 수 (k_1)를 2, 3, 4, 5로 하였으며 또한 이를 받아들이는 제안된 알고리즘 및 LEVEL-MAP에 대해서도 다양한 k 의 값(k_2)을 적용하였다 [표 1, 표 2 참조]. 표 1에서 보듯이 k_1 의 값이 적을수록 개선율(improvement ratio)이 적었으며 그 이유는 gate의 fanin의 개수가 커질수록 gate 출력의 천이 확률의 값이 적어지기 때문이다. 또한 그림 7 및 그림 8는 $k_1 = 2$ 인 경우에 대한 논리 높이의 증가에 따른 신호처리 확률을 그래프로 나타내었다. 그림 7에서 보듯이 같은 입력 수에 대하여 높이가 증가할수록 내부 신호 천이 확률의 합이 감소(즉 improvement ratio가 증가)하는 결과를 보여주고 있다. 이는 높이가 증가할수록 (delay가 길어질수록) 천이 확률이 적어지기 때문이다. 표 1과 표 2에서 보듯이 제안된 알고리즘을 적용한 결과 분할 후 신호 천이 확률의 합은 평균 58%, 기술매핑 후에는 평균 8%의 전력 감소효과를 보였다.

표 1. 표 2에 대한 범례	
k_1	SIS의 입력(게이트 fanin 수)
k_2	LEVEL MAP 입력(게이트 fanin 수)
A	(SIS + LEVEL MAP)을 수행한 후의 신호 천이 확률의 합
B	(SIS + 제안된 알고리즘 + LEVEL MAP)을 수행한 후의 신호 천이 확률의 합
R	Ratio = (A-B)/A

표 1. 분할 후 내부 신호 천이 확률의 합
Table 1. Signal Transition after Decomposition.

Fanin	h	$k_1 = 2$									$k_1 = 3$									$k_1 = 4$									$k_1 = 5$								
		$k_2 = 2$			$k_2 = 3$			$k_2 = 4$			$k_2 = 5$			$k_2 = 4$			$k_2 = 5$			$k_2 = 5$			$k_2 = 5$														
		A	B	R	A	B	R	A	B	R	A	B	R	A	B	R	A	B	R	A	B	R	A	B	R												
6	h=2	1.18	1.18	0	1.12	0.44	60.7	0.44	0.12	72.7	0.44	0.04	90.9	1.12	0.44	60.7	0.44	0.12	72.7	0.44	0.04	90.9															
	h=3	1.98	1.92	3.0	1.92	0.30	1.22	1.88	0.68	63.8	0.82	0.24	70.7	1.88	0.68	63.8	0.82	0.24	70.7	1.88	0.68	63.8															
	h=4	1.08	1.05	2.8	0.86	0.28	67.4	0.86	0.28	67.4	0.82	0.24	70.7	1.88	0.68	63.8	0.82	0.24	70.7	1.88	0.68	63.8															
10	h=2	2.14	2.06	3.7	1.88	0.68	63.8	0.82	0.24	70.7	1.88	0.68	63.8	1.88	0.68	63.8	0.82	0.24	70.7	1.88	0.68	63.8															
	h=3	1.98	1.92	3.0	1.92	0.30	1.22	1.88	0.68	63.8	0.82	0.24	70.7	1.88	0.68	63.8	0.82	0.24	70.7	1.88	0.68	63.8															
	h=4	1.76	1.64	6.8	1.50	0.50	66.7	1.50	0.50	66.7	1.50	0.50	66.7	1.50	0.50	66.7	1.50	0.50	66.7	1.50	0.50	66.7															
	h=5	3.20	3.20	0	3.20	0.30	3.00	3.20	0.30	3.00	3.20	0.30	3.00	3.20	0.30	3.00	3.20	0.30	3.00	3.20	0.30	3.00															
	h=6	3.02	2.66	11.9	2.32	0.82	64.7	2.32	0.82	64.7	2.32	0.82	64.7	2.32	0.82	64.7	2.32	0.82	64.7	2.32	0.82	64.7															
	h=7	2.96	2.54	14.2	2.96	2.54	14.2	2.96	2.54	14.2	2.96	2.54	14.2	2.96	2.54	14.2	2.96	2.54	14.2	2.96	2.54	14.2															
20	h=2	2.84	2.48	12.7	2.84	2.48	12.7	2.84	2.48	12.7	2.84	2.48	12.7	2.84	2.48	12.7	2.84	2.48	12.7	2.84	2.48	12.7															
	h=3	4.34	4.14	4.6	2.22	1.08	51.4	2.22	1.08	51.4	2.22	1.08	51.4	2.22	1.08	51.4	2.22	1.08	51.4	2.22	1.08	51.4															
	h=4	4.24	4.12	2.8	3.72	0.96	74.2	3.72	0.96	74.2	3.72	0.96	74.2	3.72	0.96	74.2	3.72	0.96	74.2	3.72	0.96	74.2															
	h=5	4.10	3.94	3.9	3.82	0.92	75.9	3.82	0.92	75.9	3.82	0.92	75.9	3.82	0.92	75.9	3.82	0.92	75.9	3.82	0.92	75.9															
	h=6	3.80	3.68	3.2	3.96	1.03	74.1	3.96	1.03	74.1	3.96	1.03	74.1	3.96	1.03	74.1	3.96	1.03	74.1	3.96	1.03	74.1															
	h=7	3.68	3.54	3.8	3.68	3.54	3.8	3.68	3.54	3.8	3.68	3.54	3.8	3.68	3.54	3.8	3.68	3.54	3.8	3.68	3.54	3.8															
	h=8	3.38	3.22	4.7	3.38	3.22	4.7	3.38	3.22	4.7	3.38	3.22	4.7	3.38	3.22	4.7	3.38	3.22	4.7	3.38	3.22	4.7															
	h=9																																				
	h=10																																				
	평균			3.8			67.7			74.4			83.7																								

표 2. 기술매핑 후 전력 추정
Table 2. Power Estimation after Technology Mapping

Fanin	h	$k_1 = 2$											
		$k_2 = 2$			$k_2 = 3$			$k_2 = 4$			$k_2 = 5$		
		A	B	R	A	B	R	A	B	R	A	B	R
6	h=3	24.0	24.0	0	19.0	19.0	0	17.1	17.1	0	17.1	17.1	0
	h=4	23.4	23.0	2.0	18.4	18.0	2.6	16.5	17.1	-3.8	16.5	16.0	2.8
10	h=4	40.3	40.3	0	30.3	30.3	0	29.6	29.6	0	26.6	26.6	0
	h=5	39.9	38.4	2.0	32.4	31.4	2.9	28.0	27.5	1.7	27.5	26.3	4.5
	h=6	38.6	37.8	2.0	29.8	31.4	5.3	28.6	27.5	3.7	26.1	25.9	0.7
15	h=5	60.8	59.5	2.2	50.8	49.3	2.9	41.4	41.3	0.2	38.9	40.2	-3.2
	h=6	59.7	58.6	2.0	44.3	47.5	-7.3	42.9	40.7	5.0	40.3	39.7	1.4
	h=7	59.0	57.7	2.2	42.1	41.6	1.1	40.6	39.4	3.1	40.6	38.2	5.9
	h=8	57.0	55.8	2.2	42.2	41.3	2.1	39.5	39.1	0.9	38.6	37.6	2.4
20	h=5	81.6	80.7	1.1	68.9	60.7	12.0	56.4	59.2	-4.9	52.8	53.1	0.5
	h=6	81.1	80.4	0.9	66.0	65.4	0.9	56.6	55.1	2.6	52.4	53.5	-2.3
	h=7	80.2	79.5	0.9	65.0	63.1	2.9	55.6	56.0	0.7	52.8	52.0	1.7
	h=8	78.5	77.9	0.7	64.6	61.6	4.6	55.6	55.1	0.9	52.4	51.8	1.1
	h=9	77.3	76.7	0.8	60.8	62.7	-3.0	54.4	54.3	0.2	52.4	52.3	0.2
	h=10	75.9	74.6	1.7	58.7	57.7	1.7	54.3	54.0	-0.8	52.8	51.7	2.0
평균			1.48		2.05		0.68				1.26		

a) $k_1 = 2$

Fanin	h	$k_1 = 3$								
		$k_2 = 3$			$k_2 = 4$			$k_2 = 5$		
		A	B	R	A	B	R	A	B	R
6	h=2	22.7	19.0	16.5	20.2	17.1	15.4	17.7	17.1	3.5
	h=3	21.0	18.0	14.9	18.5	17.1	7.6	16.0	16.0	0
10	h=3	35.0	30.9	11.7	27.5	29.1	-5.6	27.5	27.2	1.3
	h=4	33.2	29.6	10.8	28.2	29.6	-4.7	28.2	25.9	8.0
	h=5	31.2	28.0	10.2	28.5	28.0	1.8	26.0	25.9	2.7
15	h=3	51.1	45.5	10.9	46.1	45.5	1.3	43.4	39.8	8.2
	h=4	55.9	45.3	19.0	48.4	45.3	6.5	43.4	41.5	4.4
	h=5	49.1	44.2	10.2	44.1	44.2	0.2	39.1	40.4	3.5
20	h=5	66.7	60.0	10.0	58.0	60.0	3.3	55.4	52.4	5.4
	h=6	68.9	58.8	14.6	56.4	57.0	1.0	52.7	52.9	0.5
	h=7	73.3	58.7	20.0	63.3	56.8	10.3	53.3	50.9	4.5
	h=8	68.3	56.8	16.8	60.8	54.9	9.6	53.3	50.9	4.5
평균			13.8		3.89		3.54			

b) $k_1 = 3$

Fanin	h	$k_1 = 4$						$k_1 = 5$		
		$k_2 = 4$			$k_2 = 5$			$k_2 = 5$		
		A	B	R	A	B	R	A	B	R
6	h=2	17.1	16.5	3.7	17.1	16.5	3.7	17.1	16.0	6.3
	h=3	33.8	27.5	18.5	31.3	27.5	15.1	37.5	26.6	29.0
10	h=2	48.3	48.3	0	48.3	48.3	0	46.9	39.8	29.0
	h=3	45.0	41.3	8.4	45.0	41.3	8.3	43.8	39.1	10.7
	h=4	53.1	40.3	24.2	48.1	40.3	16.3	47.0	38.4	18.4
20	h=2	73.2	57.3	22.1	70.2	56.3	22.1	56.3	53.1	5.6
	h=3	70.3	55.3	21.4	65.3	54.0	17.3	56.3	52.3	7.0
	h=4	70.3	54.1	23.1	65.3	52.8	1.9	72.6	51.7	28.8
	h=5	65.6	52.8	12.8	60.6	51.5	14.9			
	h=6									
	h=7									
평균			15.3			11.2			16.2	

c) $k_1 = 4, k_1 = 5$

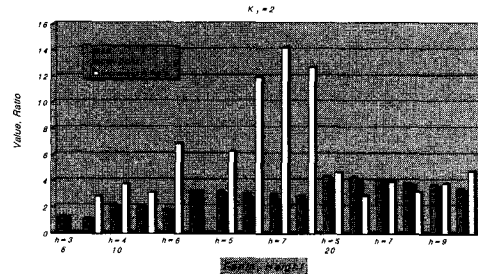


그림 7. 게이트 분할후의 신호 천이 확률의 합 ($k_1 = 2$)

Fig. 7. Signal Transition after Gate Decomposition ($k_1 = 2$)

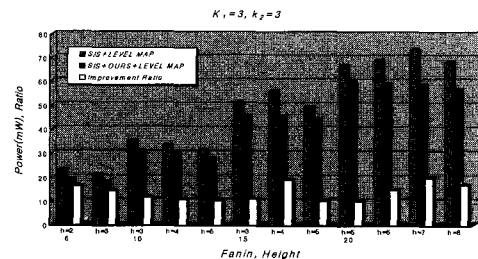


그림 8. 기술매핑후 전력 추정 ($k_1 = 3, k_2 = 3$)

Fig. 8. Power Estimation after Technology Mapping ($k_1 = 3, k_2 = 3$)

IV. 결론 및 향후 과제

본 논문에서는 논리 회로 분할 과정에서의 저전력을 고려한 효율적인 분할 방법을 제안하였다. 기존의 저전력을 위한 논리분할 방식은 Huffman 부호화 방식을 이용하였으나 Huffman code는 variable length를 가지고 있으며 logic depth (회로지연시간)와 글리치에 영향을 미치게 된다. 본 논문에서는 처음으로 주어진 fanin 수와 logic depth를 만족하면서 전력량을

감소시키는 효과적인 게이트 분할 알고리즘이 제안되었다. 또한 제안된 알고리즘은 임계경로 상에 있지 않은 부 회로에 대한 스위칭 동작량을 줄임으로써 logic depth (즉 속도)를 유지하면서 다양한 재구성된 트리를 제공하여 스위칭 동작량을 줄임으로써 전력량을 감축시키는 동시에 logic depth를 제한하여 재 합성을 통한 클리치 감소 효과를 얻을 수 있다. 실험결과는 SIS (논리합성기)와 Level-Map (lower power LUT-based FPGA technology mapper)과 비교하여 각각 58%와 8%의 전력 감축효과를 보였다. 본 논문에서는 게이트 지연시간을 고려하지 않은 스위칭 확률 모델을 사용하였으나 향후 임의의 게이트 지연시간을 고려한 스위칭 확률 모델이 제안되었을 때에도 본 논문에서 제안된 분할 알고리즘은 효과적으로 적용될 수 있을 것이다.

부록 허프만 알고리즘

입력 x_1 에서 x_n 까지 n 개의 입력을 갖는 이진트리 T 를 생각해 보자. 여기서 x_i 는 가중치(weight) w_i 를 갖는다. 입력 x_i 와 트리 T 의 루트(root) 사이의 경로 길이는 l_i 로 나타내며 경로상의 노드의 개수이다. 트리 T 의 가중치 경로 길이(weighted path length)는 $\sum_i w_i l_i$ 이다. 각각, 가중치가 w_1 에서 w_n 을 갖는 주어진 입력 x_1 부터 x_n 까지 최소 가중치 경로 길이(minimum weighted path length)를 갖는 이진트리를 구성하는 문제를 생각해 보자. 이러한 이진트리를 구성하는 효과적인 알고리즘은 허프만 코드이며 다음과 같다.

1. 일반적으로 가중치의 크기가 $w_1 \leq w_2 \leq w_3 \leq \dots \leq w_n$ 이라면 w_1 과 w_2 처럼 가중치가 가장 작은 값 두 개를 결합한다. 이 과정으로 자식노드 x_1 과 x_2 를 갖는 입력 집합에 더해진다.

2. 반복적으로 $n-1$ 개의 가중치, 즉 $(w_1 + w_2)$, w_3 , ..., w_n 에 대한 문제를 푼다.

예제

n 이 5라고 하자. $w_1=2$, $w_2=3$, $w_3=4$, $w_4=4$, $w_5=10$ 이다. 허프만 알고리즘은 가장 작은 값, 즉 w_1 과 w_2 를 선택하고 가중치 $2+3=5$ 를 갖는 노드 y_1 을 생성

하도록 이 두 개를 결합한다. 다음으로 작은 값인 w_3 와 w_4 를 선택, 결합하여 가중치 8을 갖는 노드 y_2 를 생성한다. 이제 가중치는 5, 8, 10이 남는다. 그러므로 y_1 과 y_2 가 다음으로 결합되어 가중치 13을 갖는 y_3 노드를 생성한다. 최종적으로 y_3 와 x_5 가 결합되어 그림 9에서 보는 바와 같이 트리 T 를 생성한다. 경로 길이는 $l_1=l_2=l_3=l_4=3$ 이고 $l_5=1$ 이다. 최적 트리의 가중치 경로 길이는 $3 \cdot (2+3+4+4)+1 \cdot (10)=49$ 이다.

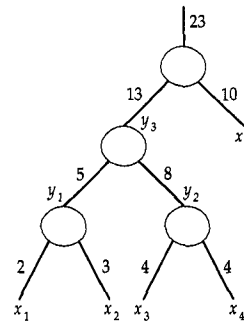


그림 5. 허프만 알고리즘

Fig. 5. Huffman Algorithm.

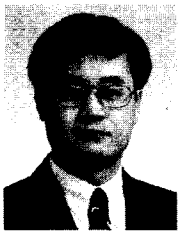
참고 문헌

- [1] R. Camposano, "The quarter micron challenge : integrating physical and logic design", Proceedings of the International Symposium on Physical Design, pp. 211, April 1997.
- [2] K. Keutzer, and P. Vanbekbergen, "The impact of cad on the design of low power digital circuits", In Proceedings of the 1994 IEEE Symposium on Low Power Electronics, pp 42-45, October, 1994.
- [3] K. A. Bartlett, G. D. Bostick, G. D. Hachtel, R. M. Jacoby, P. H. Lightner, P. H. Moceyunas, C. R. Morrison, and D. Ravenscroft, "BOLD: A multiple-level logic optimization system", Proceedings of the IEEE International Conference on Computer-Aided Design, pp. 59-73, November 1987.
- [4] R. K. Brayton, R. Rudell, A. Sangiovanni-Vincentelli, and A. Wang, "MIS: Multiple-Level Logic Optimization System", IEEE Transactions on Compu-

- ter-Aided Design of Integrated Circuits and Systems, vol. CAD-6, pp. 1062-1081, November 1987.
- [5] H. Savoj, R. K. Brayton, "The use of observability and external don't cares for the simplification of multi-level networks", Proceedings of the 27th ACM/IEEE Design Automation Conference, pp. 297-301, June 1990.
- [6] A. P. Chandrakasan, S. Sheng, and R. Brodersen, "Low power CMOS digital design", IEEE Transactions on Solid-State Circuits, vol. 27, no. 4, pp. 473-483, April 1992.
- [7] P. Gray, H. S. Lee, J. Rabaey, c. Sodini, B. Wooley, "Challenges and opportunities in low power integrated circuit design", SRC Publication ID S94019, November 1994.
- [8] H. J. M. Veendrick, "Short-circuit power dissipation of static CMOS circuitry and its impact on the design of buffer circuits", IEEE Journal of Solid-State Circuits, pp. 468-473, August 1984.
- [9] R. K. Brayton, G. D. Hachtel, C. T. McMullen, and A. L. Sangiovanni-Vincentelli, "Logic Minimization Algorithms for VLSI Synthesis", Kluwer Academic Pub., 1984.
- [10] A. Langmaier, "Technology Mapping", in 'The Synthesis Approach to Digital System Design', P. Michel, U. Lauther, and P. Duzy (ed.). Kluwer Academic Pub., 1992.
- [11] K. Bartlett, W. Cohen, A. de Geus, and G. D. Hachtel, "Synthesis and Optimization of Multilevel Logic under Timing Constraints", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. CAD-5, no. 4, pp. 582-596, October, 1986.
- [12] J. A. Daringer, D. Brand, J. Gerbi, W. H. Joyner, Jr., and L. Trevilyan. "LSS: A System for Production Logic Synthesis", IBM J. Research and Development, vol 28, no. 5, pp. 537-545, September 1984.
- [13] E. Detjens, G. Gannot, R. Rudell, A. Sangiovanni-Vincentelli, and A. Wang, "Technology Mapping in MIS", Proceedings of the IEEE International Conference on Computer-Aided Design, pp. 116-119, November 1987.
- [14] K. Keutzer, "DAGON: Technology Binding and Local Optimization by DAG Matching", Proceeding of the 24th ACM/IEEE Design Automation Conference, pp. 341-347, June 1987.
- [15] K. T. Cheng, L. A. Entrena, "Multi-level logic optimization by redundancy addition and removal", In European Conference on Design Automation (EDAC), pp. 373-377, February, 1993.
- [16] B. Rohfleisch, F. Brglez, "Introduction of permissible bridges with application to logic optimization after technology mapping", In European Design and Test Conference (EDAC/ETC/EUROASIC), pp. 87-93, February, 1994.
- [17] B. Rohfleisch, B. Wurth, and K. Antreich, "Logic clause analysis for delay optimization", Proceeding of the 32th ACM/IEEE Design Automation Conference(DAC), pp. 668-672, June, 1995.
- [18] W. Kunz, P. R. Menon, "Multi-level logic optimization by implication analysis", Proceedings of the IEEE International Conference on Computer-Aided Design, pp. 6-13, November, 1994.
- [19] C. Tsui, M. Pedram, and A. M. Despain, "Technology Decomposition and Mapping Targeting Low Power Dissipation", Proceedings of the 30th ACM/IEEE Design Automation Conference, pp. 68-73, June, 1993.
- [20] C. Leiserson, F. Rose, and J. Saxe, "Optimizing Synchronous Circuitry by Retiming", In Proceedings of 3rd Caltech Conference on VLSI, Computer Science Press, pp. 87-116, 1983.
- [21] S. Malik, E. M. Sentovich, R. K. Brayton, and A. Sangiovanni-Vincentelli. "Retiming and Resynthesis : Optimizing

- Sequential Networks with Combinational Techniques”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 10, pp. 74-84, January 1991.
- [22] A. P. Chandrakasan, M. Potkonjak, R. Mehra, J. Rabaey, and R. W. Broderon, “Optimizing power using transformations”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 14, pp. 12-31, January 1995.
- [23] B. Lin, H. DeMan, “Low Power Driven Technology Mapping Under Timming Constraints”, In International Conference on Computer Design, pages 421-427. 1993.
- [24] A. H. Farrahi, M. Sarrafzadeh, “FPGA Technology Mapping for Power Minimization”, In International Workshop on Field-Programmable Logic and Applications, pages 66-77, September 1994.
- [25] A. Shen, A. Gosh, S. Devadas, and K. Keutzer, “On Average Power Dissipation and Random Pattern Testability of CMOS Combinational Logic Networks”, In International Conference on Com-puter-Aided Design, pages 402-407, 1992.
- [26] R. Rudell, and A. Sangiovanni-Vincentelli, “Multiple-valued minimization for PLA optimization”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 6, pp. 727-750, September 1987.
- [27] F. Najm, “Transition density, a stochastic measure of activity in digital circuits”, In Proceeding of the 28th Design Automation Conference, pp. 644-649, June 1991.
- [28] H. S. Kim and J. D. Cho, “Lower Power-Driven Resynthesis on mapped Circuits”, Korea Institute of Telematics and Electronics, pp. 743-746, June 1997.
- [29] R. K. Ahuja, T. L. Magnanti, and J. B. Orlin, *Network Flow: Theory, Algorithms, and Applications*, Englewood Cliffs, NJ, Prentice Hall, 1993.
- [30] R. E. Bryant, “Graph-Based Algorithms for Boolean Function Manipulation”, IEEE Trans. on Computers, 35(8): 677-691, 1986.

저 자 소 개



趙浚東(正會員)

1980년 성균관대학교 전자공학 학사. 1989년 미국 Polytechnic Univ. 전산학 석사. 1993년 Northwestern Univ. 전기 및 전산학 박사. 1983년 ~ 1995년 삼성전자 CAD 연구원. 1995년 ~ 현재 성균관대학교 전기 전자 및 컴퓨터공학부 교수. 주관심분야는 VLSI 설계 및 CAD, 컴퓨터 이론. 저서는 High Performance Design Automation for Multichip Modules and Packages. World Scientific Pub. Co., 1996. IEEE Senior Member



金賢相(正會員)

1972년 3월 7일생. 1996년 2월 성균관대학교 전자공학과 학사. 1998년 2월 성균관대학교 전자공학과 석사. 1998년 1월 ~ 현재 일진전기(주) 전기연구소 연구원. 주관심분야는 VLSI 설계 자동화, 저전력 ASIC 설

계