

論文98-35C-11-3

# FPGA를 이용한 유도 전동기의 디지털 전류 제어 시스템 구현

## (Implementation of the Digital Current Control System for an Induction Motor Using FPGA)

梁 吾 \*

(Oh Yang)

## 요 약

본 논문에서는 FPGA를 이용하여 산업용 구동장치로 널리 사용되고있는 유도 전동기의 디지털 전류 제어 시스템을 구현하였다. 이를 위해 VHDL을 이용하여 FPGA를 설계하였으며 이 FPGA는 PWM 발생부, PWM 보호부, 회전속도 검출부, 프로그램 폭주 방지부, 인터럽트 발생부, 디코더 로직부, 신호 지연 발생부 및 디지털 입·출력부로 각각 구성되어있다. 본 FPGA의 설계시 고속처리의 문제점을 해결하기 위해 클럭 전용편을 활용하였으며 또한 40 MHz에서도 동작할 수 있는 삼각파를 만들기 위해 업다운 카운터와 래치부를 병렬 처리함으로써 고속화하였다. 특히 삼각파와 각종 레지스터를 비교 연산할 때 많은 팬아웃 문제에 따른 게이트 지연(gate delay) 요소를 줄이기 위해 병렬 카운터를 두어 고속화를 실현하였다. 아울러 삼각파의 진폭과 주파수 및 PWM 파형의 데드 타임 등을 소프트웨어적으로 가변 하도록 하였다. 이와 같은 기능들을 FPGA로 구현하기 위하여 퀵로직(Quick Logic)사의 pASIC 2 SpDE와 Synplify-Lite 합성툴을 이용하여 로직을 합성하였다. 또한 Verilog HDL 환경에서 최악의 상황들(worst cases)에 대한 최종 시뮬레이션이 성공적으로 수행되었다. 아울러 구현된 FPGA를 84핀 PLCC 형태의 FPGA로 프로그래밍 한 후 3상 유도 전동기의 디지털 전류 제어 시스템에 적용하였다. 이를 위해 DSP(TMS320C31-40 MHz)와 FPGA, A/D 변환기 및 전류 변환기(Hall CT) 등을 이용하여 3상 유도 전동기의 디지털 전류 제어 시스템을 구성하였으며, 디지털 전류 제어의 효율성을 실험을 통해 확인하였다.

## Abstract

In this paper, a digital current control system using a FPGA(Field Programmable Gate Array) was implemented, and the system was applied to an induction motor widely used as an industrial driving machine. The FPGA designed by VHDL(VHSIC Hardware Description Language) consists of a PWM(Pulse Width Modulation) generation block, a PWM protection block, a speed measuring block, a watch dog timer block, an interrupt control block, a decoder logic block, a wait control block and digital input and output blocks respectively. Dedicated clock inputs on the FPGA were used for high-speed execution, and an up-down counter and a latch block were designed in parallel, in order that the triangle wave could be operated at 40 MHz clock. When triangle wave is compared with many registers respectively, gate delay occurs from excessive fan-outs. To reduce the delay, two triangle wave registers were implemented in parallel. Amplitude and frequency of the triangle wave, and dead time of PWM could be changed by software. This FPGA was synthesized by pASIC 2 SpDE and Synplify-Lite synthesis tool of Quick Logic company. The final simulation for worst cases was successfully performed under a Verilog HDL simulation environment. And the FPGA programmed for an 84 pin PLCC package was applied to digital current control system for 3-phase induction motor. The digital current control system of the 3 phase induction motor was configured using the DSP(TMS320C31-40 MHz), FPGA, A/D converter and Hall CT etc., and experimental results showed the effectiveness of the digital current control system.

\* 正會員, 淸州大學校 電子·情報通信·半導體 工學部  
(Dept. of Electronic Engineering, Chongju University)

接受日字:1998年7月20日, 수정완료일:1998年10月17日

## I. 서 론

산업용 구동장치로는 직류전동기, 교류 서보 전동기 및 유도 전동기 등이 널리 사용되고 있다. 직류전동기는 자속 및 토오크 제어가 간단하여 가변속 구동장치로 널리 사용되었으나 정류자와 브러시가 존재하여 브러시에 대한 유지보수가 필요하고, 교류 서보전동기는 가격이 고가이며 높은 출력의 전동기를 쉽게 구할 수 없는 제약이 따른다. 그러나, 유도 전동기는 기계적인 구조가 견고하며 유지보수가 용이하다. 아울러 출력에 비해 소형이고 가격이 저렴한 여러 가지의 장점을 가지고있기 때문에 속도 제어나 서보 운전용으로 직류전동기를 대체할만한 특성을 보이고있는 추세이다<sup>[1]</sup>. 최근 들어 전력용 반도체인 IGBT의 발달과 초고속 연산용 프로세서 특히 DSP등이 출현함에 따라 유도 전동기가 가변속 운전용으로 많이 사용되고있는 추세이다.

유도 전동기의 가변속 제어방법으로는 V/F 제어나 슬립 주파수 제어방법이 사용되었으나 이와 같은 방법들은 순시토크 제어가 곤란하여 빠른 응답특성을 요구하는 서보 운전용으로는 많은 제약이 따른다. 이와 같은 문제점들을 해결할 수 있는 방법으로는 벡터 제어(vector control)를 들 수 있으며<sup>[2]</sup>, 이 제어기법을 사용하면 순시토크 제어가 가능하고 타여자 직류 전동기와 같은 제어 성능을 얻을 수 있다<sup>[3][4]</sup>. 이상과 같은 벡터 제어 방법을 구현하기 위해서는 전류 제어기의 성능이 매우 중요하게되며 우수한 성능의 전류 제어기를 어떻게 설계하는가는 전체 제어기의 성능을 좌우하게된다. 즉, 고기능의 제어를 위해서는 속응성이 요구되고 간단한 방법으로 디지털 전류 제어가 가능할 필요가 있다.

이를 위해 본 논문에서는 FPGA(Field Programmable Gate Array)<sup>[5]</sup>를 이용한 유도 전동기의 디지털 전류 제어 시스템을 구현하였다. 최근에 널리 사용되고있는 VHDL<sup>[6]</sup>을 이용하여 대규모 프로그램 어블 소자인 FPGA를 설계하였다.

본 설계에 내장되는 기능으로는 PWM 파형을 만들기 위해 삼각파의 반송파와 정현파를 비교하는 3상의 PWM 파형 발생기 및 각종 보호회로와 DSP를 이용한 디지털 제어를 위해 사용되는 여러 가지의 디코더 신호 발생과 고속의 DSP와 처리속도가 느린 입·출력을 인터페이스하기 위해 지연 신호를 만들고, 모터

의 속도와 위치정보를 얻기 위해 4채배 방식의 M/T 속도 측정기가 내장된다<sup>[7]</sup>. 또한 프로그램의 폭주를 방지할 수 있는 시스템 감시 타이머(watch dog timer)와 전원 투입시 직류 전원의 초기 충전(pre-charge)과 LED 및 각종의 입·출력을 제어하는 범용의 입·출력이 내장된다.

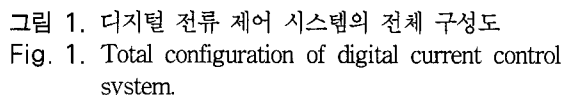
본 FPGA의 설계시 고속처리의 문제점을 해결하기 위해 클럭 전용핀들(dedicated clock inputs)을 활용하였으며 또한 40 MHz에서도 동작할 수 있는 12비트의 삼각파를 만들기 위해 연산부와 래치부를 병렬 처리함으로써 고속화를 구현하였다. 특히 삼각파는 FPGA 내부에 있는 3상의 U상, V상, W상의 레지스터와 각종 레지스터를 비교 연산해야하므로 복잡한 버스 구조로 인해 많은 팬아웃 문제와 시간 지연요소가 따른다. 이를 줄이기 위해 병렬 카운터를 두어 고속화를 실현하였다.

이와 같은 기능들을 FPGA로 구현하기 위하여 퀵 로직(Quick Logic)사에서 제공되는 pASIC 2 SpDE<sup>[5]</sup>와 Synplify-Lite 합성툴<sup>[8]</sup>을 이용하여 로직을 합성하였다. 또한 배치(place) 및 배선(route)의 과정을 거쳐 사용전압이 4.5V이며 접합온도가 125 °C인 최악의 상황(worst case)에 대한 최종 시뮬레이션을 Verilog HDL<sup>[9]</sup> 환경에서 행하여 원하는 제어 성능을 확인하였다. 또한 FPGA를 84 핀 PLCC 형태의 FPGA로 프로그래밍 한 후 3상 유도 전동기의 디지털 전류 제어 시스템에 적용하였다. 제어 시스템을 구현하기 위해 초고속 프로세서인 DSP(TMS320C31-40 MHz)와 본 논문에서 구현된 FPGA, A/D 변환기 및 전류 변환기(Hall CT) 등을 이용하여 3상 유도 전동기의 디지털 전류 제어 시스템을 구성하였으며, 실험을 통해 간단한 방법으로 디지털 제어가 가능함과 40 MHz에서도 우수한 성능을 실험을 통해 확인하였다.

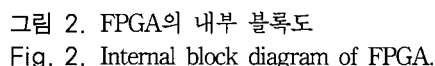
## II. 디지털 전류 제어 시스템 구성

FPGA를 이용한 3상 유도 전동기의 디지털 전류 제어 시스템의 구현을 위해 그림 1과 같이 구성하였다. 그림 1에서 DSP(Digital Signal Processor)는 TI사의 TMS320 계열(series)중 TMS320C31<sup>[10]</sup>을 나타내며 100us마다 anti-windup 형태의 PI 연산을 통한 전류 제어를 담당한다. 전류를 검출하기 위해 홀

이와 같은 FPGA의 설계는 디지털 전류 제어를 할 때 매우 중요한 역할을 하며 간단한 방법으로 속을 제어를 위해 반드시 필요하다. 이러한 FPGA는 84핀 PLCC 형태로써 퀵로직(Quick Logic)사의 FPGA이며 CMOS 기술로 3층 금속평면(3 metal layer)의 구조를 가지고 있으며 설계된 FPGA에 대한 내부 구조는 ASIC과 유사한 구조를 가지고 있어 고속의 연산이 가능하다.



유도 전동기의 디지털 전류 제어를 위한 FPGA의 내부 구성도는 그림 2와 같으며 이에 대한 주요 구성은 12 비트의 삼각파 PWM 발생부가 3상(U상, V상, W상)으로 구성되고, 각종 보호회로에 대한 PWM 차단(protection)부, 모터의 위치나 회전 속도를 검출할 수 있는 4채배의 M/T 방식의 속도 검출부, DSP의 폭주를 방지하는 위치독 타이머(watch dog timer)부, 삼각파의 침투치에서 발생하는 인터럽트 발생 로직부, DSP가 느린 소자와 인터페이스하기 위한 신호 지연 발생 로직부, 8개의 칩 선택신호를 만드는 디코더로직(decoder logic)부 및 5개의 디지털 입력과 5개의 디지털 출력 등으로 각각 구성된다.



처리속도가 빠른 DSP와 느린 메모리나 입·출력을 인터페이스하기 위해서는 DSP가 자동적으로 지연되는 것이 효과적이며 이를 위해 FPGA의 내부에서 RDYB 신호를 만들고 이를 DSP에 출력함으로써 시스템의 효율을 증대시킨다. 또한 DSP는 핀 웨이트 모드(pin wait mode)로 설정하여 각각의 소자에 따라 지연시간이 자동적으로 제어되도록 하였다.

FPGA의 내부에 있는 2 비트 레지스터를 이용하여 삼각파의 양의 첨두치(positive peak) 또는 음의 첨두치(negative peak)에 대해 인터럽트 출력핀인 IRQ를 통해 DSP에 인터럽트를 요구한다. 아울러 시스템 감시 타이머(watch dog timer)는 DSP의 폭주에 대비한 시스템 감시 장치로 매우 중요한 역할을 한다. 만약 DSP가 일정시간 시스템감시 타이머를 지우지 않으면 3상의 PWM 신호를 모두 차단하고 WDTO 신호가 낮은 전압(low voltage)으로 출력되어 프로그램의 폭주를 방지하는 회로에 응용된다. 본 논문에서는 WDTO 신호를 DSP의 전원 전압 감시용 소자인 TL7705의 리셋입력에 연결하여 강제적으로 리셋동작을 시켰다.

### 3. PWM 보호(protection)부

PWM 보호부의 기능은 PWM 운전시 과전류, 과전압, 저전압, 지락, 과열, 순시 정전 등 외부의 고장 신호가 들어오면 PWM 동작을 중단하여 시스템의 파손을 방지하는 역할을 한다. 전력 제어를 할 경우 이와 같은 보호회로는 필수적이며 여러 가지의 악조건을 가정하여 설계하므로 보호 입력신호는 총 8개로 구성되며 각각의 보호입력은 래치(latch)되는 구조로 되어 있다. 아울러 노이즈가 심한 환경에서 순간적인 노이즈(noise)가 보호편에 인가되어 갑자기 PWM이 차단되는 것을 보완하기 위해 모든 보호편에 디지털 필터가 내장되어 2 usec 이하는 오입력 즉, 노이즈로 처리하여 정상 동작되도록 하였다.

### 4. PWM(Pulse Width Modulation) 발생부

본 FPGA에는 3상의 전력을 제어하는데 필요한 U상, V상, W상의 PWM이 각각 내장되어 있다. 각상의 PWM은 동일 구조를 가지며, 3상 인버터와 컨버터 및 무정전 전원장치(UPS)를 구동하거나, 또는 단상의 전원을 만드는 경우 등 디지털 제어를 필요로 하는 곳에 적절히 사용될 수 있다. PWM은 전력 변환 장치에 있어 매우 중요하며, 설계된 PWM의 특징으로는 동작 주파수가 40 MHz로 매우 높고 U, V, W상의 데이터가 12 비트로 되어있다. 또한 각상에는 8 비트의 데드 타임 레지스터(dead time register)가 내장되어 직류 전원단(DC LINK)단의 단락을 방지할 수 있도록 되어있다.

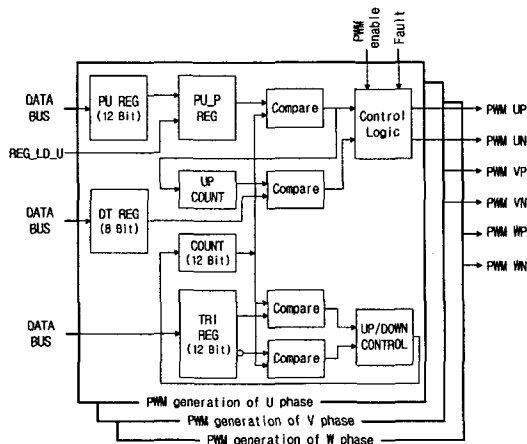


그림 3. PWM 발생부의 구성도  
Fig. 3. Configuration of PWM block.

이와 같은 3상의 PWM을 만들기 위해서는 삼각파가

필요하며, 삼각파 발생 레지스터(TRI\_REG)의 값을 바꾸어 캐리어(carrier) 주파수를 바꿀 수 있는 구조로 설계하였다. 아울러 U, V, W상의 PWM 레지스터들에 써넣어진 값은 삼각파의 첨두치에서 발생하는 REG\_LD\_U신호로 각각의 레지스터에 래치 된다. 이때 각상에 래치된 값과 삼각파 발생기의 12비트 카운터값이 비교기를 통해 출력되고 8 비트의 데드 타임 레지스터의 값과 8 비트의 데드 타임 카운터값이 비교된 후 제어 로직을 거쳐 PWM 신호가 출력된다. 이상과 같이 구성된 PWM 발생부의 전체적인 구성은 그림 3과 같다.

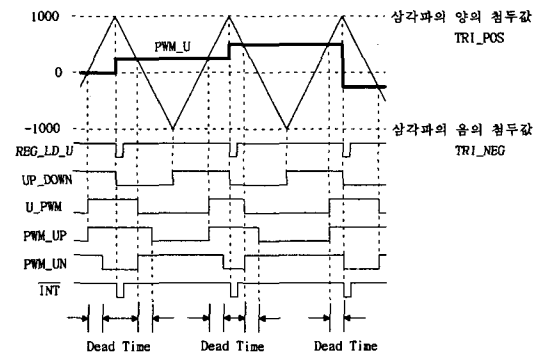


그림 4. PWM 신호에 대한 타이밍도  
Fig. 4. Timing chart of PWM signal.

그림 4는 3상의 PWM중 대표적으로 1상인 U상에 대한 PWM 신호에 대한 타이밍도를 나타내었다. 그림 4에서는 100 usec 마다 인터럽트를 발생하기 위하여 TRI\_REG에 1000을 설정한 예를 보이고 있다. 이 그림으로부터 알 수 있듯이 전원 투입 후에 DSP를 이용하여 삼각파의 최고치를 설정하면 FPGA 내부에서 2의 보수(-1000)를 취하여 음의 최고치가 설정되고 이때 업다운 카운터(up/down counter)가 양의 최고치(TRI\_POS)와 음의 최고치(TRI\_NEG)를 이동하며 삼각파가 발생된다. 이와 같이 삼각파의 양의 최고치에 도달했을 경우 인터럽트가 발생되고 인터럽트 서브루틴에서는 DSP에서 연산된 결과를 PWM\_U\_REG와 PWM\_V\_REG 및 PWM\_W\_REG에 각각 쓰기 동작을 하면 그림 4와 같은 3개의 PWM이 발생된다. 그러나, PWM에 각종 레지스터를 설정하기 전에 곧바로 PWM 신호가 발생되면 이상동작을 할 수 있으므로 DSP에 의해 PWM 발생시작 신호를 만들어줄 때 PWM 신호가 출력되도록 하였다. 아울러

PWM 보호입력 핀으로부터 고장신호가 들어왔을 때 PWM 출력은 높은 전압으로 되어 즉시 차단된다. 이상과 같은 PWM 발생부에 대한 VHDL 기술을 그림 5에 나타내었다.

그림 5의 VHDL 표현으로부터 알 수 있듯이 삼각파의 UP\_DOWN 신호와 삼각파의 카운터값인 Q 및 PWM의 U상에 쓰여진 레지스터 즉, PU\_P와의 조합에 의해서 U상의 보조 PWM 신호(U\_PWM)가 만들어지며 유사한 구조로써 V상(V\_PWM), W상(W\_PWM)이 각각 만들어진다. 아울러 앞에서 만들어진 U\_PWM 신호는 데드 타임 레지스터인 DT\_REG와 U상의 데드 타임 카운터인 up\_cnt가 비교되어 최종적으로 U상에 대한 PWM 신호가 FPGA에서 출력된다.

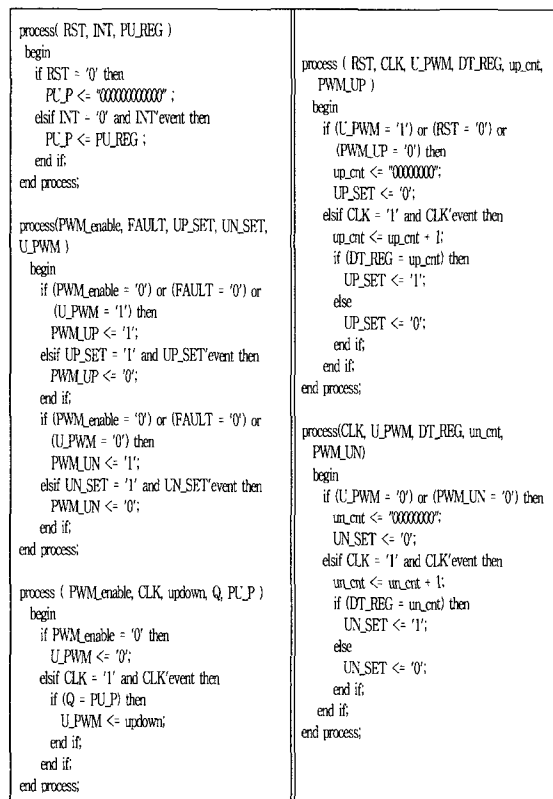


그림 5. PWM 신호 발생에 대한 VHDL 표현  
Fig. 5. VHDL description of PWM signal generation.

### 5. 속도 검출부

속도 검출부의 입력으로는 90°의 위상차를 갖는 2개의 구형파 신호 A, B가 각각 입력된다. 전동기의 회전속도를 검출하는 방법으로는 아날로그 방식과 디

지털 방식으로 나눌 수 있는데 아날로그 방식은 V/F 변환기를 사용하여 속도를 측정하는 방식으로 정밀도 면에서 떨어지므로 거의 사용하지 않고 있다. 그러나, 디지털 방식에는 엔코더(encoder)에 의한 샘플링 타임(sampling time) 동안의 입력펄스의 수를 세는 M 측정법과 입력펄스간의 시간간격을 읽어 그 역수를 취하는 T 측정법 및 위의 두 방법을 혼합한 M/T 방법으로 크게 나눌 수 있는데 이 중에서 세 번째의 M/T 측정 방법이 가장 오차가 작은 방법이므로 본 논문에서는 M/T 방법을 이용하여 속도를 검출하였다. 이 방법은 일정 시간 내에 들어온 펄스 수를 그 펄스들이 들어오는데 소요된 정확한 시간으로 나누어 속도를 계산하게 되는데 이를 소프트웨어로 구현하기 위해서 위치정보와 그 위치에 도달한 시각정보가 각각 쌍으로 필요하다. 그림 6은 속도 검출기의 내부 구성도를 나타내고 있다.

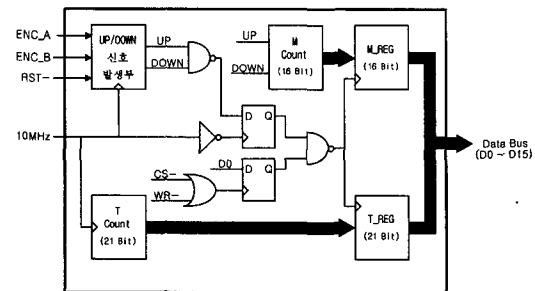


그림 6. 속도 검출부의 내부 구성도  
Fig. 6. Configuration of speed detection block.

그림 6에서 클럭은 40 MHz를 4분주한 10 MHz가 입력되고, ENC\_A와 ENC\_B는 각각 엔코더의 A상과 B상의 펄스를 나타내며 RST- 신호는 전원 투입시 초기화를 위한 리셋(reset) 신호다. 경과시간을 나타내는 T Count와 T\_REG는 충분한 시간을 측정하기 위해 21 비트로 구성하였으며 펄스 수를 세는 M Count와 M\_REG는 16 비트로 각각 구성하였다. 속도의 측정기간 동안에는 T Count, M Count 각각은 계수를 해야하지만 읽는 시점에서 카운터의 값이 변경 되면 정확한 M\_REG 및 T\_REG의 값을 읽을 수 없기 때문에 1 비트의 플립플롭(Flip-Flop)을 두어 속도 측정 시점에서 플립플롭의 출력을 "0"으로 쓰고 M\_REG와 T\_REG를 읽은 후 다시 "1"로 출력함으로써 속도 측정 에러를 방지하였다. 이상과 같은 속도 검출부에 대한 VHDL 기술을 그림 7에 나타내었다.



W 각상의 PWM\_U\_REG, PWM\_V\_REG 및 PWM\_W\_REG 레지스터에 쓰기 동작을 한 것을 각각 나타내고 있다.

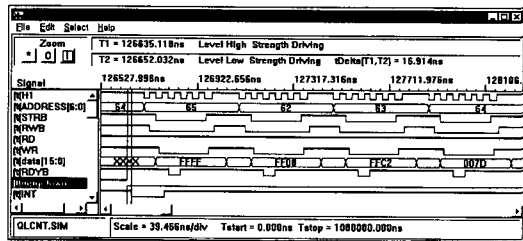


그림 10. 인터럽트 발생과 PWM 레지스터 쓰기 동작  
Fig. 10. Interrupt generation and write operation to PWM register.

아울러 그림 9 및 그림 10에서 PWM 레지스터에 쓰기 동작을 한 후 PWM 파형이 출력되는 시뮬레이션 결과를 그림 11에 나타내고 있다. 이는 디지털 제어에서 가장 중요시되는 3상 PWM 파형에 대한 시뮬레이션 결과이며 이로부터 알 수 있듯이 각상의 낮은 전압(low) 부분은 데드 타임 제어 로직으로부터 5 us 동안 서로 겹치지 않고 있음을 알 수 있다. 또한 PWM 보호핀에 고장신호(7E)가 입력되면 디지털 필터의 지연시간이후에 바로 PWM 신호가 높은 전압으로 되어 PWM 신호가 차단됨을 시뮬레이션 결과로부터 알 수 있다.

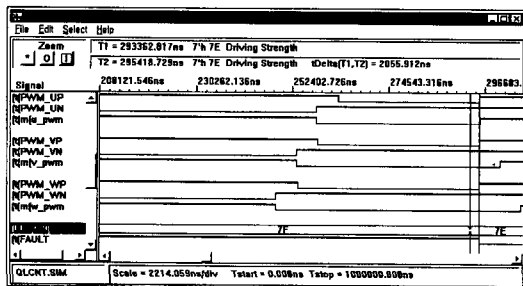


그림 11. 고장 신호 입력에 대한 3상 PWM 파형  
Fig. 11. 3 phase PWM waves for a fault signal input.

## VI. 실험 및 결과

설계된 FPGA에 대한 타당성을 검토하며 또한 이 FPGA를 이용한 3상 유도 전동기의 디지털 전류 제어 시스템을 구현하여 다음과 같이 실험하였다.

이를 위해 전체 제어 시스템의 구조는 그림 1과 같이 구성하였으며 디지털 전류 제어 알고리즘을 수행하는 DSP(TMS320C31-40 MHz)와 직렬 동기 통신을 이용해 수행코드(OP code) 및 데이터를 저장하는 32K 바이트인 초고속 메모리(처리속도 15 ns) 4개와 3상 유도 전동기에 흐르는 전류를 동일시간에 측정하기 위한 샘플·홀더(SMP11)와 12 비트의 분해능으로 변환 속도가 1.8 usec인 A/D 변환기(AD7891), 3상 IGBT 인버터 및 본 논문에서 설계된 FPGA로 각각 구성된다. 아울러 3상 유도 전동기는 1.5 KW 출력으로써 2극의 농형 유도 전동기를 실험 대상으로 하였다. 이때 모터의 속도측정 오차를 구하기 위해 가상 엔코더를 1회전에 1,000 펄스로 하였으며 정확한 표준을 잡기 위하여 함수 발생기(function generator)를 사용하였다. 또한, 2상의 A, B 신호를 만들기 위해 간단한 TTL 로직을 조합하여 90°의 위상차를 갖는 2개의 펄스를 FPGA의 ENC\_A, ENC\_B에 각각 입력하여 표1과 같은 실험 결과를 얻었다.

표 1. FPGA를 이용한 속도측정 오차표

Table 1. Speed measurement error table using FPGA.

ENC_A 및 ENC_B	가상 회전 속도[rpm]	측정된 회전 속도[rpm]	측정 오차 [%]
500 Hz	30	29.99991	0.00030
5 KHz	300	299.99956	0.00015
50 KHz	3000	2999.99057	0.00031

이 결과로부터 알 수 있듯이 설계된 FPGA를 사용하여 저속, 중속 및 고속 회전속도에 대한 속도 측정이 매우 정확함을 알 수 있다. 아울러 FPGA에서 출력된 3상의 PWM은 IGBT 인버터에 각각 입력된다. 이때 3상의 PWM 파형을 오실로스코프로 측정하여 그림 12와 같은 실제 실험 결과 파형을 얻었다. 그림 12에서 CH1은 PWM\_UP를 나타내며 CH2 파형은 PWM\_UN상을 CH3 및 CH4는 PWM\_VP, PWM\_VN 각각의 파형을 나타내고 있다. FPGA의 PWM 출력은 광소자를 통해 절연하여 IGBT에 입력되므로 낮은 전압 활성(low active) 신호이며, PWM\_UP와 PWM\_UN이 동시에 낮은 전압으로 되어서는 절대 안되며 이와 같은 것은 FPGA 내부의 데드 타임 제어에 의해 자동적으로 만들어진다. 본 논문에서는 5 usec의 데드 타임을 DSP에 의해 설정하

였고 이에 대한 측정 파형을 그림 12와 그림 13에 각각 나타내었다.

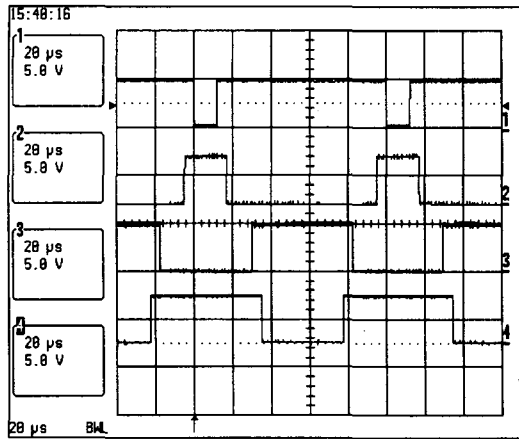


그림 12. 3상 PWM 파형에 대한 실험 결과 파형  
Fig. 12. Experimental result of 3 phase PWM waves.

그림 13에서 CH1과 CH2는 PWM\_WP 및 PWM\_WN을 나타내며 CH3은 고장 신호를 나타내고 있다. 이 실험 결과로부터 알 수 있듯이 고장 신호가 낮은 전압으로 입력되었을 때 PWM 파형의 변화를 나타낸 것으로, 고장 신호가 낮은 전압으로 입력되고 난 후 디지털 필터를 거친 후 PWM 파형이 높은 전압으로 출력됨을 확인할 수 있다.

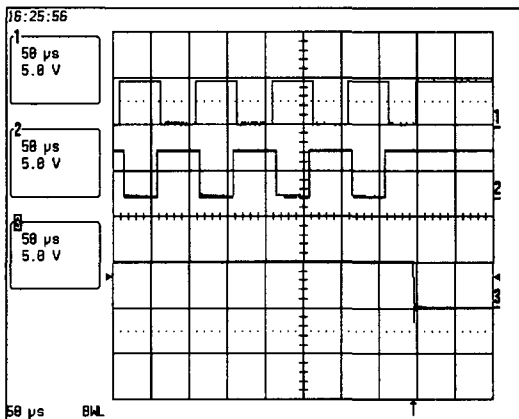


그림 13. 고장신호 입력에 대한 PWM 출력 파형  
Fig. 13. PWM output waves of a fault input.

그림 14는 DSP의 핀 웨이트 모드(pin wait mode)를 이용하여 각각의 소자에 대한 처리속도에 따라 자동적으로 지연신호가 삽입됨을 보이기 위해 DSP

에서 RAM과 A/D에 쓰기 동작을 한 결과를 나타내고 있다. 그림 14에서 CH1은 RAM의 선택신호를 나타내며 CH2는 WR-신호를 또한 CH3은 A/D의 선택신호를 각각 나타내고 있다. 이 실험결과로부터 알 수 있듯이 램(RAM)은 0 웨이트(0 wait)로 동작하고 있으며 A/D는 2 웨이트로 동작하고 있음을 알 수 있다. 즉, 램(RAM)에 대한 쓰기 동작의 경우 WR- 신호가 약 50 ns의 폭으로 출력됨을 확인할 수 있고, A/D 변환기에 쓰기 동작을 할 경우 WR- 신호가 약 150 ns의 폭으로 출력됨을 확인할 수 있다.

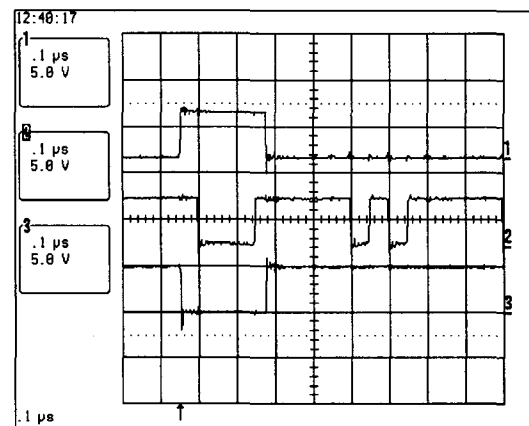


그림 14. 웨이트 제어에 대한 쓰기 신호의 파형  
Fig. 14. Write waves of wait controls.

이제 3상 유도 전동기의 디지털 전류 방법을 알아 보기로 한다. 앞에서 구현된 모든 기능들을 이용하여 그림 15와 같이 간단한 방법으로 3상의 전류를 제어할 수 있다. 그림 15에서 먼저 DSP는 100 usec마다 인터럽트를 수행하게되며 이때 3상에 흐르는 전류를 동일 시점에서 측정하기 위하여 샘플·홀더를 사용하여 홀드(hold)한 후 3상의 전류를 A/D 변환기를 통해 계측한다. 아울러 다음 인터럽트에서 계측하기 위해 샘플링을 하게되며 계측된 3상의 정지좌표 전류를 2상의 회전좌표로 변환한다. 이때 2상의 전류를 원하는 목표값과 PI 제어한 후 데드 타임을 보상한다. 이와 같이 얻어진 결과값을 다시 3상의 정지좌표로 변환하여 FPGA의 U, V, W상의 PWM 레지스터에 각각 쓰기 동작을 완료함으로써 3상 유도 전동기의 디지털 전류 제어가 이루어진다.

이상과 같은 실험들로부터 측정된 3상의 유도 전동기에 흐르는 전류의 파형을 그림 16에 나타내었다. CH1과 CH2와 CH3은 각각 U상, V상, W상에 흐르



는 전류 파형을 나타내며, 각각의 전류는  $120^\circ$ 의 위상차를 나타내고 있고 간단한 방법으로 3상의 전류 제어가 가능함을 알 수 있다.

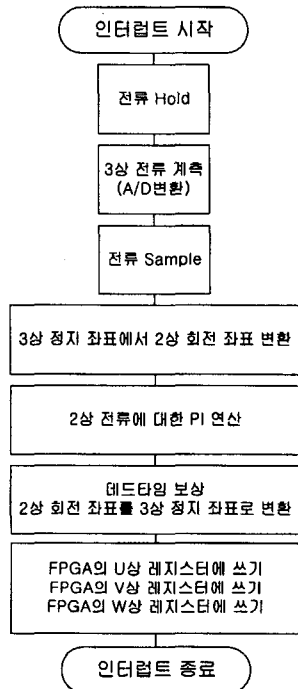


그림 15. 디지털 전류 제어 프로그램의 흐름도  
Fig. 15. Flow chart of digital current controls.

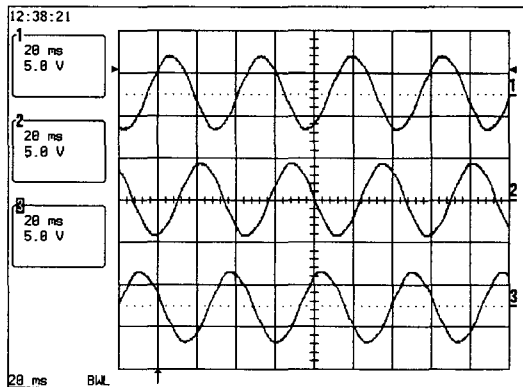


그림 16. 유도 전동기의 3상에 흐르는 전류의 파형  
Fig. 16. 3 phase current waves of an induction motor.

## VII. 결 론

본 논문에서는 FPGA를 이용하여 3상 유도 전동기의 디지털 전류 제어 시스템을 구현하였다. 이를 위해 퀵로직(Quick Logic)사에서 제공하는 VHDL 설계툴

(design tool)인 pASIC 2 SpDE를 이용하여 Verilog HDL 환경에서 시뮬레이션이 성공적으로 수행되었으며, 84 핀 PLCC 형태의 FPGA로 프로그래밍 하여 실제 3상 유도 전동기의 디지털 전류 제어 시스템에 적용하였다. 본 FPGA의 설계에 있어서는 고속 연산처리를 위해 클럭 전용핀을 활용하였고, 아울러 PWM 파형을 만들 때 기본이 되는 삼각파를 만들기 위해 연산부와 래치부를 분리하여 설계함으로써 고속화를 실현하였다. 또한 삼각파와 FPGA내부의 각종 레지스터를 비교 연산할 때 많은 팬아웃에 따른 신호지연을 줄이기 위해 병렬로 카운터를 설계함으로써 고속연산을 실현하였다. 설계된 VLSI는 동작 주파수가 40 MHz로 매우 빠르고, VHDL로 기술되었기 때문에 새로운 기능을 쉽게 추가 또는 삭제할 수 있다. 본 논문에서는 설계된 FPGA와 DSP (TMS320C31-40 MHz)를 함께 사용하였으며 이를 3상 유도 전동기의 디지털 전류 제어 시스템에 적용하여 우수한 성능을 실험을 통해 확인하였다. 아울러 전력을 변환할 때 반드시 필요로 하는 3상의 PWM 신호를 완전히 디지털 방식으로 구현하였고, 또한 모터의 속도나 위치 제어를 할 때 모터의 회전속도 측정 알고리즘을 하드웨어적으로 구현하여 매우 고정밀의 속도가 계측됨을 실험을 통해 확인하였다. 앞으로 본 논문의 결과를 기반으로 유도 전동기의 속도나 위치 제어 시스템 또는 무정전 전원 장치 시스템에 확대 적용할 예정이다.

## 참 고 문 헌

- [1] K. Kenzo, O. Tsutomu, and S. Taskashi, "Application Trends in AC Motor Drives," IEEE IECON'92, pp.31-36, 1992
- [2] B. K. Bose, "POWER ELECTRONICS AND AC DRIVES," Prentice-Hall, 1995.
- [3] R. Gabriel, W. Leonhard and C.J. Nobody, "Field-oriental control of a standard ac motor using microprocessors," IEEE Trans. Ind. Appl., vol. IA-16, no. 2, pp. 186-192, 1980.
- [4] S. Sathikumar and J. Vithayathil, "Digital simulation of field-oriented control of induction motor," IEEE Trans. Ind. Elec., vol. IE-31, no. 2, pp. 141-148, 1984.

- [ 5 ] Quick Logic, "Quick Works User's Guide with SpDE Reference," 1996.
- [ 6 ] R. Lipsett, C. Schaefer, "VHDL : Hardware Description and Design," KALA, 1991.
- [ 7 ] T. OHMAE, T. MATSUDA, K. KAMIYAMA, "A Microprocessor-Controlled High-Accuracy Wide-Range Speed Regulator for Motor Drives," IEEE Trans. Ind. Elect., vol. IE-29, no. 3, pp. 207-211, 1982.
- [ 8 ] Quick Logic, "Synplify-Light Verilog and VHDL Synthesis User's Guide for Quick Works version 5.1," 1995.
- [ 9 ] Quick Logic, "The VERILOG *Golden* REFERENCE Guide," 1997.
- [ 10 ] Texas Instruments, "TMS320C3X User's Guide," 1993.

---

 저 자 소 개
 

---



梁  浬(正會員)

1983년 2월 한양대학교 전기공학과 졸업. 1985년 2월 한양대학교 대학원 전기공학과 졸업(석사). 1985년 1월 ~ 1997년 8월 LG산전 연구소 책임연구원. 1997년 2월 한양대학교 대학원 전기공학과 졸업(박사). 1997년 9월 ~ 현재 청주대학교 전자·정보통신·반도체공학부 전임강사. 1997년 10월 ~ 현재 IDEC Working Group 참여교수. 주관심분야는 디지털 논리회로 및 ASIC 설계, DSP 응용 제어