

論文 98-35C-11-7

# CMOS 선형 가변 트랜스컨덕터

## (A CMOS Linear Tunable Transconductor)

林 台 洙 \* , 崔 太 燮 \*\* , 司 空 石 鎭 \*\*

(Taesoo Yim, Taesup Choi, and Sugchin Sakong)

### 요 약

본 논문에서는 넓은 입력 전압 범위에 걸쳐 좋은 선형성을 보여주는 가변 트랜스컨덕터를 제안한다. 제안된 트랜스컨덕터는 선형 영역에서 동작하는 입력 MOS 트랜지스터를 사용하여 회로의 구성이 간단하고 좋은 가변성을 갖고  $6.8V_{P-P}$ 의 넓은 입력범위를 갖는다. 또한 소오스-결합 차동쌍을 이용하여 실질적인 차동 입력을 제공하고 정과 부의 트랜스컨덕턴스 값을 제공한다. 제안된 회로는  $1.2\mu m$  single poly double metal n-well CMOS 공정을 사용하여 제작되었다. 제안된 회로의 THD 특성은  $V_{DD} = -V_{SS} = 5V$ ,  $I_B = 20, 40\mu A$ 이고 입력 신호 주파수가 1KHz일 때  $6V_{P-P}$ 의 차동 입력전압에 대해 1% 미만을 보여준다.

### Abstract

In this paper, tunable transconductor shows good linearity over a wide input voltage range are proposed. The proposed transconductor employ operating in the nonsaturation(ie., linear) region to improve circuit simplicity and tunability and  $6.8V_{P-P}$  wide input range. Also the circuit employ source-coupled differential pair to provide true differential input and can achieve both positive and negative transconductance values. The proposed circuits are implemented using a  $1.2\mu m$  single poly double metal n-well CMOS technology. The THD characteristic of proposed circuit is less than 1% for a differential input voltage of up to  $6V_{P-P}$  when supply bias condition is  $V_{DD} = -V_{SS} = 5V$ ,  $I_B = 20, 40\mu A$ , and frequency of input signal is 1KHz.

### I. 서 론

가변 트랜스컨덕턴스 셀들은 연속시간 신호처리에서 사용되는 필터나 신경망과 같은 아날로그 시스템 설계에 있어 신호를 전류의 형태로 처리하므로 회로 내부의 각 노드들이 낮은 임피던스를 갖게되어 고주파 동작이 유용한 소자이다. 이러한 아날로그 시스템에서 트랜스컨덕턴스 셀들의 특성은 회로 구성에 의해 영향을 받으며 트랜스컨덕턴스의 성능(선형성, 속도, 잡음

등)을 개선하기 위한 여러 기술들이 제안되어 왔다.<sup>[1-13]</sup> 이러한 구조들은 MOS 트랜지스터의 사용 영역에 따라서 크게 두가지 부류로 나눌 수 있다. 그 첫째가 MOS 트랜지스터의 포화 영역을 사용하는 방법으로 입력력 전압-전류 관계식이 이차식인 것을 이용하는 것이고<sup>[1-5]</sup> 두 번째 방법은 MOS 트랜지스터의 선형 영역에서의 특성을 이용하여 구현하는 방법이다.<sup>[6-13]</sup> 그림 1은 MOS 트랜지스터의 포화 영역을 사용하는 방법들을 나타낸 것으로 이 경우 입력 신호가 커지면 출력 신호의 선형성이 감소되는 단점이 있다. 그림 2는 MOS 트랜지스터의 선형 영역에서의 특성을 이용하는 방법이며 최근에 회로의 구성이 간단하고 좋은 가변 능력을 갖는 장점으로 많이 채택하는 추세이다.

\* 正會員, 韓國通信研究開發本部

(Korea Telecom Research &amp; Development Group)

\*\* 正會員, 國民大學校 電子工學科

(Dept. of Electronics Engineering Kookmin Univ.)

接受日字:1998年2月19日, 수정완료일:1998年9月25日

본 논문에서는 선형영역에서 동작하는 입력 MOS 트랜지스터의 특성을 이용한 새로운 바이어스 케환 소오스-결합쌍을 사용하여, 넓은 입력전압 범위에 걸쳐 좋은 선형성을 보여주는 가변 트랜스컨덕터를 제안한다.

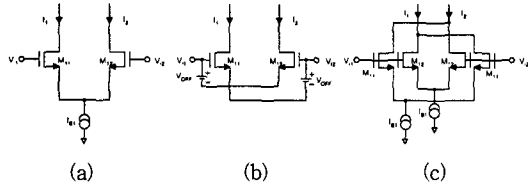


그림 1. 포화 영역을 이용한 트랜스컨덕터 구조 (a) MOS 트랜지스터를 이용한 단순 차동쌍 (b) Class-AB 입력단 회로 (c) 두 개의 차동쌍을 이용한 트랜스컨덕터 회로

Fig. 1. Circuit of transconductor using saturation region. (a) Simple differential pair using MOS TR (b) Class-AB input stage (c) Transconductor circuit using two differential pair

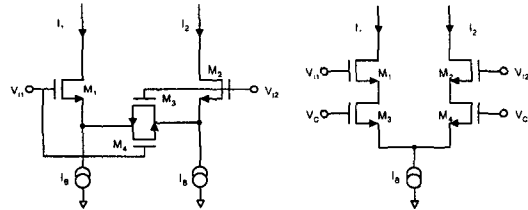


그림 2. 선형 영역을 이용한 트랜스컨덕터 회로  
Fig. 2. Transconductor circuit using linear region.

II. 선형 트랜스컨덕터의 기본 구성

케환루프를 갖는 제안된 트랜스컨덕터의 기본 구성이 그림 3이다. 그림에서 p-MOS 트랜지스터 M<sub>1</sub>은 인가된 입력전압을 전류로 변환하는 입력 트랜지스터이고 p-MOS 트랜지스터 M<sub>2</sub>와 M<sub>3</sub>는 바이어스를 위해 사용한다. 트랜지스터 M<sub>4</sub>는 일정 전압 V<sub>DS1</sub>을 갖는 루프를 만들기 위한 전류-선트 케환 구조에 사용한다. 트랜지스터 M<sub>1</sub>이 일정한 드레인-소오스 전압 V<sub>DS1</sub>을 갖고 선형영역에서 동작하기 때문에 전류-전압특성을 다음과 같다.

$$I_{D1} = \left(\frac{W}{L}\right)_1 \mu_p C_{ox} V_{DS1} \left[ V_{GS1} - V_{TP} - \frac{1}{2} V_{DS1} \right] \quad (1)$$

위의 근사 모델식은 드레인-소오스와 소오스-기판 전

압이 일정하므로 트랜지스터의 전류-전압 특성이 거의 정확함을 알 수 있다.

V<sub>DS1</sub>은 포화영역에서 동작하는 M<sub>2</sub>와 M<sub>3</sub>의 게이트 전압과의 차와 같고 일정 전류 I<sub>B1</sub>을 유도한다. 트랜지스터 M<sub>1</sub>의 드레인-소오스 전압 V<sub>DS1</sub>은 다음과 같다.

$$V_{DS1} = \left[ \frac{2 I_{B1}}{K_P \left(\frac{W}{L}\right)_2} \right]^{\frac{1}{2}} - \left[ \frac{2 I_{B1}}{K_P \left(\frac{W}{L}\right)_3} \right]^{\frac{1}{2}} \quad (2)$$

트랜지스터 M<sub>2</sub>의 소자 크기가 M<sub>3</sub>보다 클 경우 전압 V<sub>DS1</sub>은 음이 되고 단지 바이어스 전류 I<sub>B1</sub>에 의해 영향을 받는다.

케환 트랜지스터 M<sub>4</sub>는 M<sub>1</sub>의 드레인-소오스 전압 V<sub>DS1</sub>이 구동 입력전압 V<sub>GS1</sub>의 변화에도 일정한 값을 유지하기 위해 전류-선트 케환에서 동작한다. 케환 트랜지스터 M<sub>4</sub>에 흐르는 전류는 다음과 같다.

$$I_{OUT} = I_{D1} - I_{B1} \\ = \mu_p C_{ox} \left(\frac{W}{L}\right)_1 \left[ (V_{GS1} - V_{TP}) V_{DS2} - \frac{V_{DS2}^2}{2} \right] - I_{B1} \quad (3)$$

식 (3)은 트랜지스터 M<sub>1</sub>의 전자 이동도가 트랜지스터 M<sub>1</sub>의 게이트-소오스 전압과 독립적이면 V<sub>GS1</sub>에 대해 전류 I<sub>DS4</sub>가 선형 독립이라는 것을 보여준다.

기본 회로 구성의 트랜스컨덕턴스 g<sub>m</sub>은 다음과 같다.

$$g_m = \mu_p C_{ox} \left(\frac{W}{L}\right)_1 |V_{DS1}| \quad (4)$$

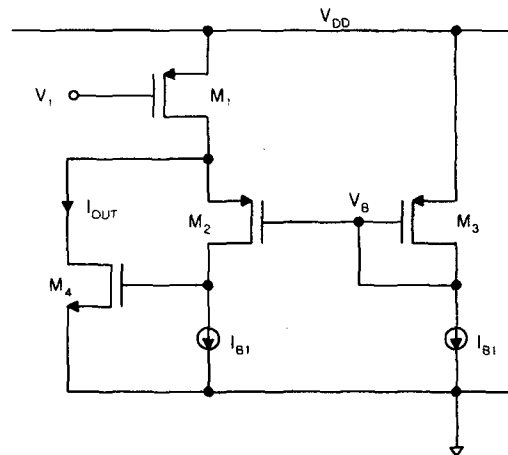


그림 3. 제안된 트랜스컨덕터의 기본회로 구성  
Fig. 3. The basic circuit diagram of the proposed transconductor.

그림 1 기본 회로의 트랜스컨덕턴스는  $V_{DS1}$ 에 비례한다. 따라서 식 (4)에서와 같이  $I_{B1}$ 의 값을 변화시키므로 트랜스컨덕턴스값을 간단하게 조정할 수 있다. 그러므로 이 회로는 연속시간 필터 응용에 전기적인 가변 선형 트랜스컨덕터로 사용할 수 있다. 기본 회로의 시뮬레이션 결과가 그림 4에 도시되어 있다. 전류  $I_{DS4}$ 는 입력전압에 비례한다. 트랜스컨덕터는 큰 대역폭을 갖는데 그 이유는  $V_{DS1}$ 이 일정하기 때문이다. 즉, 기본회로의 구조는 밀러효과가 없다.

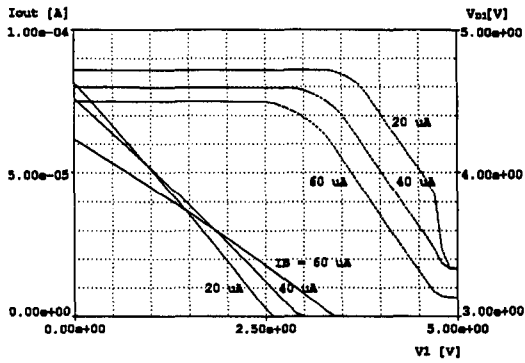


그림 4. 그림 1 트랜스컨덕터의 I-V 특성  
Fig. 4. I-V characteristics of the basic transconductor.

### III. 선형 트랜스컨덕터의 구현

실제로 선형 트랜스컨덕터에 인가된 입력신호는 동상모드 전압을 갖는 차동 전압이므로 차동 소오스-결합쌍을 사용한다. 그림 5는 트랜스컨덕터의 차동 구성을 보여준다. 여기서 트랜지스터  $M_1$ 과  $M_4$ 는 각각  $M_2$ 와  $M_5$ 에 매칭된다. 트랜지스터  $M_1$ 과  $M_2$ 는 선형영역에서 동작하고 트랜지스터  $M_3$ ,  $M_4$  그리고  $M_5$ 의 게이트-소오스간 전압은 입력전압이 변화해도 일정한 값을 갖는다. n-MOS 트랜지스터  $M_6$ 과  $M_7$ 은 궤환 트랜지스터로 동작한다. 트랜지스터  $M_3$ 와  $M_4$ 의 게이트-소오스간 전압은 궤환동작 때문에 일정한 값이다.  $V_{GS3}$ 와  $V_{GS4}$ 가 일정하므로  $V_{GS5}$  또한 일정한 값이다. 트랜지스터  $M_1$ 과  $M_2$ 의 일정한 드레인-소오스 전압은 여러 입력전압으로부터 얻을 수 있다. 즉,

$$V_{DS1} = V_{DS2} = \left[ \frac{2 I_B}{K_P \left( \frac{W}{L} \right)_4} \right]^{\frac{1}{2}} - \left[ \frac{2 I_B}{K_P \left( \frac{W}{L} \right)_3} \right]^{\frac{1}{2}} = V_K$$

(5)

(907)

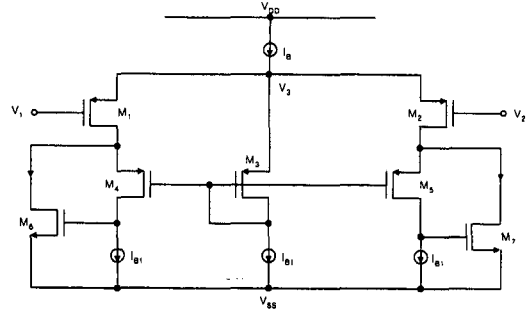


그림 5. 제안된 트랜스컨덕터의 차동 입력쌍  
Fig. 5. Differential-input pair of the proposed transconductor.

여기서  $V_K$ 는 바이어스 전류  $I_{B1}$ 에 의존하는 일정 전압이다. 제로 바이어스에서  $M_1$ 과  $M_2$ 에 흐르는 전류와 전압 관계식으로부터  $V_3$ 는 다음과 같다.

$$V_3 = \frac{(V_1 + V_2)}{2} + \frac{(I_B - I_{B1})}{K_P \left( \frac{W}{L} \right)_1} + \frac{V_K^2}{(V_K - V_{TP})} \quad (6)$$

식 (6)에서 우변의 첫 번째 항은 입력 동상모드 전압에서 잘 알려진 표현식이고 두 번째 항은 제로 바이어스 조건에서 구할 수 있다. 궤환 트랜지스터  $M_6$ 과  $M_7$ 의 전류 차이는 다음과 같다.

$$I_1 - I_2 = I_6 - I_7 = K_P \left( \frac{W}{L} \right)_1 (V_1 - V_2) V_K = g_m (V_1 - V_2) \quad (7)$$

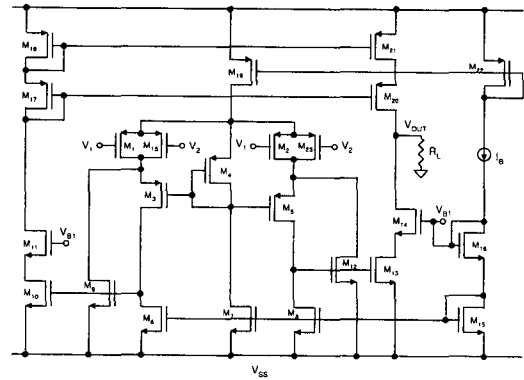


그림 6. 제안된 트랜스컨덕터의 전체회로 구성  
Fig. 6. Full circuit diagram of the proposed transconductor.

따라서 제안된 회로의  $g_m$ 은 다음과 같다.

$$g_m = \frac{2(I_1 - I_2)}{2(V_1 - V_2)} = K_P \left( \frac{W}{L} \right)_1 V_K$$

$$= K_P \left(\frac{W}{L}\right)_1 \left[ \frac{2 I_{B1}}{K_P \left(\frac{W}{L}\right)_3} \right]^{\frac{1}{2}} - \left[ \frac{2 I_{B1}}{K_P \left(\frac{W}{L}\right)_4} \right]^{\frac{1}{2}} \quad (8)$$

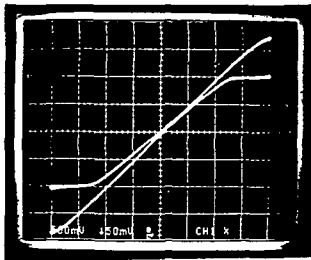
그림 6은 본 논문에서 제시한 트랜스컨덕터의 전체 회로 구조이다.

IV. 실험 결과 및 분석

본 논문에서 제안된 트랜스컨덕터는 1.2 μm single poly double metal n-well CMOS 공정을 사용하여 제작되었다.

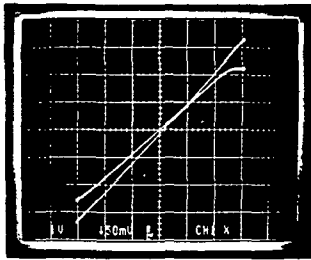
1. 입출력 특성

그림 7은 바이어스 전류가 각각 20 μA와 40 μA일 때 단일 입력과 차동 입력에 대한 dc 전달 특성이며 선형 영역에서 동작하는 입력 전압 범위를 보여준다.



X :  $\frac{V_{id}}{2}$  : 500 mV/div.  
Y :  $i_{DS}$  : 50 μA/div.

(a)



X :  $V_{id}$  : 1 V/div.  
Y :  $i_{DS}$  : 50 μA/div.

(b)

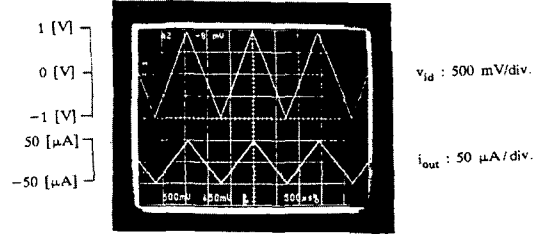
그림 7.  $I_B = 20, 40 \mu A$  일 때 ( $I_{OUT}$ ) 대  $V_{id}(= V_1 - V_2)$  특성 (a) 단일 입력 (b) 차동 입력

Fig. 7. ( $I_{OUT}$ ) vs.  $V_{id}(= V_1 - V_2)$  characteristics of the transconductor for  $I_B = 20, 40 \mu A$ . (a) differential input (b) single-ended input

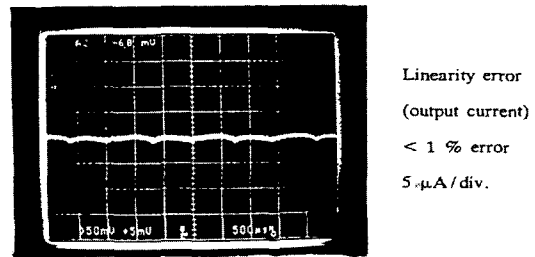
2. 선형 특성

그림 8은 제안된 트랜스컨덕터 회로의 선형성을 보여주는 특성으로 그림 8(a)는 바이어스 전류가 40 μA 이고 1KHz의 삼각파형을 인가했을 때 출력 전류의 변화를 나타내며 그림 8(b)는 삼각파 입력에 대한 출

력 전류의 선형 에러를 나타내는 것으로 그림에서와 같이 1% 미만임을 알 수 있다.



(a)



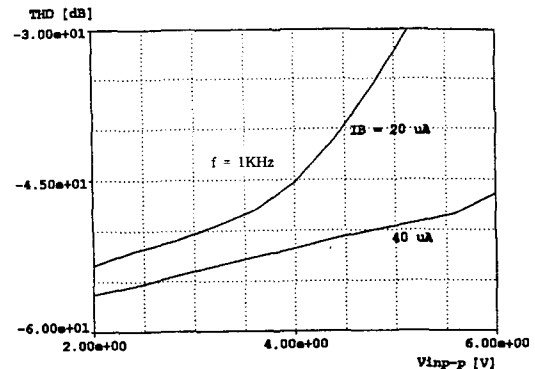
(b)

그림 8. 트랜스컨덕터의 선형 특성 (a) 삼각파 입력에 대한 입/출력 파형 (b) 선형 에러

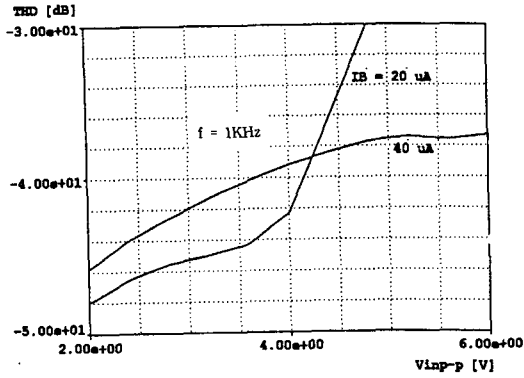
Fig. 8. Linearity characteristic of the transconductor. (a) input/output waveform for a triangular input. (b) linearity error.

3. THD 특성

그림 9는 입력 신호 주파수가 1KHz이고 바이어스 전류가 각각 20 μA와 40 μA일 때 단일 입력과 차동 입력에 대한 THD 특성을 나타낸 것이다. 그림 9(a)는 차동 입력의 경우 THD가 1% 미만인 입력 전압 피크치가 6.8V<sub>P-P</sub>임을 나타내고 그림9(b)는 단일 입력의 경우 3.7V<sub>P-P</sub>임을 보여준다.



(a)



(b)

그림 9. 트랜스컨덕터의 THD 특성 (a) 차동 입력 (b) 단일 입력  
Fig. 9. THD characteristics of the transconductor (a) differential input (b) single-ended input

그림 10은 제안된 트랜스컨덕터 회로의 Layout에 대한 사진이다.

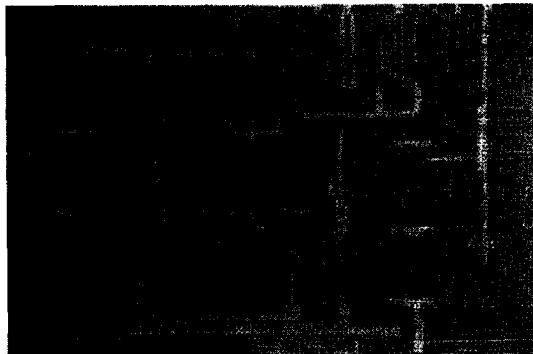


그림 10. 설계된 트랜스컨덕터의 레이아웃  
Fig. 10. Layout of the designed transconductor.

표 1. 제안된 트랜스컨덕터의 성능  
Table 1. The measured performances of the proposed transconductor.

Parameter	Value	Unit
Chip size	330 x 290	$\mu m^2$
Input range (THD < 1%)	3.7(single-ended) 6.8(fully-differential)	$V_{P-P}$
Bias current( $I_B$ )	40	$\mu A$
Cutoff Frequency	6.4	MHz
Transconductance	46.5	$\mu A/V$

표 2. 참고 문헌과 제안된 트랜스컨덕터와의 비교

Table 2. Comparison of the proposed and reported transconductor.

Parameter		Value	Unit
Proposed	Input Range		$[V_{P-P}]$
	o Single-ended	3.7	
	o Fully-Differential	6.8	
	Cutoff Frequency	6.4	[MHz]
Ref. [5]	Input Range		$[V_{P-P}]$
	o Single-ended	-	
	o Fully-Differential	5.5	
	Cutoff Frequency	-	[MHz]
Ref. [6] (Simulated)	Input Range		$[V_{P-P}]$
	o Single-ended	2	
	o Fully-Differential	>12	
	Cutoff Frequency	-	[MHz]
Ref. [13] (Simulated)	Input Range		$[V_{P-P}]$
	o Single-ended	5.7	
	o Fully-Differential	-	
	Cutoff Frequency	6.7	[MHz]

#### IV. 결론

제안된 트랜스컨덕터 회로는  $1.2\mu m$  single poly double metal n-well CMOS 공정으로 제작하였고 칩의 크기는  $330 \times 290 \mu m^2$ 이다. 그림 7은  $I_B$ 를 변수로한 단일 입력과 차동 입력에 대한 출력전류( $I_{OUT}$ )에  $V_{id}(= V_1 - V_2)$ 의 실험결과이다. 그림 8은  $I_B = 40\mu A$ 일 때 삼각파형 입력에 대한 선형 특성이다. 그림 9(a)는  $20K\Omega$ 의 부하에 대한 출력신호에  $V_{id-p-p}$ 의 THD 곡선을 측정하였다. THD는  $V_{DD} = -V_{SS} = 5V$ ,  $I_B = 20, 40\mu A$ , 그리고 입력 신호 주파수가 1KHz일 때 피크 대 피크 차동 입력전압이 6V까지 올라갈 때 충분히 작다는 것을 알 수 있다. 그림 9(b)는 6V까지의 단일 입력전압에 대한 THD 곡선을 측정하였다. 제안된 트랜스컨덕터의 성능을 표 1에 요약하였고 표 2에 참고 문헌과 제안된 트랜스컨덕터의 성능을 비교하였다. 본 논문에서는 새로운 바이어스회환 소오스 결합쌍을 이용하여 바이어스 전류만을 변화시킴으로서 트랜스컨덕터스 값을 간단하게 조절할 수 있는 가변 트랜스컨덕터 회로를 제안하고 실험을 통해 그 성능을 검증하였다. 제안된 트랜스컨덕터는 차동 입력의 경우  $6.8V_{P-P}$ 의 넓은 입력전압 범

위와 1% 미만의 작은 값의 출력전류 THD 특성을 얻을 수 있었다. 제안된 트랜스컨덕터는 연속시간 신호 처리에 필요한 OTA-C(Operational Transconductance Amplifier-Capacitor) 필터에서 전기적인 가변 트랜스컨덕터로 사용할 수 있을 것이다.

## 참 고 문 헌

- [1] A. Nedungadi and T. R. Viswanathan "Design of linear CMOS transconductance elements," *IEEE Trans., Circuit and Systems, CAS-31*, pp. 891-894, 1984.
- [2] M. G. Degrauwe and W. M. Sansen "The current efficiency of MOS transconductance amplifiers," *IEEE J. Solid-State Circuits, SC-22* pp. 349-359, 1984.
- [3] R. L. Geiger and E. Sanchez-Sinencio "Active filter design using operational transconductance amplifiers : A tutorial," *IEEE Circuits and Devices Mag.*, 20-32, 1985.
- [4] R. R. Torrance, T. R. Viswanathan and J. V. Hanson "CMOS voltage to current transducer," *IEEE Trans., Circuit and Systems, CAS-32*, pp. 1097-1104, 1985.
- [5] Y. P. Tsividis and Z. Czarnul "MOS transconductors and integrators with high linearity," *Electronics Letters*, pp. 245-246, 1985.
- [6] Z. Czarnul and Y. P. Tsividis "MOS tunable transconductor," *Electronics Letters*, pp. 721-722, 1986.
- [7] Z. Czarnul and Y. P. Tsividis "Independent tuning of quality factor and unity gain frequency in a transconductance-capacitance integrator," *Electronics Letters*, pp. 1026-1027, 1986.
- [8] T. L. Viswanathan "CMOS transconductance element," *Proceedings of IEEE*, pp. 222-224, 1986.
- [9] C.S. Park and R. Schaumann "A high-frequency CMOS linear transconductance element," *IEEE Trans., Circuit and Systems, CAS-33*, pp. 1132-1138, 1986.
- [10] E. Seevinck and R. F. Wassenaar "A versatile CMOS linear transconductor/square-law function circuit," *IEEE J. Solid-State Circuits, SC-22* pp. 366-377, 1987.
- [11] P. J. Ryan and D. G. Haigh "Novel fully differential MOS transconductor for integrated continuous-time filters," *Electronics Letters*, pp. 742-743, 1987.
- [12] M. Ismail "Four-transistor continuous-time MOS transconductor," *Electronics Letters*, pp. 1099-1100, 1987.
- [13] G. Wilson and P. K. Chan "Low-distortion CMOS transconductor," *Electronics Letters*, pp. 720-722, 1990.

## 저 자 소 개

林台洙(正會員) 第34卷 S編 第5號 參照

崔太燮(正會員) 第34卷 S編 第5號 參照

司空石鎮(正會員) 第33卷 B卷 第11號 參照