

論文98-35C-12-2

# 0.8 $\mu$ m CMOS 공정을 이용한 고성능 내장형 전류감지기의 구현 (Design of a High Performance Built-In Current Sensor using 0.8 $\mu$ m CMOS Technology)

宋根浩\*, 韓哲鵬\*\*

(Geun Ho Song and Seok Bung Han)

## 요약

본 논문에서는 CMOS VLSI 회로의 IDDQ 테스트를 위한 0.8 $\mu$ m single-poly two-metal CMOS 공정으로 제작된 고성능 내장형 전류감지기를 제안한다. 테스트 대상회로는 브리징 고장이 존재하는 4 비트 전가산기를 사용하였다. 크기가 다른 두 개의 nMOS를 사용하여 저항값이 다른 두 개의 브리징 고장을 삽입하였다. 그리고 게이트 단자를 제어하여 다양한 고장효과를 실험하였다. 제안된 내장형 전류감지기는 테스트 대상회로에 사용되는 클럭의 주기 끝에서 고장전류를 검사하여 기존에 설계된 내장형 전류감지기 보다 긴 임계전파지연 시간과 큰 면적을 가지는 테스트 대상회로를 테스트할 수 있다. HSPICE 모의실험과 같이 제작 칩의 실험결과 제안한 내장형 전류감지기가 회로 내에 삽입된 브리징 고장을 정확하게 검출함을 확인하였다.

## Abstract

In this paper, we propose a high-performance BICS(built-in current sensor) which is fabricated in 0.8 $\mu$ m single-poly two-metal process for IDDQ testing of CMOS VLSI circuit. The CUT(circuit under test) is 4-bit full adder with a bridging fault. Using two nMOSs that have different size, two bridging faults that have different resistance values are injected in the CUT. And controlling a gate node, we experimented various fault effects. The proposed BICS detects the faulty current at the end of the clock period, therefore it can test a CUT that has a much longer critical propagation delay time and larger area than conventional BICSs. As expected in the HSPICE simulation, experimental results of fabricated chip, demonstrated that the proposed BICS can exactly detect bridging faults in the circuit.

\* 正會員, 慶尙大學校 電子工學科

(Gyeongsang National University)

\*\* 正會員, 慶尙大學校 電子工學科, 生産技術研究所

(Gyeongsang National University, Research institute of Industrial Technology)

※ 이 논문은 1998년도 경상대학교 허영중 연구장학재단 학술연구조성비에 의하여 연구되었으며, 반도체 설계교육센터(IDEC)로부터의 부분적인 지원을 받아 이루어 졌음

接受日字:1998年9月7日, 수정완료일:1998年10月24日

## I. 서론

VLSI 회로의 복잡도가 증가하고 신뢰도에 대한 요구가 높아짐에 따라 제작된 칩의 테스트는 더욱 중요하게 되었다. 서브 마이크론(sub-micron) 설계 규칙의 적용으로 칩의 집적도가 증가하면서 기존의 고착 고장(stuck-at fault)으로 모델링되지 않는 새로운 결함들이 발생하고 있다. 이러한 결함들은 브리징(bridging)이나 개방(open) 형태의 고장들로 대부분 논리 고장을 발생하지 않아 전압 테스트 방식으로는 완벽한 검출이 불가능하여 새로운 테스트 방식이 필요

하게 되었다.

CMOS 회로에서 발생하기 쉬운 브리징 고장 (bridging fault)<sup>[1]</sup>이나 게이트 옥사이드 단락 고장 (gate-oxide short fault)<sup>[2,3]</sup>들은 논리 1과 0의 중간값을 가지게 되며, 신호지연을 발생시킬 수 있고, 시간이 경과함에 따라 그 상태가 더욱 악화되어 현장에서 사용 중에 시스템 내에서 고장을 발생하여 시스템의 신뢰도(reliability of system)를 현저하게 감소시킨다. 이러한 고장을 효과적으로 검출하기 위하여 IDDQ 테스트 방식이 활발하게 연구되고 있다. IDDQ 테스트 방식은 CMOS 회로 내의 고장 유무에 따라 크게 변화하는 정지상태의 전류값(IDDQ : quiescent current)을 관측하여 회로 내에 존재하는 다양한 형태의 고장을 용이하게 검출할 수 있는 방식이다<sup>[4]</sup>.

IDDQ 테스트는 전류를 측정하는 방법에 따라 외부 IDDQ 테스트 방법<sup>[5]</sup>과 내부IDDQ 테스트 방법이 있다<sup>[6,7,8,9,10,11,12]</sup>. 칩의 외부에서 전류를 테스트하는 방법은 외부의 테스트 장비가 테스트 대상회로에 비하여 상당히 큰 충전부하를 가지고 있어 고속 테스트가 불가능하고, 적은 전류의 검출이 어렵다. 또 전류를 측정하기 위하여 기존의 테스트 장비를 수정해야 하는 문제점을 가지고 있다.

이러한 문제를 해결하기 위하여 IC 내에 전류감지기를 내장한 IDDQ 테스트 기법이 제안되었다. 이 방식은 측정이 어려운 전류값의 변화를 대응하는 전압값의 변화로 관찰할 수 있도록 한 것으로 기존의 테스트 장비를 이용할 수 있는 장점이 있다. 그리고 테스트할 회로 내의 전류만을 기준전류와 비교함으로써 고장전류(faulty current)의 판별이 쉽고, 고속으로 테스트할 수 있다.

그러나 내장형 전류감지기는 감지회로의 삽입으로 칩의 면적이 증가되고, 큰 과도전류를 통과시키기 어려워 테스트 대상회로를 분할해야 한다는 단점들을 가지고 있어, 내장형 전류감지기를 효과적으로 적용하기 위한 많은 연구가 진행되고 있다. 논문 [6]에서 제안된 내장형 전류감지기는 회로차단기와 차동증폭기로 구성되었는데, BJT를 사용하여 구현이 어렵고 2 phase 클럭 신호를 사용하므로 클럭 생성을 위한 게이트들이 추가되어야 한다. 논문 [7]에서는 각 게이트에 2개의 MOS를 삽입하여 고장전류를 검출하는 방식으로 구현은 용이하지만, 테스트 대상회로의 게이트가 많아질수록 게이트 수의 2 배에 해당하는

nMOS가 필요하게 된다. 논문 [8]에서는 비교기, 이단증폭기, 래치, 회로차단기 등을 사용하여 내장형 전류감지기를 제안하였는데 BJT를 사용하여 구현이 어렵고 다섯 개의 제어신호가 필요하다. [10] 번 논문에서는 전압-전류 변환기, 레벨 변환기 및 적분회로로 구성하였는데, 일정한 천이전류가 흐르도록 테스트 패턴을 인가해야 하고 적분회로를 위한 저항과 캐패시터가 큰 면적을 차지한다. 논문 [11]에서는 다이오드를 사용하여 GND의 전위가 다이오드의 문턱 전압만큼 상승하고 2 phase 클럭 신호를 사용하므로 면적이 증가한다.

본 논문에서는 IDDQ 테스트 방식으로 CMOS 회로에 존재하는 브리징 고장, 게이트 옥사이드 단락 고장 등을 검출하기 위한 새로운 내장형 전류감지기를 제안한다. 제안된 내장형 전류감지기는 전류감지기, 레벨변환기, 비교기, 기준전압회로로 구성되며 단상클럭을 사용한다. 그리고 클럭의 주기 끝에서 고장전류를 검사하여 테스트 대상회로의 전파지연 시간이 한 주기와 거의 같아도 고장의 판별이 가능하다. 래치로 구성된 비교기는  $\mu$ A의 전류판별이 가능하고 출력은 고장이 검출될 때만 LOW가 되어 자동고장검출 기능을 가지고 있다. 본 논문에서 제안한 내장형 전류감지기는 0.8  $\mu$ m single-poly, two-metal 공정으로 제작되었다. 테스트 대상회로는 4 비트 전가산기를 사용하였고, 회로에 저항값이 다른 두 개의 브리징 고장을 삽입하였다. 브리징 고장은 두 개의 nMOS를 사용하여 구현하였는데, W/L의 크기를 다르게 하여 각 고장이 다른 저항값을 가지도록 하였다. 그리고 두 nMOS의 게이트 단지를 외부에서 제어할 수 있도록 하여 고장을 다양하게 조절할 수 있도록 하였다. 제작된 칩에 대하여 전압 테스트를 적용한 결과 삽입된 고장을 정확하게 검출하지 못하였다.

그러나 IDDQ 테스트를 적용한 결과 제안한 내장형 전류감지기가 삽입된 고장을 효과적으로 검출하였다. 또한 고장검출 전류의 설정을 다양하게 하여 삽입된 두 개의 고장에 대한 검출이 달라짐을 실험으로 알 수 있었다.

본 논문의 II장에서는 본 논문에서 제안하는 내장형 전류감지기의 구조에 대하여 설명하고, III장에서는 실제 칩의 구현에 대하여 기술한다. IV장에서는 모의 실험 및 제작된 칩의 측정 결과를 기술하고 V장에서 결론을 기술한다.

## II. 내장형 전류감지기의 설계

회로 내에 삽입되는 내장형 전류감지기는 표준 CMOS 공정으로 제작될 수 있어야 한다. 그리고 IC의 성능을 저하시키지 않도록 면적이 작아야 하고, 회로의 동작속도가 빨라야 하므로 캐패시터나 큰 저항의 사용은 지양해야 하며 전류 해상도가 높아야 한다. 본 논문에서 제안한 내장형 전류감지기는 전류감지기, 레벨변환기, 비교기 및 기준전압 회로로 구성된다.

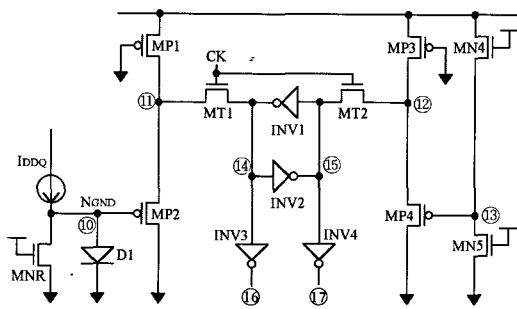


그림 1. 내장형 전류감지기의 회로도  
Fig. 1. Schematic of BICS.

그림 1은 본 논문에서 제안한 내장형 전류감지기의 회로도를 보여준다. 전류감지기는 테스트 대상회로에 흐르는 전류를 전압으로 변환시킨다. CMOS회로는 정지상태에서는 P-N 접합의 누설전류 이외에는 전류가 흐르지 않고 과도상태에서는 pMOS와 nMOS가 동시에 ON 되는 순간이 발생하여 큰 전류가 흐르게 된다. 가장 이상적인 전류감지기는 큰 전류가 흐르는 과도상태에서는 전압강하 없이 전류를 통과시킬 수 있어야 하고, 정지상태에서는 큰 전압강하가 발생하여 적은 전류의 검출도 가능한 회로이어야 한다. 그러나 이러한 조건을 모두 만족시키는 소자는 존재하지 않으므로 본 논문에서는 그림 1에서와 같이 nMOS와 다이오드를 병렬로 결합한 회로를 전류감지기로 사용한다. 테스트 대상회로의 전류가 전류감지기로 흘러 노드 N<sub>gnd</sub>의 전압이 0.7V 이상이 되면, 다이오드에 전류가 흐르게 되므로 고장전류를 판별하는 전압은 0.7V 이하가 되어야 한다. 다이오드 소자의 사용은 과도상태에서 과도전류가 흐를 때 테스트 대상회로에 인가되는 전압이 0.7V 낮아지거나 동작 시 논리 고장은 발생시키지 않으면서 약 10~15% 정도의 속도지연 만을 유발한다<sup>[11]</sup>.

테스트 대상회로에서 흐르는 전류는 전류감지기에서 전압으로 변환되며, 이 전압은 다이오드의 사용으로 인하여 0V에서 0.7V 사이에서 변화된다. 이러한 낮은 전압을 CMOS 회로에서 사용할 수 없으므로 본 논문에서는 CMOS 회로에서 동작이 가능한 전압으로 레벨 변환하여 사용한다. 레벨변환기는 낮은 전압을 CMOS 소자가 정상 동작할 수 있는 영역으로 레벨 변환시킬 수 있고, 테스트 대상회로가 고속으로 동작 시 비교기에 사용된 클럭과 캐패시터의 영향으로 IDDQ가 영향을 받을 수 있으므로 비교기와 테스트 대상회로를 완전히 분리하는 역할도 한다.

N<sub>gnd</sub> 노드는 테스트 대상회로와 다이오드에 의해 큰 캐패시터를 가지고 있으며, IDDQ가 안정화되는 데는 캐패시터가 방전하는 시간이 필요하다. 또 과도전류가 흐르는 시간은 테스트 패턴의 종류에 따라 다르게 되므로 과도전류가 흐르는 시간을 각각의 테스트 패턴에 대하여 예측하기가 어렵다. 따라서 고장전류의 검출 시점을 가능하면 한 주기의 끝에서 결정하여야 고장전류의 흐르는 시간이나 테스트 대상회로가 가지고 있는 캐패시터의 영향을 가장 적게 받는다. 본 논문은 과도상태에서 완전히 벗어난 후에 고장전류를 테스트하기 위하여 클럭의 주기 끝에서 고장전류를 검사하도록 설계하였다. 이 경우에 고장판별 결과가 다음 클럭의 첫 반주기에 나타나게 되지만, 테스트 속도를 증가시킬 수 있고, 같은 동작 주파수를 사용할 경우에 기존의 내장형 전류감지기 보다 긴 전파지연과 큰 면적을 가진 테스트 대상회로를 테스트할 수 있다<sup>[13]</sup>.

비교기는 두 개의 인버터로 구성된 래치이며, 과도전류가 흐르고 난 후 정지전류가 흐를 때 클럭 CK의 끝에서 트리거링 한다. 래치가 노드 14와 15의 전압을 비교하는 데 걸리는 시간은 MP1에서 공급하는 전류와 래치의 INV1에서 공급하는 전류에 의해 결정된다. INV3이 노드 14의 전압으로 Pass/Fail을 판별하게 되며, INV4는 래치의 양단에 균형을 맞추기 위한 부가 인버터이다. 래치로 구성된 비교기는 고장전류가 고장검출 전류보다 1 $\mu$ A라도 크면 검출이 가능하다. 비교기의 출력은 테스트 대상회로에서 전류가 고장검출 전류 이상이 흐르게 되면 다음 클럭의 첫 반주기에서 LOW로 나타나고, 기준전류 이하가 되면 HIGH로 나타난다. 이러한 출력은 과도전류와 고장전류를 구별하여 고장전류가 흐를 때만 출력이 LOW가 되어 자동적으로 결합 유무의 판별이 가능하다.

III. 테스트 칩의 제작

1. 내장형 전류 감지기의 구현

본 논문에서 제안된 내장형 전류감지기의 레이아웃은 COMPASS를 사용하였으며 (주)LG 반도체의 0.8 $\mu$ m single-poly, two-metal 공정으로 제작되었다. 그림 2는 내장형 전류감지기의 레이아웃을 나타낸다. 전류감지기에 사용된 nMOS(MNR)의 크기는 W/L을 4 $\mu$ m/1.6 $\mu$ m으로 설계하였고, 다이오드는 과도상태의 큰 전류를 통과시킬 수 있도록 20 $\mu$ m $\times$ 50 $\mu$ m로 충분히 크게 설계하였다. 레벨변환기에 사용된 MP1과 MP3의 W/L은 4 $\mu$ m/1.6 $\mu$ m으로 설계하였고, MP2와 MP4의 W/L은 40 $\mu$ m/0.8 $\mu$ m으로 설계하였다. MP1과 MP2로 구성되는 버퍼는 구동능력이 약하기 때문에 비교기의 INV1과 INV2의 크기는 nMOS의 경우 W/L을 1.6 $\mu$ m/0.8 $\mu$ m, pMOS의 경우 2.4 $\mu$ m/0.8 $\mu$ m으로 작게 설계하였다. 그리고 INV3과 INV4는 W/L을 4 $\mu$ m/0.8 $\mu$ m, 1.6 $\mu$ m/0.8 $\mu$ m로 하였다. 칩 제작 시 MN4와 MN5로 구성된 기준 전압회로는 설계하지 않고 13번 노드를 외부에서 직접 전압을 인가함으로써 기준 전압을 조절할 수 있도록 설계하여, 고장에 따라 고장검출을 다양하게 실험할 수 있도록 하였다.

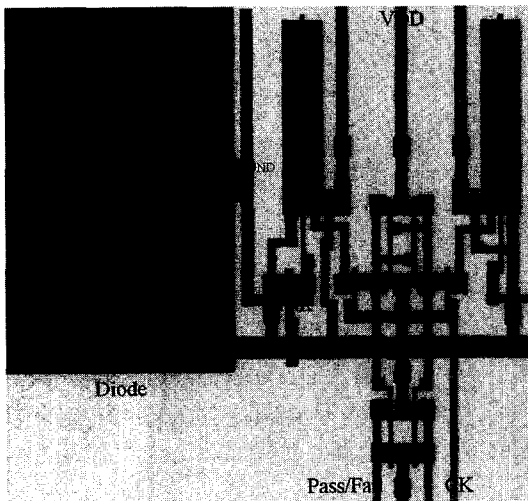


그림 2. 내장형 전류감지기의 레이아웃  
Fig. 2. Layout of BICS.

2. 테스트 대상회로 및 고장의 구현

테스트 대상회로는 4 비트 전가산기로 설계 시 nMOS 트랜지스터와 pMOS 트랜지스터의 비율 1 : 2.4로 하여, nMOS와 pMOS의 W/L의 크기를 각각 2.4 $\mu$ m/0.8 $\mu$ m, 5.6 $\mu$ m/0.8 $\mu$ m으로 설계하였다. 제작 시 테

스트 대상회로만 있는 회로, 테스트 대상회로에 고장을 삽입한 회로, 그리고 테스트 대상회로에 고장과 다양한 내장형 전류감지기를 삽입한 회로 등 여러 가지 형태의 회로를 설계하였다.

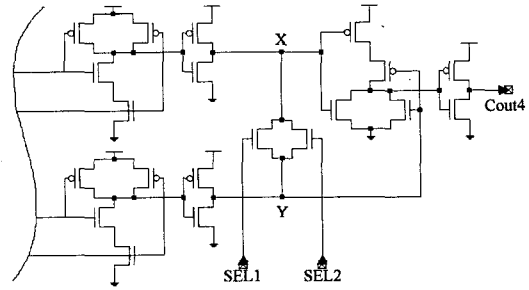


그림 3. 삽입된 브리징 고장의 회로도  
Fig. 3. Schematic of injected bridging fault.

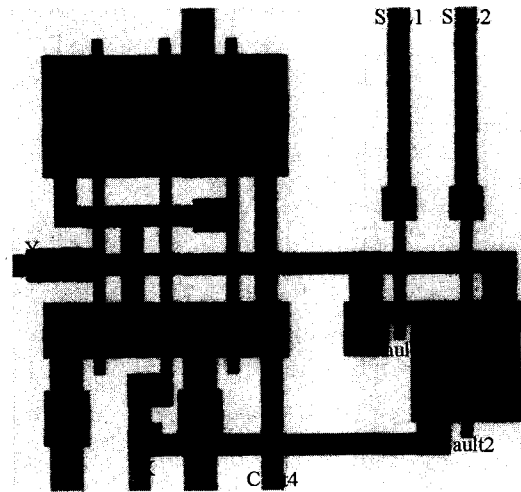


그림 4. 삽입된 브리징 고장의 레이아웃  
Fig. 4. Layout of injected bridging fault.

본 논문에서 테스트 대상회로에 삽입한 고장은 두 노드 사이의 브리징 고장으로, 그림 3은 삽입된 고장의 회로도를 나타내고 그림 4는 레이아웃을 나타낸다. 고장 위치는 4번째 캐리(Cout4)를 출력하는 OR 게이트의 두 입력 노드 사이로, 고장 효과를 다양하게 조정하기 위하여 그림 3과 같이 nMOS를 이용하여 구현하였다. 브리징 고장을 삽입하려는 두 노드 X, Y에 nMOS의 소오스 단자와 드레인 단자를 연결하고, 게이트 단자는 외부에서 제어할 수 있도록 하였다. 크기가 다른 2개의 nMOS를 사용하였는데, W/L의 크기를 각 1.6 $\mu$ m/0.8 $\mu$ m인 Fault1 고장과 8 $\mu$ m/0.8 $\mu$ m인

Fault2 고장을 설계하였다. 이렇게 크기가 다른 nMOS를 사용하여, 두 노드 사이에 서로 다른 저항성분을 가지는 브리징 고장이 존재할 수 있도록 하였다. 노드 X와 Y에 서로 다른 논리값이 도달하도록 테스트 패턴을 인가하고 두 nMOS의 게이트 단자인 SEL1이나 SEL2에 5V를 인가하여 ON 상태를 만들면, VDD에서 Fault1이나 Fault2를 거쳐 GND까지의 전류경로가 형성되어 고장전류가 흐르게 된다. Fault1 고장이 ON되면 저항이 크므로 적은 고장전류가 흐르고, Fault2 고장이 ON 되면 저항이 작아 많은 고장전류가 흐르도록 설계하였다. 또한 전류감지기의 설계시 고장검출 전류값을 외부에서 제어하도록 하여, 각 고장에 대한 적절한 고장검출 전류값의 설정도 실험할 수 있도록 하였다. 그리고 SEL1과 SEL2 단자에 0V를 인가하면 nMOS가 OFF 상태가 되어 테스트 대상 회로가 고장이 없는 정상회로로 동작하게 된다.

IV. 실험 및 검토

본 논문에서는 (주)LG 반도체의 0.8 $\mu$ m 공정 파라미터를 사용하여 Ultrasparc에서 HSPICE로 모의실험을 수행하였고 제작된 칩의 측정은 Lecroy 1GHz 칼라 오실로스코프(LC534AM)를 사용하였다.

1. 테스트 패턴

테스트 시에 사용한 입력 패턴은 논문 [14]에서 제안된 IDDQ 테스트를 위한 테스트 패턴 생성기를 이용하였는데, 표 1은 생성된 테스트 패턴을 나타낸다. Cin은 첫 번째 캐리 입력이고 A와 B는 가산될 4비트의 입력이다. 노드 X와 Y는 입력 패턴을 인가하였을 때 각 노드가 가지는 논리값을 나타내며, Cout4는 고장이 없는 정상상태 출력을 나타낸 것이다. IDDQ 테스트 방식으로 4 비트 전가산기에 존재하는 모든 브리징 고장을 검출할 수 있는 테스트 패턴은 총 6개인데, 이 중에서 본 논문에서 삽입된 브리징 고장을 검출할 수 있는 패턴은 P3과 P4이다. 이 두 패턴을 회로에 인가하면 삽입된 브리징이 존재하는 노드 X와 노드 Y의 논리가 서로 다른 값, 1과 0 또는 0과 1을 가지게 되어 VDD에서 GND로 고장전류가 발생하게 된다. 표 1에서 보는 바와 같이 나머지 패턴들은 노드 X와 Y에 같은 논리를 가지게 되어 고장이 존재하여도 고장 전류가 흐르지 않으므로 고장을 검출할 수 없

다.

표 1. 테스트 패턴  
Table. 1. Test pattern.

패 턴	Cin	A <sub>1</sub> A <sub>2</sub> A <sub>3</sub> A <sub>4</sub>	B <sub>1</sub> B <sub>2</sub> B <sub>3</sub> B <sub>4</sub>	노드 X	노드 Y	Cout4
P1	0	1 1 0 0	0 1 0 0	0	0	0
P2	1	1 1 0 1	0 0 0 0	0	0	0
P3	1	1 0 1 1	0 0 1 0	1	0	1
P4	1	1 1 1 1	1 0 0 1	0	1	1
P5	0	0 1 1 0	0 0 0 1	0	0	0
P6	x	0 0 0 x	1 1 1 x	x	x	x

2. 모의실험 결과

그림 5는 본 논문에서 제안한 내장형 전류감지기의 모의실험 결과이다. 설계된 다이오드의 캐패시터는 0.63p 정도이고 NGND 노드가 방전하는데 걸린 시간은 5~6nS 정도이므로 동작 주파수를 100MHz로 설정하였다. (a)는 클럭을 나타내는데 T1과 T4 클럭에서는 고장전류가 존재하지 않고, T2와 T3 클럭에서 각각 0.300mA와 0.302mA의 고장전류를 설정하였다. 그리고 고장검출 전류를 0.301mA로 설정하여 모의실험을 수행하였다. (b)는 노드 10과 13의 전압을 나타내고 (c)는 내장형 전류감지기의 Pass/Fail 출력 파형을 나타낸다.

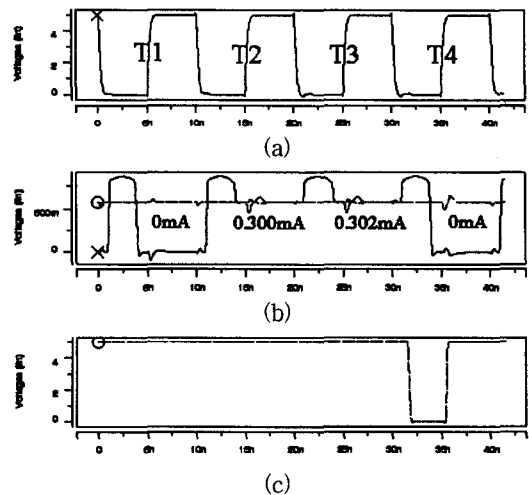


그림 5. 내장형 전류감지기의 모의실험  
(a) 클럭 (b) 노드 10과 13의 전압 (c) BICS의 Pass/Fail 출력  
Fig. 5. Simulation result of BICS.  
(a) Clock (b) Voltage of node 10 and 13 (c) Pass/Fail output of BICS

T2 클럭에서는 고장검출 전류보다 고장전류가 적게 흐르므로 고장으로 검출하지 않고 Pass 출력을 나타내었다. 그러나 T3 클럭에서는 고장전류가 고장검출 전류보다 더 많이 흐르므로 다음 클럭의 첫 반주기인 T4 클럭에서 출력이 Fail을 나타낸다. 이와 같이 본 논문에서 제안하는 내장형 전류감지기는 고장전류가 고장검출 전류보다  $1\mu$ A라도 크면 고장을 검출할 수 있다.

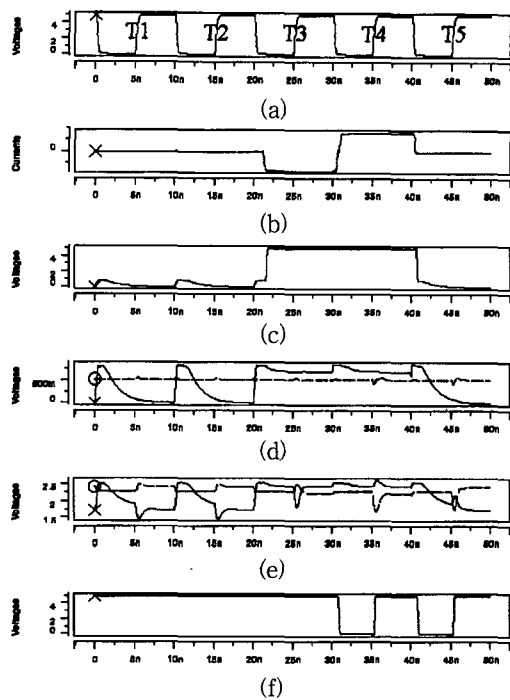


그림 6. 테스트 대상회로와 BICS의 모의실험 결과  
(a) 클럭 (b) 고장전류 (c) Cout4 (d) 노드 10과 13의 전압 (e) 노드 11과 12의 전압 (f) BICS의 출력전압

Fig. 6. Simulation result of CUT and BICS.  
(a) Clock (b) Faulty current (c) Cout4 (d) Voltage of node 10 and 13 (e) Voltage of node 11 and 12 (f) Output voltage of BICS

그림 6은 제작할 테스트 대상회로에 고장 Fault1을 삽입하고 BICS를 결합하여 모의실험을 수행한 결과이다. (a)는 클럭을 나타내는데, T1 클럭에서 T4 클럭까지 표 1의 P1에서 P4까지 인가하였다. (b)는 테스트 패턴에 의해 VDD에서 삽입된 Fault1 고장을 거쳐 GND로 전류 경로가 생겼을 때 흐르는 고장전류를 나타낸다. P1과 P2가 인가되었을 때는 고장이 존재하여도 노드 X와 Y의 논리가 같으므로 고장 전류가 흐

르지 않는다. 그러나 P3과 P4가 인가되었을 때에는 VDD에서 Fault1 고장을 거쳐 GND로 전류 경로가 형성되어 큰 고장 전류가 흐르는 것을 알 수 있다. (c)는 고장이 존재하는 OR 게이트의 출력(Cout4)을 나타내는데, 정상상태 출력과 고장이 존재할 때 출력이 같이 나타남으로 전압테스팅 방식으로는 삽입된 브리징 고장을 검출할 수 없음을 알 수 있다. (d)는 내장형 전류감지기의 10번 노드와 13번 노드의 전압을 나타내고 (e)는 11번 노드와 12번 노드의 전압을 나타낸다. 20ns~30ns 사이와 30ns~40ns 사이에서 고장전류에 의해 10번 노드가 13번 노드의 전압보다 높게 나타나며, 11번 노드가 12번 노드의 전압보다 높게 나타난다. (f)는 BICS의 고장 검출 파형으로 본 논문에서 제안하는 BICS는 다음 클럭의 첫 반주기에서 고장판별을 함으로 30ns~35ns와 40ns~45ns에서 정확하게 고장을 검출하여 출력을 LOW로 나타내었다.

### 3. 제작된 칩의 측정 결과

그림 7은 제작된 칩의 정상상태와 고장상태의 출력 파형을 나타낸 것이다. (a)는 클럭을 나타내는데 클럭 T1에서 T4까지 그리고 T5에서 T8까지 각각 표 1의 P1에서 P4까지 반복적으로 인가하였다. (b)는 Fault1 고장을 제어할 수 있는 SEL1의 입력 신호인데, T1에서 T4까지는 0V가 인가되어 고장이 없는 정상회로를 나타내며, T5에서 T8까지는 5V를 인가하여 nMOS를 ON 시킴으로서 테스트 대상회로에 Fault1 고장이 삽입된 상태를 나타낸다. 그리고 (c)는 SUM1 (d)는 SUM2 (e)는 SUM3 (f)는 SUM4의 출력 파형을 나타내고 (g)는 Cout4의 출력 파형이다. 고장이 존재하지 않는 T1~T4에서는 SUM1에서 Cout4까지 정확하게 동작하여 제작된 칩이 정상 출력 나타내었다. 그러나 고장이 존재하는 T5~T8에서는 SUM1에서 SUM4는 고장의 영향을 받지 않으므로 정상상태와 출력이 같이 나타나지만, 고장 영향을 받는 Cout4는 정상상태와 다른 출력을 나타내었다. 그림 6.(c)의 모의실험 결과에서는 P3과 P4를 인가하여도 Cout4가 정상상태와 같이 5V를 나타내어 논리고장을 발생하지 않았다. 그러나 실제로 제작된 칩을 측정된 결과 T7 클럭에서 P3이 인가되었을 때 Cout4가 0V를 출력하여 논리고장이 발생하였다. 반면 T8 클럭에서는 P4를 인가하여 고장이 활성화되었으나 Cout4는 5V로 논리

고장을 발생하지 않고 모의실험 결과와 같이 정상논리를 출력하였다.

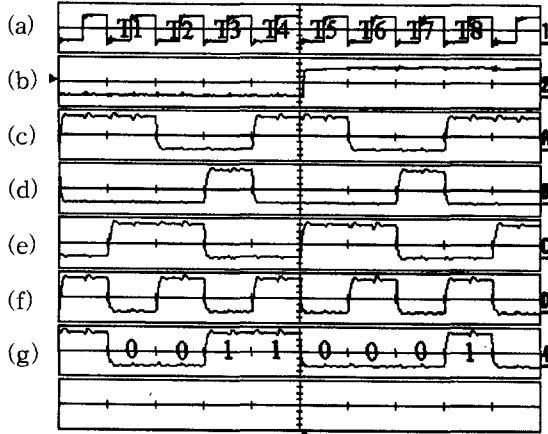


그림 7. 제작된 칩의 출력 파형  
 (a) 클럭 (b) SEL1 (c) SUM1 (d) SUM2 (e) SUM3 (f) SUM4 (g) Cout4  
 Fig. 7. Output waveform of fabricated chip.  
 (a) Clock (b) SEL1 (c) SUM1 (d) SUM2 (e) SUM3 (f) SUM4 (g) Cout4

실제 칩의 측정결과가 모의실험과 다르게 나타났는데, 이러한 이유는 레이아웃으로 고장을 구현할 때 X 노드에서 VDD나 GND까지의 저항과 Y 노드에서의 VDD나 GND까지의 저항값이 달랐기 때문이다. 그림 8은 테스트 대상회로에 삽입된 브리징 고장을 모델링한 것으로 노드 X는 GND, 노드 Y는 VDD에 연결된 상태를 나타낸다.  $R_H$ 와  $R_L$ 은 pull-up 트랜지스터와 pull-down 트랜지스터의 저항을 나타내며,  $R_X$ 와  $R_Y$ 는 앞단의 출력단자에서 입력까지의 상호연결 저항(interconnection resistance)을 나타낸다. 실제 레이아웃 상에서  $R_H$ 와  $R_L$ 은 거의 같은 저항값을 가지도록 설계되었다. 그러나 노드를 연결할 때  $R_X$ 의 저항이  $R_Y$ 의 저항보다 크게 구현되어, 전압 분배에 의해 노드 X의 전압이 노드 Y의 전압 쪽으로 전압레벨이 변하게 되었다. 브리징 고장을 구현하기 위한 nMOS의 ON 저항을  $R_{ON}$ 이라 하면, 정확한 노드 X의 전압과 노드 Y의 전압은 식 (1)과 (2)로 구해진다. 즉 P3에 의해 X 노드는 5V, Y 노드는 0V가 인가되지만, 브리징 고장에 의해 X 노드의 전압이 낮아져 Cout4의 두 입력이 모두 논리 0으로 인식되어 0V를 출력하였다. 그리고 P4에 의해 X 노드는 0V, Y 노드는 5V가 인가되지만, X 노드의 전압이 상승하여 Cout4의 두

입력이 모두 논리 1로 인식됨으로서 정상상태와 같이 5V를 출력한 것이다. 이와 같이 회로 내에 존재하는 브리징 고장은 stuck-at 고장으로 단순하게 모델링되지 않으므로, 전압 테스트 방식으로 브리징 고장을 정확하게 검출하기가 어렵다는 것을 알 수 있다.

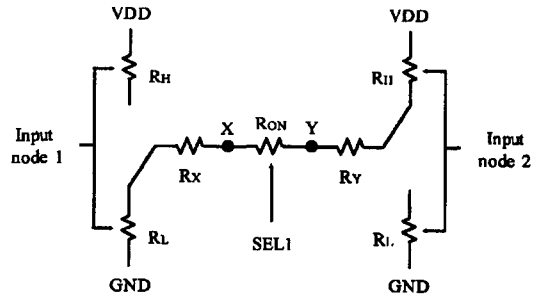


그림 8. 브리징 고장의 모델링  
 Fig. 8. Modeling of bridging fault.

$$V_X = VDD \cdot \frac{R_X + R_L}{R_H + R_Y + R_{ON} + R_X + R_L} \quad (1)$$

$$V_Y = VDD \cdot \frac{R_{ON} + R_X + R_L}{R_H + R_Y + R_{ON} + R_X + R_L} \quad (2)$$

그림 9는 제작된 내장형 전류감지기의 출력 파형을 나타낸다. (a)는 클럭을 나타내고 (b)는 SEL1의 입력 신호를 나타내는데, 그림 7에서와 같이 인가하였다. (c)는 Cout4의 출력으로 T7 클럭에서는 고장의 영향이 출력에 나타남으로 전압 테스트 방식으로 고장을 검출할 수 있으나, T8 클럭에서는 고장이 존재하여도 정상상태와 같은 출력이 나타남으로 전압 테스트 방식으로는 정확한 고장 검출이 어려운 것을 알 수 있다. (d)는 본 논문에서 제안한 내장형 전류감지기의 Pass/Fail 단자의 출력 파형을 나타낸다. T7 클럭에 고장이 활성화되어 고장 전류가 존재하므로 다음 클럭의 첫 반주기인 T8 클럭에서 Pass/Fail 단자의 출력이 Fail로 정확하게 고장을 검출하였다. 또한 T8 클럭에서도 고장이 활성화되어 다음 클럭의 첫 반주기인 T9 클럭에서 Pass/Fail 단자의 출력이 Fail로 고장을 검출하였다. 이와 같이 브리징 고장에 대하여 전압 테스트 방식을 적용한 경우 고장의 형태나 레이아웃의 형태에 따라 고장의 효과가 전압으로 나타나지 않을 수도 있어서 정확한 고장 검출이 어렵다. 그러나 IDDQ 테스트 방식은 고장이 활성화되어 고장전류가 흐르지만 하면 브리징 고장을 정확하게 검출할 수 있다.

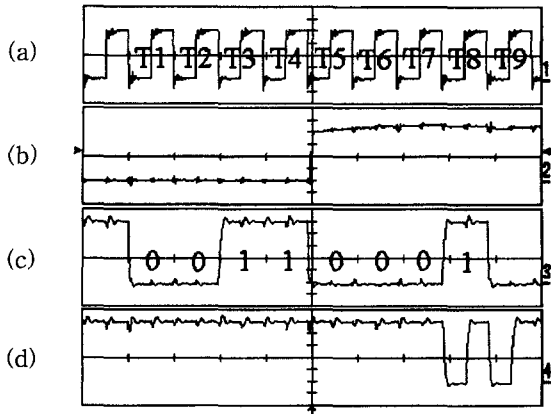


그림 9. 제작된 내장형 전류감지기의 출력 파형  
(a) 클럭 (b) SEL1 (c) Cout4 (d) BICS의 Pass/Fail 출력

Fig. 9. Output waveform of fabricated BICS.  
(a) Clock (b) SEL1 (c) Cout4 (d) Pass/Fail output of BICS

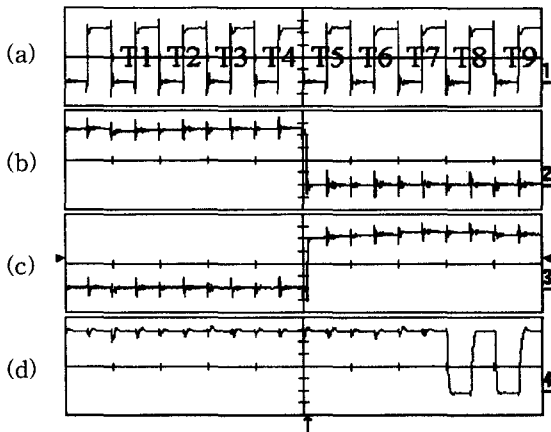


그림 10. 기준전류에 따른 BICS의 출력  
(a) 클럭 (b) SEL1 (c) SEL2 (d) BICS의 Pass/Fail 출력

Fig. 10. Output waveform of BICS with reference current.

(a) Clock (b) SEL1 (c) SEL2 (d) Pass/Fail output of BICS

그림 10은 기준 전류에 따른 내장형 전류감지기의 출력을 나타낸 파형이다. (a)는 클럭을 나타내는데 그림 7과 같이 패턴을 인가하였다. (b)는 SEL1의 입력 신호를 나타내고 (c)는 SEL2의 입력 신호를 나타낸다. T4 클럭까지는 SEL1이 5V, SEL2가 0V로 테스트 대상회로에 Fault1 고장만이 존재하고 Fault2 고장은 없는 상태이며, T5 이후에서는 SEL1은 0V, SEL2는 5V로 Fault2 고장만이 존재한다. 이때 0.266

mA의 고장전류가 흐르는 Fault1 고장은 검출하지 못하고 0.870mA의 고장전류가 흐르는 Fault2 고장은 검출할 수 있도록 13번 단자의 전압을 조정하였다. 모의 실험 결과에서 10번 노드의 전압이 Fault1은 0.506V, Fault2는 0.809V가 걸리는 것을 알 수 있었는데, 본 실험에서는 13번 노드에 두 전압의 중간값인 0.650V를 인가하였다. (d)는 내장형 전류감지기의 출력 파형인데, T1~T4 클럭 사이에서는 Fault1 고장이 존재하여 고장전류가 흐르지만 고장검출 전류보다 적게 흐르므로 고장을 검출하지 못하였다. 그러나 T5~T8 클럭 사이에서는 Fault2의 고장전류가 고장검출 전류보다 많이 흘러 내장형 전류감지기의 출력이 Fail로 고장을 검출하였다. 이와 같이 적절한 고장검출 전류의 설정이 칩의 고장검출에 큰 영향을 미친다는 것을 알 수 있다.

표 2는 정상상태와 각 고장에 따른 IDDQ값, 그리고 전압 및 IDDQ 테스트 결과를 나타내었다. 고장이 없는 정상회로에서 정지상태 IDDQ는 0.004mA로 매우 적은 양이 흐르지만 표에서 보는 바와 같이 고장이 존재할 경우 회로에 흐르는 IDDQ가 Fault1 고장은 0.266mA, Fault2 고장은 0.870mA로 증가함을 알 수 있다. 이들 고장에 대하여 전압 테스트와 IDDQ 테스트를 수행한 결과 기존의 stuck-at 고장 모델을 사용하는 전압 테스트 방식으로는 P3에서는 고장을 검출하였지만, P4에서는 고장을 검출하지 못하였다. 그러나 IDDQ 테스트 방식을 적용한 결과 두 패턴에 대하여 삽입된 모든 브리징 고장을 정확하게 검출하였다.

표 2. 고장에 대한 테스트 결과  
Table 2. Test result of faults.

	IDDQ	전압 테스트		IDDQ 테스트	
		P3	P4	P3	P4
정상회로	0.004mA				
Fault1	0.266mA	검출	검출실패	검출	검출
Fault2	0.870mA	검출	검출실패	검출	검출

V. 결 론

본 논문에서는 CMOS VLSI 칩의 IDDQ 테스트를 위한 내장형 전류감지기를 설계하였다. 제안한 내장형 전류감지기는 테스트 대상 회로에 흐르는 전류를 전압으로 변환하고, 그 전압을 CMOS 회로에서 동작 가



능한 영역으로 레벨 변환하여 자동으로 고장의 유무를 판별할 수 있도록 설계되었다. nMOS와 다이오드로 구성된 전류감지기는 큰 전류가 흐르는 과도상태에서는 두 소자가 동시에 전류를 통과시켜 테스트 대상회로에 4.3V 이상이 인가되고, 고장전류 검사 시에는 nMOS만 전류를 통과시켜서 고장전류 검출의 정밀도를 높일 수 있었다. 그리고 클럭의 한 주기 끝에서 고장전류를 검사하여, 기존의 내장형 전류감지기에 비하여 긴 전파지연시간과 큰 면적을 가지고 있는 테스트 대상회로의 테스트가 가능하다. 제안된 회로를 HSPICE로 모의 실험한 결과 회로 내에 존재하는 고장들을 정확하게 검출함을 확인하였다. 제작된 칩의 테스트는 IDDQ 테스트를 위한 테스트 패턴 생성기에 의해 생성된 패턴을 사용하였다. nMOS로 구현된 브리징 고장을 전압 테스트 방식으로 테스트 결과 고장이 stuck-at 고장 형태로 모델링되지 않아 정확한 검출이 어려웠다. 그러나 제안된 내장형 전류감지기를 사용하여 IDDQ 테스트를 수행한 결과 삽입된 브리징 고장을 정확하게 검출하였다. 고장검출 전류의 설정을 Fault1 고장과 Fault2 고장의 중간값으로 설정한 결과 0.266mA의 고장전류는 Pass로 나타나고 0.870mA의 고장전류는 Fail로 나타나, 적절한 고장검출 전류의 설정이 고장검출에 미치는 영향을 실험으로 확인할 수 있었다.

앞으로 큰 테스트 대상회로의 분할과 테스트 패턴 생성 등에 대한 연구가 더욱 수행되어야 할 것이다.

#### 참 고 문 헌

- [1] Thomas M. Storey and Wojciech Maly, "CMOS Bridging Fault Detection," in Proc. Int. Test Conf., pp. 842-851 Sept. 1990.
- [2] Jerry M. Soden and Charles F. Hawkins, "Test Considerations for Gate Oxide Shorts in CMOS ICs," IEEE Design & Test, vol. 3, pp. 56-64, Aug. 1986.
- [3] Marek Syrzycki, "Modeling of Gate Oxide Shorts in MOS Transistors," IEEE Trans. Computer-Aided Design, vol. 8, no. 3, pp. 193-202, Mar. 1989.
- [4] 한석봉, 김영일, 이문수, "전류 테스트 기법을 사용한 CMOS IC의 고장분석," 대한전자공학회 하계종합학술대회 논문집, 제16권 제1호, pp. 484-488, 1993
- [5] M. Keating and D. Meyer, "A New Approach to Dynamic Idd Testing," Proc. IEEE Int. Test Conf., pp. 316-321, 1987.
- [6] Wojciech Maly and Phil Nigh, "Built-In Current Testing - Feasibility Study," Proc. IEEE Int. Conf. on Computer-Aided Design, pp. 340-343, 1988.
- [7] M. Favalli, P. Olivo, M. Damiani, and B. Ricco, "Novel Design for Testability Schemes for CMOS IC's," IEEE J. Solid-State Circuits, vol. 25, no. 5, pp. 1239-1246, Oct. 1990.
- [8] W. Maly and M. Patyra, "Built-in Current Testing," IEEE J. Solid-State Circuits, vol. 27, no. 3, pp. 425-429, Mar. 1992.
- [9] Ching-Wen Hsue and Chih-Jen Lin, "Built-In Current Sensor for IDDQ Test in CMOS," Int. Test Conf., pp. 635-641. 1993.
- [10] Y. Miura and K. Kinoshita, "Circuit Design for Built-In Testing," Int. Test Conf., pp. 873-881, 1992.
- [11] Tung-Li Shen, J. C. Daly and Jien-Chung Lo, "On-Chip Current Sensing Circuit for CMOS VLSI," IEEE VLSI Test Symp., pp. 309-314, 1992.
- [12] J. J. Tang, K. J. Lee, and B. D. Liu, "A practical current sensing technique for IDDQ testing," IEEE Trans. Computer-Aided Design, vol. 3, no. 2, pp. 302-310, Jun. 1995.
- [13] 한석봉, 김강철, "CMOS 회로의 전류 테스트를 위한 내장형 전류감지기 설계," 대한전자공학회논문지, 제32권 제11호, pp. 70-79, 1995
- [14] 송근호, 서정훈, 김강철, 한석봉, "새로운 동적 컴팩션 알고리즘을 이용한 IDDQ 테스트 세트 생성," 대한전자공학회 추계종합학술대회논문집, 제 19권 제 2호, pp. 1171-1174, 1996

## 저 자 소 개



宋 根 浩(正會員)

1969년 10월 25일생. 1995년 2월 동아대학교 전자공학과 졸업(공학사). 1997년 2월 경상대학교 전자공학과 졸업(공학석사). 1997년 3월 ~ 경상대학교 대학원 전자공학과 박사과정.

주관심분야는 VLSI Design, VLSI Testing, Analog Testing, Design for Testability, IDDQ Testing, ATPG 등임



韓 哲 鵬(正會員)

1958년 12월 8일생. 1982년 2월 한양대학교 전자공학과 졸업(공학사). 1984년 2월 한양대학교 대학원 전자공학과 졸업(공학석사). 1988년 2월 한양대학교 대학원 전자공학과 졸업(공학박사). 1988년 3월 경상대학교

전자공학과 전임강사. 1992년 1월 ~ 1993년 1월 stanford University Department of Electrical Engineering and Computer Science POST DOC. 1993년 4월 ~ 경상대학교 전자공학과 부교수. 주관심분야는 VLSI Design(CMOS 및 BiCMOS), VLSI Testing, Analog Testing, CMOS 칩의 Reliability Testing, Design for Testability, Fault Tolerance Computing System, VLSI/CAD, ASIC Design 등임