

論文98-35C-12-7

## 트랜스컨덕턴스 특성을 개선한 새로운 CMOS Rail-to-Rail 입력단 회로

(A Novel CMOS Rail-to-Rail Input Stage Circuit with  
Improved Transconductance)

權五俊\*, 郭桂達\*\*

(Oh-Jun Kwon and Kae-Dal Kwack)

### 요 약

본 논문에서는 트랜스컨덕턴스 특성을 개선한 새로운 CMOS Rail-to-Rail 입력단 회로를 설계하였다. 회로 모의 실험기 HSPICE를 통해서 새로운 입력단 회로의 동상 입력 전압 범위에 대한 새로운 회로의 성능을 검증하였다. 새로운 입력단 회로는 기존의 Rail-to-Rail 입력단 회로에 동상 입력 전압에 따라서 동작 조건이 변하는 4개의 입력 트랜지스터와 4개의 전류원/싱크를 추가함으로써 구성된다. 새로운 입력단 회로는 두 차동 회로 중에서 어느 한 회로만이 동작하는 영역에서는 신호증폭에 기여하는 트랜지스터의 DC 전류양에는 영향을 미치지 않는 반면, 두 차동 회로가 모두 동작하는 영역에서는 신호증폭에 기여하는 트랜지스터의 DC 전류양을 1/4로 감소시킨다. 그 결과 새로운 입력단 회로는 강반전 영역에서 전 동상 입력 전압 범위에 걸쳐 거의 일정한 트랜스컨덕턴스 특성과 단일 이득 주파수 특성을 보이며 전 동상 입력 전압 범위에 대해서 최적의 주파수 보상을 가능하게 한다.

### Abstract

In this paper, a novel rail-to-rail input stage circuit with improved transconductance is designed. Its excellent performances over whole common-mode input voltage  $V_{cm}$  range is demonstrated by circuit simulator HSPICE. The novel input stage circuit comprises additional 4 input transistors and 4 current sources/sinks. It maintains DC currents of signal amplifying transistors when one of the differential input stage circuits operates, but it reduces these currents to 1/4 when both differential input stage circuits operate. As a result, a operational amplifier with the novel circuit maintains nearly constant transconductance performance and unity-gain frequency in strong inversion region. The novel circuit allows an optimal frequency compensation and uniform operational amplifier performance over whole  $V_{cm}$  range.

### I. 서 론

저전력 Mixed mode VLSI 시스템과 배터리 전원

\* 正會員, 오리온 電氣 PDP 事業部

(Orlon Electric Co. Ltd)

\*\* 正會員, 漢陽大學校 電子工學科

(Dept. of Electronic Eng., Hanyang Univ.)

接受日字:1998年9月21日, 수정완료일:1998年11月9日

휴대 기기의 선호도로 인해서 전체 시스템의 전원 공급 전압은 계속해서 낮아지고 있는 추세이다. 이에 반해서 시스템의 대부분을 차지하는 디지털 회로는 잡음 여유 문제 때문에 소자의 문턱 전압의 감소는 어려운 실정이다. 아날로그 회로들은 디지털 회로에 비해서 상대적으로 적은 면적을 차지하기 때문에 이러한 제한적인 설계 환경에 적합하게 재설계 되어야만 한다.

연산 증폭기는 아날로그 회로에서 가장 많이 쓰이는

기본 구성 요소이며, 아날로그 신호 처리에서 가장 핵심적인 역할을 수행하고 있다. 저전압 환경에서 동적 영역(Dynamic Range)의 감소 없이 연산 증폭기으로써 쓰려면 동상 입력 전압을 Rail-to-Rail로 쓸 수 있어야 한다. Rail-to-Rail 입력단 회로는 nMOS 차동단과 pMOS 차동단을 병렬로 결합함으로써 구현된다<sup>[1]</sup>. 그러나 Rail-to-Rail 입력단 회로를 탑재한 연산 증폭기는 동상 전압에 따라서 입력단의 트랜스컨덕턴스의 변동이 극심하다. 이러한 단점은 연산 증폭기의 단일 이득 대역폭, 정착 시간, 저주파 전압 이득 등 특성 변동과 다음 단계의 최적의 주피수 보상을 불가능하게 하는 동시에 고조파 왜곡 특성의 변동을 보인다<sup>[2,3]</sup>.

본 논문에서는 동상 입력 전압을 Rail-to-Rail로 쓰는 동시에 일정한 트랜스컨덕턴스 특성을 갖는 새로운 입력단 회로<sup>[6]</sup>를 설계하고 이를 연산 증폭기에 탑재해서 성능을 검증한다.

## II. 새로운 입력단 회로의 구조 및 동작 원리

그림 1은 새로운 입력단 회로의 회로도이다. 정전류원  $I_{ref1}$ 과  $I_{ref2}$ 는 각각 8I와 3I의 전류를 공급하며 트랜지스터  $M_{b1} \sim 6$ 과 함께 입력단 회로를 바이어스 한다. 회로를 구성하는 모든 전류거울의 전류 이득은 1이다. nMOS 트랜지스터  $M_{n1,2}$ 와 pMOS 트랜지스터  $M_{p1,2}$ 는 Rail-to-Rail 동작을 하기 위한 입력단을 구성하며, nMOS 트랜지스터  $M_{n3,4}$ 와 pMOS 트랜지스터  $M_{p3,4}$ 는 일정 트랜스컨덕턴스 특성을 얻기 위해서 추가되었다. 두 차동 회로의 꼬리 전류원/싱크는  $M_{ps1}$ 과  $M_{ns1}$ 이 각각 구성하고 있으며 트랜지스터  $M_{n3,4}$ 와  $M_{p3,4}$ 에 바이어스 전류를 공급하는 전류원/싱크는  $M_{ns2,3}$ 와  $M_{ps2,3}$ 가 구성하고 있다. 꼬리 전류원/싱크  $M_{ps1}$ 과  $M_{ns1}$ 에는 각각 8I의 전류가, 전류원/싱크  $M_{ns2,3}$ 와  $M_{ps2,3}$ 에는 각각 3I의 전류가 흐르게 바이어스 되어있다. 회로를 구성하는 모든 nMOS 트랜지스터의 벌크는 p 기판에 묶여있고 모든 pMOS 트랜지스터의 벌크는 n 기판에 묶여있다.

설명 편의상 동상 전압 범위를 세 영역으로 나눈다. 영역 (I)은 동상 전압이 0V 부근에 위치해서 pMOS 트랜지스터로 구성된 차동 회로만이 동작하는 영역이고, 영역 (II)는 반대로 동상 전압이  $V_{DD}$  부근

에 위치해서 nMOS 트랜지스터로 구성된 차동 회로만이 동작하는 영역을 나타낸다. 마지막으로 영역 (III)은 동상 전압이 두 영역 사이에 위치해서 두 차동회로가 모두 동작하는 영역을 나타낸다.

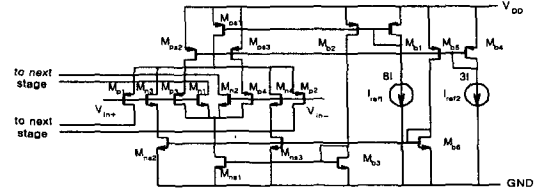


그림 1. 새로운 입력단 회로도

Fig. 1. Circuit diagram of a novel input stage.

### 1. 영역 (I)

$V_{cm}$ 이 영역 (I) 내에 위치할 경우에는 입력단 회로를 구성하는 트랜지스터  $M_{n1} \sim 4$ 는 모두 끊어지고 pMOS 트랜지스터  $M_{p1} \sim 4$ 는 포화 영역 내에서 동작하게 된다. 이 때 꼬리 전류원  $M_{ps1}$ 에서 공급되는 전류 8I는  $M_{p1,2}$ 를 통해서 4I 씩 나누어져서 흐르게 된다. 이에 반해서 8I가 흐르게 바이어스 된 전류 싱크  $M_{ns1}$ 은  $M_{p3,4}$ 를 통해서 전류원  $M_{ps2,3}$ 로부터 각각 3I씩 총 6I밖에 받을 수 없기 때문에 6I만이 흐르고,  $M_{ns1}$ 은 트라이오드 영역으로 들어간다. 이는 서로 다른 전류 공급 양을 가지는 CMOS 전류원과 전류 싱크를 직렬 연결할 때 전류 경로에 흐르는 전류는 두 전류원/싱크 중 적은 전류가 흐르게 된다는 원리에 기인한다<sup>[4]</sup>. 영역 (I) 내에서 실제로 신호 증폭에 기여하는 트랜지스터는  $M_{p1,2}$  뿐이며  $M_{p1,2}$ 에는 4I씩 전류가 흐르므로 이 때의 입력단 회로의 전체 트랜스컨덕턴스에 관한 식은 다음과 같이 쓸 수 있다.

$$\begin{aligned} g_{mT} &= g_{mp} + g_{mn} \approx g_{mp} \\ &= \sqrt{2 K_{eq} 4 I} \\ &= 2 \sqrt{2 K_{eq} I} \end{aligned} \quad (1)$$

위 식에서  $g_{mT}$ 는 전체 입력단의 트랜스컨덕턴스를 나타내며  $g_{mn}$ 은 nMOS 트랜지스터로 구성된 입력단의 트랜스컨덕턴스를 나타내고  $g_{mp}$ 는 pMOS 트랜지스터로 구성된 입력단의 트랜스컨덕턴스를 나타낸다.  $K_{eq}$ 는 트랜스컨덕턴스 변수이며 다음 식과 같다.

$$K_{eq} = \mu_n C_{ox} (W/L)_n = \mu_p C_{ox} (W/L)_p \quad (2)$$

일반적으로 nMOS 트랜지스터와 pMOS 트랜지스

터의 캐리어 이동도의 비를 2~3으로 설정하고 회로 설계를 한다. 따라서 여기서는 캐리어의 이동도의 비를 2.5로 놓고 식 (2)가 성립하도록 트랜지스터의 Aspect ratio를 설정해서 설계하였다.

2. 영역 (II)

영역 (II) 내에  $V_{cm}$ 이 위치할 경우에는 입력단을 구성하는 pMOS 트랜지스터가 모두 끊어지게 되고 nMOS 트랜지스터만이 포화영역 내에서 동작하게 된다. 꼬리 전류 싱크  $M_{ns1}$ 에는 8I가 흐르므로 입력단 트랜지스터  $M_{n1,2}$ 에는 각각 4I씩 흐르게 된다. 전류 싱크  $M_{ns2,3}$ 는  $M_{n3,4}$ 를 통해서 각각 3I씩 총 6I를 흐르게 하기 때문에, 앞서 설명한 전류원-전류 싱크 원리에 기인해서 꼬리 전류원  $M_{ps1}$ 은 트라이오드 영역으로 들어가서 6I만을 공급하게 된다. 영역 (II) 내에서 신호 증폭에 기여하는 입력단 트랜지스터는  $M_{n1,2}$ 뿐이며 전체 트랜스컨덕턴스는 다음과 같이 쓸 수 있다.

$$\begin{aligned}
 g_{mT} &= g_{mp} + g_{mn} \approx g_{mn} \\
 &= \sqrt{2 K_{eq} 4 I} \\
 &= 2 \sqrt{2 K_{eq} I}
 \end{aligned}
 \tag{3}$$

3. 영역 (III)

$V_{cm}$ 이 영역 (III) 내에 위치할 경우에는 입력단을 구성하는 nMOS 트랜지스터와 pMOS 트랜지스터가 모두 포화 영역 내에서 동작하게 된다. 전류원  $M_{ps2,3}$ 는 각각 3I씩 총 6I를 공급하고 있고, 전류 싱크  $M_{ns2,3}$ 는 각각 3I씩 총 6I를 흐르게 하고 있다.  $M_{p3,4}$ 를 통해서  $M_{ps1}$ 의 드레인으로부터  $M_{ns2,3}$ 로 3I씩 총 6I가 흐르고, 이와 동시에  $M_{n3,4}$ 를 통해서  $M_{ps2,3}$ 로부터 3I씩 총 6I가  $M_{ns1}$ 의 드레인으로 흐르게 된다. 꼬리 전류원  $M_{ps1}$ 과 전류 싱크  $M_{ns1}$ 는 8I씩 흐르게 비어스 되어있으므로, KCL에 따라서 신호 증폭에 기여하는 nMOS 트랜지스터  $M_{n1,2}$ 와 pMOS 트랜지스터  $M_{p1,2}$ 에는 각각 I씩 흐르게 된다. 이 때의 입력단 회로의 전체 트랜스컨덕턴스는 다음과 같다.

$$\begin{aligned}
 g_{mT} &= g_{mp} + g_{mn} \\
 &= \sqrt{2 K_{eq} I} + \sqrt{2 K_{eq} I} \\
 &= 2 \sqrt{2 K_{eq} I}
 \end{aligned}
 \tag{4}$$

이제  $V_{cm}$ 의 각 영역에 대해서 분석한 전체 트랜스컨덕턴스 식을 정리해보면 다음과 같다.

$$g_{mT} = 2 \sqrt{2 K_{eq} I} \text{ 영역 (I)} \tag{5}$$

$$g_{mT} = 2 \sqrt{2 K_{eq} I} \text{ 영역 (II)} \tag{6}$$

$$g_{mT} = 2 \sqrt{2 K_{eq} I} \text{ 영역 (III)} \tag{7}$$

위 식은 새로운 회로가  $V_{cm}$ 의 위치에 관계없이 항상 일정한 트랜스컨덕턴스 특성을 가지고 있음을 보여준다.

새로운 입력단 회로는 두 차동 회로 중에서 어느 한 회로만이 동작하는 영역에서는 신호증폭에 기여하는 트랜지스터의 DC 전류양에는 영향을 미치지 않는 반면, 두 차동 회로가 모두 동작하는 영역에서는 신호 증폭에 기여하는 트랜지스터의 DC 전류양을 1/4로 감소시킨다. 강변전 영역 내에서 MOS 트랜지스터의 트랜스컨덕턴스는 드레인에 흐르는 전류의 제곱근에 비례한다. 그 결과 새로운 입력단 회로는 전 동상 입력 전압 범위에 걸쳐서 일정한 트랜스컨덕턴스 특성을 보이게 된다. 증폭기의 단일 이득 주파수는 트랜스컨덕턴스에 대해서 비례하기 때문에 일정한 단일 이득 주파수 특성을 보이며 전 동상입력전압 범위에 걸쳐서 최적의 주파수 보상을 가능하게 한다.

III. 모의 실험 결과

본 절에서는 새로운 입력단 회로를 탑재한 연산 증폭기의 모의 실험 결과를 분석한다. 새로운 회로의 우수성을 입증하기 위해서 별도로 기존의 Rail-to-Rail 입력단 회로를 탑재한 연산 증폭기를 추가로 설계하였다. 이 연산 증폭기는 입력단 회로를 제외한 모든 회로가 새로운 입력단 회로를 탑재한 연산 증폭기와 동일하게 설계되었기 때문에 두 연산 증폭기의 성능 비교를 통해서 새로운 회로의 우수성을 쉽게 입증할 수 있다. HSPICE 모의 실험에서 사용된 부하는 모두 10pF의 커패시터이고 전원 공급 전압은 3.3V 단일 전압이다. 두 연산 증폭기의 모의 실험 성능들은 표 1에 정리해서 나타내었다. 모의 실험에 쓰인 HSPICE 모델 변수는 97년도 IDEC의 MPC 사업을 통해서 배부받은 현대 0.8 $\mu$ m 공정이다.

그림 2는 새로운 입력단 회로를 탑재한 연산 증폭기의 전체 회로도이다. 입력단 회로로부터 들어오는 신호 전류를 합하기 위해서는 합회로(Summing circuit)가 필요한데 폴디드 캐스코드 단이 이 역할을 수행한다. pMOS 트랜지스터  $M_{p1-4}$ 와 nMOS 트랜

지스터  $M_{nc1-4}$ 가 폴딩드 캐스코드단을 구성한다. 캐스코드로 쌓은 pMOS 트랜지스터  $M_{pc1-4}$ 는 높은 출력 저항과 낮은 동작 전압 특성을 갖는 저전압 전류 거울이다<sup>[5]</sup>.  $M_{pc1,2}$ 의 게이트는  $M_{pc3}$ 와  $M_{nc3}$ 의 공통 드레인 노드에 연결되며,  $M_{pc3,4}$ 의 게이트,  $M_{nc1,2}$ 의 게이트 그리고  $M_{nc3,4}$ 의 게이트는 각각 적절한 전압원  $V_{c1}$ ,  $V_{c2}$ ,  $V_{c3}$ 를 통해서 포화 영역에서 동작하도록 비어스 된다. 설계된 연산 증폭기는 일단 증폭기(Single stage amplifier)이며, 칩 외부의 부하를 구동하지 않을 경우에는 단지 MOS 트랜지스터의 게이트나 수 pF정도의 커패시터를 구동하므로 class AB 출력단을 추가하지 않았다.

표 1. 설계된 두 연산 증폭기의 모의 실험 결과

Table 1. Simulated performance of 2 operational amplifiers.

Parameter	Classical approach	Novel approach	Unit
Supply voltage range	0 - 3.3	0 - 3.3	V
$V_{cm}$	-0.5 ~ 3.7	-0.5 ~ 3.7	V
Output voltage swing	0.32 ~ 3.05	0.31 ~ 3.02	V
CMRR(@DC)	-103.61	-136.52	dB
PSRR+(@DC)	-125.62	-124.48	dB
PSRR-(@DC)	-85.93	-83.62	dB
Open-loop gain(@DC)	86.29	83.53	dB
Unity-gain frequency	5.35	2.71	MHz
Phase margin	85.6	88.4	Degree
Power estimation	0.89	1.14	mW

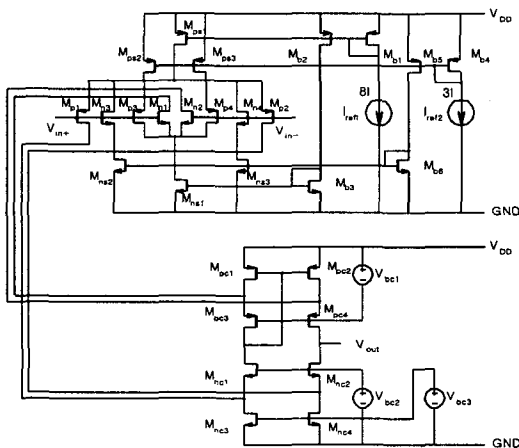


그림 2. 새로운 입력단 회로를 탑재한 연산 증폭기 회로도

Fig. 2. Operational amplifier circuit diagram with the novel input stage.

1. 입력단 특성 비교

그림 3은 기존의 입력단 회로의  $V_{cm}$ 에 대한 전류 특성이다.  $V_{cm}$ 을 0V부터 3.3V까지 변화시키면서 전류량의 변화를 모의 실험하였다.  $I_n$ 은  $M_{n1}$ 에 흐르는 전류의 양이고  $I_p$ 는  $M_{p1}$ 에 흐르는 전류양이다. 영역 (III)에서는 입력단을 구성하는 nMOS 차동단 회로와 pMOS 차동단 회로가 모두 포화 영역 내에 들어가기 때문에 전체 전류 양의 합은 영역 (I)이나 영역 (II)에 비해서 2배 증가하게 된다. MOS 트랜지스터는 강반전 영역 내에서 트랜스컨덕턴스가 전류의 제공근에 비례하기 때문에 결과적으로 전체 트랜스컨덕턴스의 양은 2배 변화한다.

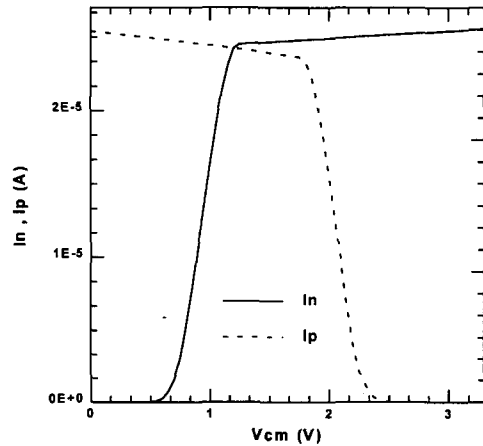


그림 3. 기존 회로의 입력단 전류 모의 실험 결과  
Fig. 3. Input stage currents simulation result of classical approach.

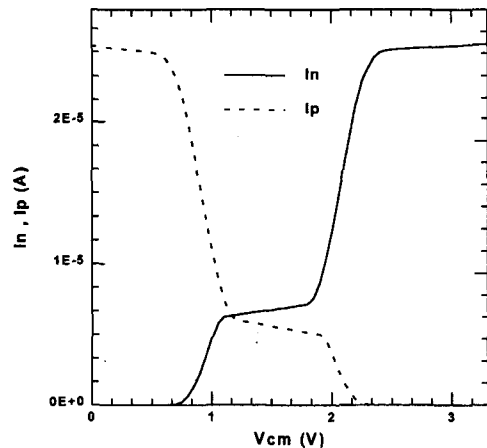


그림 4. 새로운 회로의 입력단 전류 모의 실험 결과  
Fig. 4. Input stage currents simulation result of novel approach.

그림 4는 새로운 입력단 회로의  $V_{cm}$ 에 대한 전류 특성이기다. 앞 절에서 분석한 바와 같이 영역 (III)에서는 입력단 트랜지스터에 흐르는 전류양이 영역 (I)이나 영역 (II)에 비해서 1/4로 줄어드는 것을 확인할 수 있다. 따라서 전체 트랜스컨덕턴스는 일정하게 유지된다.

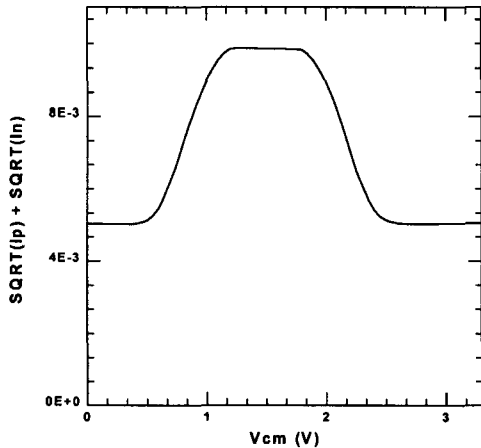


그림 5. 기존 회로의 입력단 회로 전류 제공근의합 모의 실험 결과

Fig. 5. Sum of the square roots of the input stage currents simulation result of classical approach.

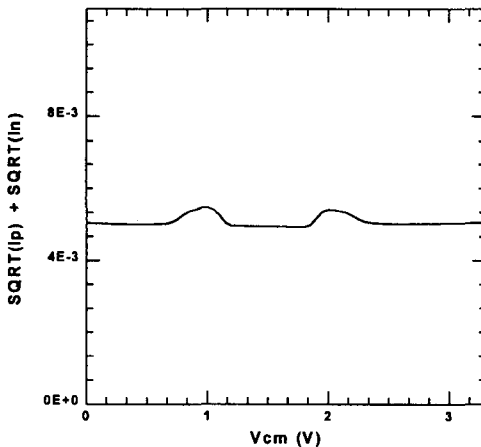


그림 6. 새로운 회로의 입력단 회로 전류 제공근의합 모의 실험 결과

Fig. 6. Sum of the square roots of the input stage currents simulation result of novel approach.

그림 5와 6은 기존의 입력단 회로와 새로운 입력단 회로의 전류의 제공근의 합 특성이기다. 강반전 영역에서 동작하는 MOS 트랜지스터의 전류의 제공근은 트

랜스컨덕턴스에 비례한다. 따라서 그림 5와 6에서 기존의 입력단 회로와 새로운 입력단 회로의 트랜스컨덕턴스 특성을 쉽게 비교할 수 있다.  $V_{cm}$ 이 0V부터 3.3V까지 변할 때 기존의 입력단 회로의 전체 트랜스컨덕턴스는 2배 정도의 변동이 관찰되는 반면에 새로운 입력단 회로를 탑재한 연산 증폭기는 거의 일정한 전체 트랜스컨덕턴스 특성을 가지고 있다.

2. 개루프 주파수 응답 특성의 비교

소신호 설계 변수인 트랜스컨덕턴스가  $V_{cm}$ 에 대해서 일정하지 않으면 단일 이득 주파수와 저주파 전압 이득이 일정하지 않게 된다. 이 두 연산 증폭기의 성능이 모두 입력단 회로의 트랜스컨덕턴스에 비례하기 때문이다.

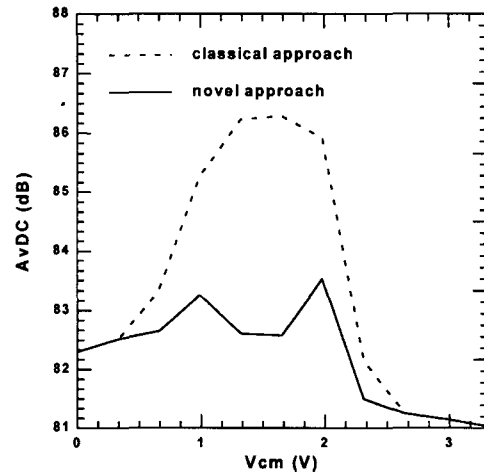


그림 7. 저주파 전압 이득 특성의  $V_{cm}$ 에 대한 의존도 비교

Fig. 7. Low-frequency voltage gain performance comparison as a function of  $V_{cm}$ .

그림 7은 기존의 입력단 회로를 탑재한 연산 증폭기와 새로운 입력단 회로를 탑재한 연산 증폭기의  $V_{cm}$ 을 0V부터 3.3V까지 변화시켜가면서 저주파 전압 이득  $A_{vDC}$ 의 특성을 나타낸 것이다.  $V_{cm}$ 의 변동에 대해서 기존의 연산 증폭기의 저주파 전압 이득이 크게 변동하는 것을 알 수 있다. 이는  $V_{cm}$ 에 대해서 각기 다른 고조파 왜곡 특성(THD)을 야기하며 전압 버퍼로는 치명적인 단점이 된다. 이에 반해서 새로운 입력단 회로를 탑재한 연산 증폭기의 저주파 전압 이득은 변동이 적다. 이는 새로운 입력단 회로가  $V_{cm}$ 의 변동에 대해서 거의 일정한 트랜스컨덕턴스 특성을 가지기

때문이다.

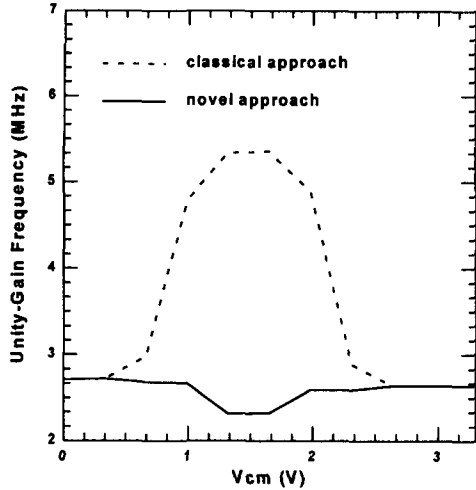


그림 8. 단일 이득-대역폭 특성의  $V_{cm}$ 에 대한 의존도 비교

Fig. 8. Unity-gain frequency performance comparison as a function of  $V_{cm}$ .

그림 8은 기존의 입력단 회로를 탑재한 연산 증폭기와 새로운 입력단 회로를 탑재한 연산 증폭기의  $V_{cm}$ 을 0V부터 3.3V까지 변화시켜가면서 단일 이득 주파수 특성을 나타낸 것이다. 기존의 입력단 회로를 탑재한 연산 증폭기는  $V_{cm}$ 에 대한 단일 이득 주파수의 변동이 상당히 크다는 것을 확인할 수 있다. 이처럼  $V_{cm}$ 에 대한 단일 이득 주파수의 변동이 심한 이유는 입력단 회로의 전체 트랜스컨덕턴스가 일정하지 않고 2배 가까이 변화하기 때문이다. 이에 반해서 새로운 입력단 회로를 탑재한 연산 증폭기는  $V_{cm}$ 에 대한 단일 이득 주파수의 변동이 거의 관찰되지 않는데  $V_{cm}$ 에 대해서 거의 일정한 단일 이득 주파수 특성을 가지고 있기 때문이다. 따라서 다단 증폭기로 쓰일 경우 다음 단과 최적의 주파수 보상을 할 수 있다.

표 2는 두 연산 증폭기의  $V_{cm}$ 에 대한 단일 이득 주파수의 변동률을 정리한 것이다.  $f_{U_{aver}}$ 는  $V_{cm}$  전 영역에 대한 평균 단일 이득 주파수를,  $f_{U_{min}}$ 은 최소 단일 이득 주파수를,  $f_{U_{max}}$ 는 최대 단일 이득 주파수를 각각 나타낸다. 여기서 변동률은 다음과 같이 정의하였다.

$$\% = \frac{f_{U_{max}} - f_{U_{min}}}{f_{U_{aver}}} \quad (8)$$

기존의 입력단 회로를 탑재한 연산 증폭기는 75.28%의 변동률을 보이는 반면 새로운 입력단 회로를 탑재

한 연산 증폭기는 단지 15.83%의 변동률을 보일 뿐이다.

표 2. 설계된 두 연산 증폭기의 단일 이득-주파수 변동 특성

Table 2. Deviations in the unity-gain frequency of 2 operational amplifiers.

	classical approach	novel approach
$f_{U_{max}}$ (MHz)	5.35	2.72
$f_{U_{min}}$ (MHz)	2.64	2.31
$f_{U_{aver}}$ (MHz)	3.60	2.59
Deviation %	75.28	15.83

#### IV. 결 론

본 논문에서는 CMOS 트랜지스터를 써서 기존의 Rail-to-Rail 입력단 회로의 단점을 극복할 수 있는 새로운 입력단 회로를 설계하였다. 새로운 입력단 회로는 강반전 영역 내의 MOS 트랜지스터의 트랜스컨덕턴스 특성을 분석해서 전류양을 제어하는 방식으로 접근하여 문제를 해결하였다. 새로운 회로를 탑재한 연산 증폭기 외에 기존의 입력단 회로 구조를 탑재한 연산 증폭기를 동일한 바이어스 조건으로 설계해서 두 입력단 회로간의 직접적인 성능 비교를 가능하게 하였다. 그 결과 새로운 입력단 회로를 탑재한 연산 증폭기는 전  $V_{cm}$  영역에 걸쳐서 탁월한 성능을 가지고 있음이 검증되었다. 설계된 회로는 IDEC의 97년도 MPC 사업을 통해서 배부받은 0.8 $\mu$ m HSPICE 변수를 써서 모의실험하였다. 새로운 입력단 회로는 전  $V_{cm}$  영역에 대해서 거의 일정한 트랜스컨덕턴스 특성을 유지하며 그 결과 연산 증폭기의 성능들 또한 일정하게 유지된다. 설계된 증폭기는 3.3V 단일 전원 공급 전압에서 10pF의 커패시터를 부하로 모의실험을 행하였다. 단일 이득 주파수는 2.71MHz에서 단지 15.83%의 변동률을 보인다. 저주파 전압 이득은 83.53dB이고 위상 여유는 88.4°이며, CMRR은 136.52dB이며, PSRR+와 PSRR-는 각각 124.48dB와 83.62dB를 보인다.

#### 참 고 문 헌

- [1] J. H. Huijsing and D. Linebarger, "Low-Voltage Operational Amplifier with

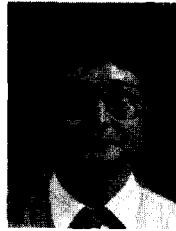
- Rail-to-Rail Input and Output Ranges," IEEE J. Solid-state Circuit, vol. sc-20, pp. 1144-1150, December 1985.
- [2] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier, and J. H. Huijsing, "A Compact Power-Efficient 3V CMOS Rail-to-Rail Input/Output Operational Amplifier for VLSI Cell Libraries," IEEE J. Solid-state Circuit, vol. 29, no. 12, pp. 1505-1513, December 1994.
- [3] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier, and J. H. Huijsing, "Compact CMOS Constant- $g_m$  Rail-to-Rail Input Stage with  $g_m$ -Control by an Electronical Zener Diode," IEEE J. Solid-state Circuit, vol. 31, no. 7, pp. 1035-1040, July 1996.
- [4] J. H. Botama, R. F. Wassenaar, and Wiegerink, "Simple Rail-to-Rail Low-Voltage Constant-Transconductance CMOS Input Stage in Weak Inversion," Electron. Lett., vol. 29, pp. 1145-1147, June 1993.
- [5] E. Bruun and P. Shah, "Dynamic Range of Low-Voltage Cascode Current Mirrors," IEEE International Symposium on Circuit and Systems, vol. 2, pp. 1328-1331, 1995.
- [6] O. J. Kwon, "The Design of the Novel Low-Voltage Rail-to-Rail Input Circuits with Improved Transconductance", M.S. Thesis, Hanyang University, 1997.

저 자 소 개



權 五 俊(正會員)

1974년 11월 16일 출생. 1996년 한양대학교 전자공학 학사. 1998년 한양대학교 전자공학 석사. 1998년 오리온 전기 PDP 사업부



郭 桂 達(正會員)

1950년 출생. 1974년 한양대학교 전자공학 학사. 1976년 한양대학교 전자공학 석사. 1980년 Institute of National Polytech de Toulouse 박사. 1981년 3월 ~ 1986년 2월, 한양대학교 전자공학과 조교수. 1982년 7월 ~ 1986년 8월, 와세다 대학교 전자공학과 방문교수. 1983년 1월 ~ 1984년 2월, 대한전자공학회 반도체위원회 위원장. 1984년 2월 ~ 1985년 1월, U. C. Santa Barbara post doc. 1986년 3월 ~ 1991년 2월, 대한전자공학회 산학협동위원회 위원. 1986년 3월 ~ 1991년 2월, 한양대학교 전자공학과 부교수. 1991년 3월 ~ 1993년 4월, 대한전자공학회 교육연구위원회 위원. 1991년 4월 ~ 현재, 특허청 특허심사 자문위원회 위원. 1991년 3월 ~ 현재, 한양대학교 전자공학과 정교수