

論文98-35T-12-17

## 클록 초기치 누적방식의 직접 디지털 주파수 합성기를 이용한 변조기의 성능해석

(Performance Analysis of Modulator using Direct Digital Frequency Synthesizer of Initial Clock Accumulating Method)

崔承德\*, 金慶泰\*\*

(Seung Duk Choi and Kyung Tae Kim)

### 요약

본 논문은 클록 초기치 누적 방식의 직접 디지털 주파수 합성기를 이용한 변조기의 성능해석에 관하여 연구한 것이다. 기존에는 랜덤한 주파수 도약을 실현하기 위하여 PLL 방식이나 디지털 주파수 합성 방식이 사용되어 왔다. 본 논문에서는 두 방식의 단점을 개선하기 위하여 클록 초기치 누적 방식의 DDFS를 이용한 변조기 시스템을 구성하여 순시적인 주파수 도약 상태와 위상제어의 가능성 등을 확인하였다. 실험 결과 합성된 출력 주파수는 주파수 Index에 따라 기준주파수에 정확히 정수배가 되며, 합성된 정현파형의 스펙트럼은 기본파와 여러 고조파의 크기가 50 [dB] 이상의 차이가 남으로서 고조파 성분들이 상당히 감소되었고, PN 코드를 사용한 순시적인 주파수 도약 상태는 스위칭 시간이 빠르기 때문에 주파수 도약 특성이 뛰어남을 알 수 있었다. 또한, 누산기의 set/reset 상태변화에 따라 위상이 변한다는 사실도 입증하였다.

### Abstract

This paper is study on performance analysis of modulator using direct digital frequency synthesizer of Initial Clock Accumulating Method. It has been generally used for PLL or digital frequency synthesizing method to be synthesized randomly chosen frequency state. In order to improve disadvantage of two methods, we constructed modulator system using DDFS of Initial Clock Accumulating Method. We also confirmed the coherence frequency hopping state and possibility of phase control. The results obtained from the experiments are as follows; First, the synthesized output frequency is proportional to the sampling frequency, according to index, K. Second, the difference of the gain between the basic frequency and the harmonic frequencies was more than 50 [dB], that is, this means facts that is reduced the harmonic frequency factor. Third, coherence frequency hopping state is confirmed by PN code sequence. Here, we confirmed the proposed method cut switching time, this verify facts that is the best characteristic of the frequency hopping. We also verified the fact that the phase varies as the adder is operated set or reset.

\* 正會員, 韓國生產技術研究院 產業技術教育센터 電子

機器科

(Korea Academy of Industrial Technology Dept.  
of Electrnoic Instrument)

\*\* 正會員, 墾園大學校 電子工學科

(KyungWon Univ. Dept. of Elec. Eng.)

接受日字: 1998年10月23日, 수정완료일: 1998年12月4日

### I. 서론

주파수도약(FH; Frequency Hopping) 방법은 대역 확산 통신<sup>[1], [2], [7]</sup> 방법중의 하나로서 순시 부호에 의해 조합된 형태에 따라 이산적으로 반송주파수를 친이시키는 방법이다. 그리고, FH/SS (Frequency-Hopping Spread Spectrum system)에서의 주파수 도약 패턴은 정보신호보다 주파수가 높은 PN 코드에

의해서 수행되어지기 때문에 발생주파수의 안정도가 뛰어난 주파수 합성기에서 필수적인 구성요소이다. 이 때 사용되는 주파수 합성방식에는 기준주파수의 분주 와 체배를 통하여 발생된 고조파를 출력주파수로 이용하는 직접방식<sup>[11]</sup>과 위상동기루프(PLL : Phase Locked Loop)를 이용한 간접방식, 그리고 표본화이론과 D/A 변환 기술을 기초로 출력파형을 합성하는 직접 디지털 방식으로 구별된다.<sup>[8], [9]</sup>

PLL을 이용한 간접방식은 직접방식에 비해 전기적 특성이 양호하고 주파수 대역의 확장이 용이한 광대역 특성을 지니고 있기 때문에 현재 널리 사용되고 있으나 귀환루프를 이용하기 때문에 과도응답을 갖게 되어 출력주파수를 고속 스위칭 하는데 제한을 받는 단점이 있다. 이에 비해, 직접 디지털 방식은 주파수 해상도 및 안정도가 좋으며, 발생 주파수의 변화가 연속 위상을 이루고, 순시 주파수 천이시간이 매우 짧기 때문에 FH 시스템에서 요구하는 출력주파수의 정확성과 임의의 출력주파수로의 고속변환이 가능하다.

그러나, 기존의 위상 누적방식을 이용한 DDFS는 초기치 위상을 누적하여 정현파형의 출력주파수를 직접 합성하는 방식으로서, 파형을 합성하는 과정 중에 불규칙적인 위상왜곡이 나타나므로 완전한 정현파형의 합성이 어렵고, 스펙트럼상에 불요잡음이 많아지게 된다.<sup>[3], [4], [5]</sup> 그리고, PLL로 표본클록 합성부를 구성한 DDFS는 PLL의 단점사항인 locking/pull in 시간이 요구되는 단점이 있다.

본 논문은 이러한 단점을 개선하기 위하여 임의로 설정되는 클록 초기치를 계속 누적함으로서 임의의 표본 클록을 합성하고, 이 클록에 의해 일정하게 설정된 한 주기당 표본치를 계수하는 클록 초기치 누적방식의 DDFS를 구성하여, 기존의 DDFS 보다 불요 고조파 성분이 감소됨을 확인하였고, 설계 제작된 주파수 합성기의 성능을 해석하기 위하여 ASK, FSK, PSK 변조기를 구성하여, 실험하였다. 그 결과 랜덤한 PN 부호열에 대하여도 빠르고 안정된 주파수 도약 상태를 보이고 위상제어가 가능함을 확인함으로서 FH 시스템에 사용이 가능함을 확인하였다.

## II. 시스템 동작원리

### 1. 클록 초기치 누적방식의 제안 배경

위상누적방식은 회로동작 특성으로 인한 위상왜곡 현상으로 많은 불요 고조파성분이 포함되어 깨끗한 정현파형을 발생시키지 못하기 때문에 LPF를 통과하기 이전의 구성 알고리즘에 의해서 합성주파수 상에 생기는 전체적인 불요 고조파성분을 고찰하여 해당하는 주파수의 정현파형 상의 문제점을 파악하고, FH용으로 사용시 랜덤한 주파수도약에 따른 적절한 LPF 작용을 예측하기 위하여 위상누적방식에 의해 만들어진 출력파형을 LPF를 통과하지 않은 상태에서 최대진폭을 “1”로 하면 다음 식으로 표현된다.

$$S(t) = \sin(MOD(k \cdot m, 2^M) \cdot 2\pi/2^M) \cdot [U(t - (k/f_c)) - U(t - (k+1)/f_c)] \quad (1)$$

여기서,  $k/f_c \leq t < (k+1)/f_c$ 이며,  $f_c$ 는 클록 주파수,  $M$ 은 위상제어 비트 수,  $m$ 은  $1 \leq m \leq 2^M$ 으로서 주파수 제어값이고,  $k$ 는 표본시간 위치를 표시한 자연수,  $MOD(\cdot)$ 은 Moduler 연산함수,  $U(t)$ 는 단위 계단함수이다.

식(1)로부터 알 수 있는 바와 같이 시스템에 가해진 클록주파수  $f_c$ 는 2의 몇승꼴로 주어지고, 특정한 주파수제어 비트 값( $m$ )과 위상제어 비트 수( $M$ )에 따라  $2^M/m$ 이 자연수가 될 때에만 완전한 한 주기에 해당되는 출력진폭을 가지면서  $f_0 = m \cdot f_c/2^M$ 에 해당되는 주파수가 발생한다.

그러나,  $2^M/m$ 이 자연수가 되지 않는다면 시간변화에 따른 한 주기 당 불규칙적인 진폭의 변화가 일어나게 되어 위상왜곡을 가지는 주파수가 발생하게 된다. 이와 같이 특정주파수를 제외하고는 합성파형 상에 왜곡이 발생하여 주파수 스펙트럼 상에 고조파 성분이 증가된다.

따라서, 이러한 위상누적 방식의 위상왜곡이 발생되는 단점을 없애기 위하여 불완전한 진폭차 누적을 초래하는 시스템 전단의 위상 누적부를 희망주파수 지정부로 클록 초기치를 지정하여 식 (1)에서 표시한 진폭치의 MOD 연산기능을 위상제어 비트 수( $m$ )와 무관한 상태로 변환함으로써 위상왜곡으로부터 발생된 불요잡음을 없앨 수 있으며 최대진폭을 “1”로 하면, 최종 LPF를 통과하기 이전의 출력파형을 나타내는 식은 다음과 같다.

$$S(t) = \sin(MOD(k \cdot 2^N) \cdot 2\pi/2^N) \cdot [U(t - (k/f_m)) - U(t - (k+1)/f_m)] \quad (2)$$

여기서,  $k/f_m \leq t < (k+1)/f_m$  이며,  $f_m$ 은 합성된 표본 클록 주파수이다.

## 2. 클록 초기치 누적방식의 시스템 설계

본 연구에서 설계한 클록 초기치 누적방식의 시스템은 희망주파수지정부, 표본진폭변환부, D/A변환부 및 LPF로 구성하였으며, 합성된 표본클록 주파수  $f_m$ 의 최대 주파수 대역은 시스템 클록  $f_c$  범위의  $1/4$ 에 해당되는 특징이 있고 이를 수식으로 표현하면 다음과 같다.

$$f_{m,\max} = r \cdot f_c / 2^{R+2} \text{ [Hz]} \quad (3)$$

여기서,  $r$ 은  $R$  비트로 주어지는 표본클록 초기치 ( $1 \leq r \leq 2^R$ , 정수)이다.

희망주파수 지정부는 표본클록  $f_m$ 을 입력으로 하여  $2^N$ 진 계수기에 의해 한 주기 합성에 필요한 진폭 갯수를 지정하는 부분으로서, 합성하고자 하는 임의주파수의 한 주기 당 표본치를 항상  $2^N$ 개로 일정하게 하고, 표본진폭 변환부의 해당번지를 순차적으로 지정하여, 위상 왜곡 잡음이 제거된 균일의 양자화 잡음만이 존재하는 순도 높은 파형을 합성한다. 합성된 정현 출력파형의 주파수 범위는 다음 식과 같다.

$$f_0 = f_{m,\max}/2^N = r \cdot f_c / 2^{N+R+2} \text{ [Hz]} \quad (4)$$

표본진폭 변환부는 한 주기 정현파형의 진폭 데이터가  $2^N$ 개 저장된 부분으로, 표본클록( $f_m$ )으로 구동되는 희망주파수 지정부의 출력값에 의해서 순차적으로 지정된 번지내의 진폭 데이터 값을 출력하며, 합성하고자 하는 출력 파형에 따라 이산적인 데이터 값을 저장할 수 있다. 본 논문에서는 식 (5)에 의하여 얻어지는 정현파형의 진폭 데이터  $D(t)$ 를 EPROM에 저장하여 사용하였다.

$$D(t) = [\sin(k \cdot 2\pi/2^m - 1) + 1] / 2 \cdot (2^u - 1) \quad (5)$$

여기서,  $D(t)$ 는 저장되는 진폭 데이터 값,  $u$ 는 ROM의 출력 데이터 비트수,  $m$ 은 ROM의 입력 어드레스 비트수이고,  $1 \leq k \leq 2^m - 1$ 이다.

최종단의 D/A 변환부에서는 진폭 데이터에 해당되는 출력신호레벨을 결정하고, D/A변환 할 때 발생하는 출력파형의 이산적인 불연속 성분을 제거하기 위하여 LPF를 통과시켜 위상왜곡이 없는 변조기의 출력파

형을 얻었다.

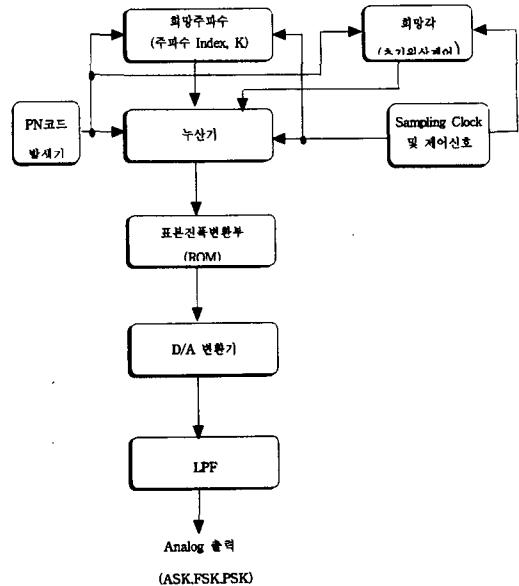


그림 1. 클록초기치 누적방식의 DDFS 변조기 구조  
Fig. 1. Block Diagram of system.

그림 1은 클록초기치 누적방식의 DDFS 변조기에 대한 전체 시스템의 구조로서 FSK파형, ASK파형 및 PSK파형이 발생되도록 설계하였으며, 빠른 주파수 도약 특성을 확인하기 위하여 PN 코드 발생기를 사용하였다. 그림으로부터 알 수 있는 바와 같이 FSK 변조기는 PN 코드 발생기에서 생성된 정보신호가 두 가지의 값을 갖도록 주파수 Index, K를 결정해 주었고, ASK 변조기는 한 쪽의 주파수 Index, K를 모두 "0"으로 하여 구성하였다. 이때, 누산기는 지정된 K값에 따라 T초마다  $A = nK \bmod N$ 을 계산하게 되며, 이 A값이 표본진폭 변환부의 번지를 결정한다. 그리고 미리 부호화되어 저장된 표본값이 A번지에 따라 표본진폭 변환부로부터 출력되며, D/A변환기와 LPF를 통하여 복호화(Decoding)된 FSK, ASK 파형이 발생된다. 또한, 누산기에 있는 D/F/F의 set/reset 단자를 조절함으로서 PSK 변조기를 구성하였다.

## III. 시스템 구성

표 1은 제작한 클록초기치 누적방식의 DDFS 변조기 시스템의 구성요소이며, 그림 2는 주파수도약 특성을 실험하기 위하여 생성다항식이  $g(x) = x^4 + x^1 + 1$

인 출력파형이 “111100010011010”의 시퀀스를 갖는  $2^4 - 1$  주기의 4단 PN 코드 발생기로서 희망주파수 입력단에 인가하였다.

표 1. 시스템의 구성요소

Table 1. Contents of the system.

주 요 항 목	설 계 기 준
희망주파수부	발생주파수: 8 bits( $2^8$ 개) Dip Switch × 2 Quad 2 input Multiplexer: 74LS157 × 2
4단 PN 코드 발생기	74LS74 × 2, 74LS86 × 1
누산기	길이 : 10bits Adder : 74LS283 × 3 Hex D F/F : 74LS174 × 2(ASK,FSK) 74LS74 × 2(PSK)
표본 진폭변환부	표본화수 : 10bits(1024개) 표본치 부호화 : 8bits EPROM : 2732(settling time: 200ns)
D/A 변환기	DAC 0808((settling time: 150ns)
LPF	8차 Butterworth LC 필터
샘플링 클록	512[kHz], 1024[kHz]

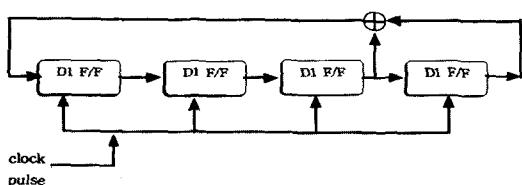


그림 2. PN 부호 발생기의 회로도

Fig. 2. Circuit diagram of PN code generator.

그림 3은 제작된 변조기의 사진을 보인 것이고, 그림 4는 변조기의 성능을 측정하기 위한 장비의 구성도를 나타낸 것으로서, 신호발생기는 CR Oscillator (KENWOOD AG-203)를 사용하였고, 측정장비로는 Synchroscope(Iwatsu SS-6122A 100MHz)와 Spectrum Analyzer(Anrisu MS 610B 10kHz~2GHz)를 사용하였다.

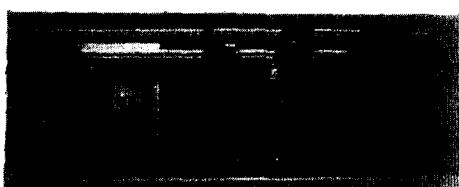


그림 3. 제작된 변조기 사진

Fig. 3. Photograph of Modulator.

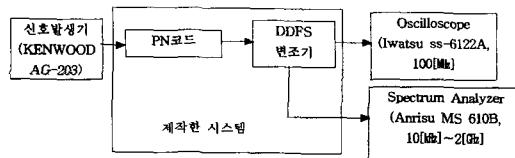


그림 4. 실험장치의 구성도

Fig. 4. Block diagram of experimental system.

## IV. 실험결과 및 검토

그림 5.  $f_s = 512$  [kHz], K=20일 때의 10 [kHz] 파형

Fig. 5. Wave of 10 [kHz].

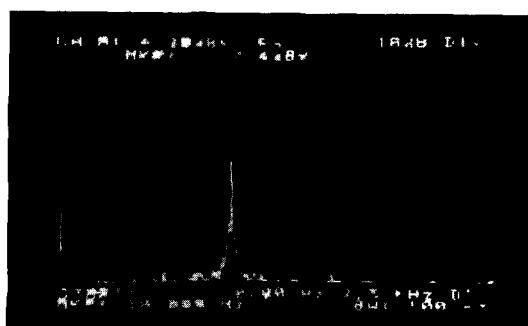


그림 6. 10 [kHz] 의 주파수 스펙트럼

Fig. 6. Spectrum of 10 [kHz].

그림 5는  $f_s = 512$  [kHz], K=20일 때 합성주파수가 10 [kHz]로 됨을 보인 것이고, 그림 6은 LPF를 거치지 않은 10 [kHz]의 출력파형을 스펙트럼 분석기를 통해서 관찰한 것으로서, 그림으로부터 알 수 있는 바와 같이 -50~-40 [dB]인 불요 고조파가 발생되었고, 이것은 기존의 위상누적 방식의 시스템에서의 -15~-25 [dB] 보다 불요잡음의 전력레벨이 20~30 [dB] 정도 감소되었음을 보이는 것이다. 또한, 표 2는  $f_s = 512$  [kHz]에서 여러 합성 출력

주파수에 대하여 기본파와 고조파의 크기를 비교한 것으로써 고조파 성분들은 기본파에 대하여 50 [dB] 이상 차이가 남을 알 수 있다.

표 2. 기본파와 고조파의 비교

Table. 2. Comparison of Basic and harmonics waveform.

기본파 [kHz]	기본파 크기 [dB]	고 조 파		
		제2 [dB]	제3 [dB]	제4 [dB]
1	+6.8	-47.3	-47.6	-47.7
2	+6.7	-46.5	-47.3	-47.4
3	+7.0	-49.1	-49.5	-49.5
4	+6.9	-45.5	-47.3	-49.1
5	+6.9	-45.8	-48.4	-48.5
6	+6.9	-45.4	-46.4	-46.5
7	+6.8	-46.3	-46.9	-48.5
8	+6.9	-45.4	-48.4	-48.6
9	+6.9	-45.5	-46.4	-46.8
10	+7.4	-46.7	-48.3	-48.6
20	+7.0	-45.4	-45.7	-46.4
25	+7.1	-45.3	-45.8	-46.9

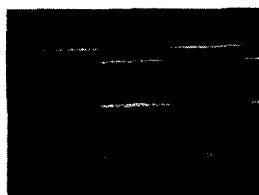


그림 7. ASK 변조파형  
Fig. 7. ASK waveform.

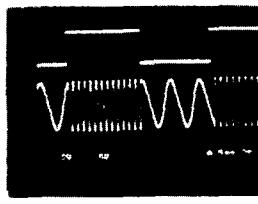


그림 8. FSK 변조파형  
Fig. 8. FSK waveform.

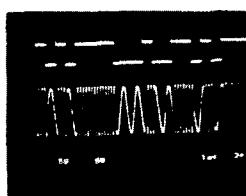


그림 9. 출력 시퀀스(111100010011010)에 따른 FSK 변조파형과 ASK 변조파형  
Fig. 9. ASK and FSK waveform for PN code generator.

그림 7과 그림 8은 각각 ASK 파형과 FSK 파형을 보인 것이고, 그림 9는 4단 PN코드 발생기의 출력 시퀀스(111100010011010)에 따른 FSK 변조파형과 ASK 변조파형을 보인 것이다. 그림으로부터 알 수

있는 바와 같이 주파수 이동에 따른 천이시간이 거의 없으므로 주파수도약용으로 활용 가능함을 확인하였다. 또한, 그림 10은 누산기의 Set/Reset 단자를 조절함으로서 위상이 제어되는 PSK 변조파형을 보인 것이다.

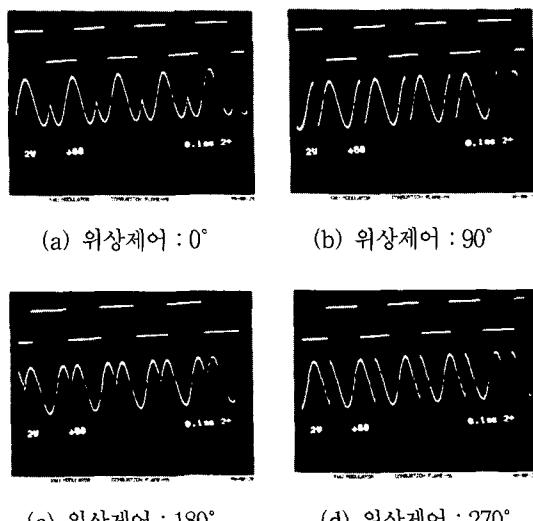


그림 10. PSK 변조기의 위상변화

Fig. 10. Phase of PSK modulator.

## V. 결 론

이상과 같이 본 연구에서 제작한 클록 초기치 누적 방식의 직접 디지털 주파수 합성기를 이용한 변조기의 성능을 해석한 결과 제작한 클록 초기치 누적방식의 DDFS가 위상누적방식의 DDFS 보다 불요 고조파의 전력레벨이 20~30 [dB] 정도 감소되었으며, 주파수 Index, K를 1에서 255까지 순차적으로 증가시켰을 때 정확한 주파수가 합성됨을 알 수 있었고, 구성한 FSK 변조기는 일정한 디지털 정보신호 뿐 아니라 PN code 발생기에 의한 random한 신호에 대해서도 빠른 시간 내에 주파수 도약을 함으로서 빠른 스위칭 타임을 필요로 하는 제어시스템에 이용할 수 있으며, 대역 확산 방식에 있어서의 코히어런트 검파를 이용한 통신에 이용함으로써 다른 변조기보다 단 시간 내에 많은 정보량을 전송할 수 있다.

또한, ASK 변조기는 강도변조가 가능하므로 광 신호의 변조에 이용이 가능하고, PSK 변조기는 위상제어가 가능하므로 이동통신을 비롯한 디지털 신호처리 분야에 폭넓게 이용할 수 있으나, 이산적인 표본치로

인하여 불요 고조파 성분이 존재하므로 대역 변환 필터기술이 요구된다. 하지만, 비트 수가 좀 더 크고 settling 시간이 짧은 D/A 변환기를 사용함으로써 주파수 특성이 더욱 더 좋은 저 왜율 신호파형을 발생시킬 수 있으리라 예상한다.

### 참 고 문 헌

- [ 1 ] Jonathan Sooki Min, "Analysis and Design of A frequency-hopped spread spectrum transceiver for wireless personal communications", pp. 33-47, California. 1995.
- [ 2 ] Alex W. Lam and Sawasd Tantaratana "Theory and Applications of spread-spectrum systems", pp. 5-9, pp. 119-132 Monterey, May. 1994.
- [ 3 ] P.O'leary and F.Maloberti, "A Direct digital synthesizer with improved spectral performance", IEEE Trans. Comm., vol. 39, no. 7, 1991.
- [ 4 ] R.J. Zavrel., G. Edwards "The DDS Handbook; Alias and Spurious Response in DDS Systems", a1-a7, Stanford Telecom Inc., 1990.
- [ 5 ] H.Hikawa, et al, "A Digital frequency synthesizer with a phase accumulator", IEICE, vol. E72, no. 6, June 1989.
- [ 6 ] F.A.B. Cercas, Direct Digital frequency synthesizer for a frequency-hopped spread spectrum system, Thesis, Masters of science in Electrical and Computer Engineering, IST-Lisbon, 1988.
- [ 7 ] R.C Dixon, "Spread Spectrum System," John Wiley & Sons, Inc., pp. 72-85, 1982.
- [ 8 ] J. Gorski-Popiei, Editor, "frequency synthesis Techniques and Applications", New York; IEEE Press, pp. 121-149, 1975.
- [ 9 ] J. Tierney, C.m. ader and B. Gold, "A Digital frequency synthezer," IEEE Trans. Audio Electro acoust, Au-19, pp. 48-57, 1971.

---

### 저 자 소 개

---



崔承德(正會員)

1955年 3月 20日生. 1980年 2월 FIC 2년 수료. 1985년 2월 숭실대학교 전자공학과 졸업. 1988년 2월 숭실대학교 대학원 전자공학과 공학석사. 1996년 3월 ~ 현재 경원대학교 대학원 전자공학과 박사과정 수료. 1980년 3월 ~ 현재 한국생산기술연구원 산업기술교육 센터 전자기기과 선임연구원 겸 부교수. 주관심분야는 이동통신 및 신호처리 분야 등임



金慶泰(正會員)

1954년 12월 19일생. 1978년 2월 경북대학교 전자공학과 (공학사). 1980년 8월 연세대학교 대학원 전자공학과 (공학석사). 1987년 2월 연세대학교 대학원 전자공학과 (공학박사). 1987년 9월 ~ 현재 경원대학교 전자공학과 정교수. 1991년 12월 ~ 1992년 12월 미국 펜실베니아 주립대학 객원교수. 주관심분야는 광통신, 이동통신, 광영상 및 신호처리