
신경회로망의 최적화 개념을 이용한 연산회로

강민제*, 고성택*

Computational circuits using neural optimization concept

Min-Je Kang*, Sung-Taek Ko*

요약

아날로그와 디지털 합산 가능한 신경회로망 회로를 제안한다. 제안된 회로는 Hopfield 신경회로망 모델을 사용하였으며, 연결강도들은 에너지함수를 이용해서 구하였다. NMOS를 이용하여 뉴론을 만들었고, 시뮬레이션 결과는 거의 대부분의 경우가 전체 최소점으로 수렴함을 보였다.

Abstract

A neural network structure able to perform the operations of analogue and binary addition is proposed. The network employs Hopfield's model of a neuron with the connection elements specified on the basis of an analysis of the energy function. Simulation using NMOS neurons has shown convergence predominantly to the correct global minima.

I. 서 론

시그모이드형태의 특성곡선을 갖는 신경세포를 사용한 Hopfield 신경회로망은 계산에너지함수를 즉, 시스템의 Lyapunov함수를 최소화하면서 안정되게 수렴함을 보였다(Hopfield 1984, Hopfield & Tank 1985). 그 이후로 이러한 시스템의 특성을 이용한 많은 연산회로들, 즉 최적화개념을 이용한

아날로그 연산회로들이 제안되었다(Tank & Hopfield 1986). Hopfield와 Tank[보여 주었듯이], 시스템의 연결강도들은 계산에너지함수를 면밀히 분석하여 구할 수 있다. 이 논문은 Hopfield의 응용회로, 즉 A/D 변환회로에 사용되었던 개념을 확장하여 아날로그와 디지털 합산회로를 제시하고 있다.

* 제주대학교 전자공학과

접수일자 : 1998년 3월 19일

II. 궤환성을 갖는 단층신경회로망의 구성과 동작

그림 1은 궤환성을 갖는 단층신경회로망의 전기적 모델을 보여준다. 이런 형태의 신경망은 궤환성을 가지며 뉴론의 출력들이 다시 다른 뉴론의 입력에 연결강도(W_{ij})들을 통하여 연결된다. j 번째 뉴론의 출력(v_j)과 i 번째 뉴론의 입력(u_i)과 연결하는 연결강도(W_{ij})들은 전기적 모델에서는 컨덕턴스를 사용하며, 뉴론의 출력 값은 입력 단위 값에 매핑되는 함수로써 주로 시그모이드 함수가 쓰인다^[2].

신경회로망의 전기적 모델에서 뉴론의 입력 단위에서 세운 KCL(Kirchhoff Current Law)을 이용하여 다음의 공식이 유도된다.^[2]

$$C_i \left(\frac{du_i}{dt} \right) = i_i + \sum_{j=1, j \neq i}^n w_{ij} v_j - u_i \left(\sum_{j=1, j \neq i}^n w_{ij} + g_i \right) \quad (1)$$

식(1)의 우변은 캐패시터 C_i 로 유입되는 전류의 총량을 나타내며, 노드 i 뉴론의 입력에 연결된 전체 컨덕턴스를 G_i 로 다음과 같이 나타내면

$$G_i \triangleq \sum_{j=1, j \neq i}^n w_{ij} + g_i$$

식(1)은 다음과 같이 간략히 나타내어진다.

$$C_i \left(\frac{du_i}{dt} \right) = i_i + \sum_{j=1, j \neq i}^n w_{ij} v_j - u_i G_i \quad (2)$$

벡터형식으로 상태방정식과 출력방정식을 다음과 같이 표현 가능하다.

$$C \left(\frac{du}{dt} \right) = Wv(t) - Gu(t) + i(t) \quad (3)$$

$$v(t) = f(u(t)) \quad (4)$$

n 차원의 상태방정식으로 표현되는 시스템의 어떤 계산에너지함수의 값을 따라 점근적으로 안정되게 수렴하여 간다면 그 어떤 계산에너지함수를 그 시스템의 Lyapunov 함수라 한다. 그림1에서 신경회로망의 Lyapunov 함수는 다음과 같이 알려져 있다.^[1]

$$E(v) = -\frac{1}{2} v' W v - i' v + \sum_{i=1}^n G_i \int_{\frac{1}{2}}^{v_i} f_i^{-1}(z) dz \quad (5)$$

그림 1의 시스템에서 뉴론의 출력 v 는 이 계산에너지함수가 감소하는 방향으로 변하면서 안정되게 수렴해 간다.

식(5)의 세 번째 항은 뉴론 매핑함수의 역함수를 적분한 것으로 이것을 미분하면 다음의 관계가 성립한다.

$$\frac{d}{dv_i} \left(G_i \int_{\frac{1}{2}}^{v_i} f_i^{-1}(z) dz \right) = G_i u_i \quad (6)$$

연결강도 행렬이 대칭인 점을 고려하여 식(5)을 chain rule를 이용하여 시간에 관해 미분해보면 다음과 같다.

$$\begin{aligned} \frac{dE}{dt} &= \frac{dE}{dv} \frac{dv}{dt} \\ &= (-Wv - i + Gu)' \frac{dv}{dt} \end{aligned} \quad (7)$$

식(3)을 이용하여 식(7)을 재정리하면 다음과 같다.

$$\frac{dE}{dt} = - \left(C \frac{du}{dt} \right) \frac{dv}{dt} \quad (8)$$

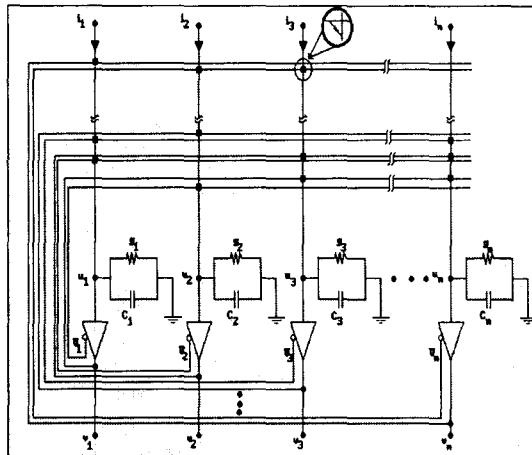


그림 1a. Hopfield 신경회로망의 전기적 모델

Fig. 1a. The electrical model of Hopfield neural network

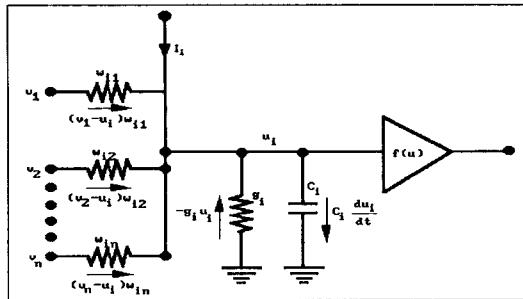


그림 1b. i번쨰 뉴론의 입력 노드

Fig. 1b. The input node of neuron I

그런데, 뉴론의 출력 v 는 입력 u 의 함수이므로 chain rule을 사용하면 식(8)을 다음과 같이 나타낼 수 있다.

$$\begin{aligned} \frac{dE}{dt} &= -C \frac{du}{dt} \frac{du}{dt} f'(u) \\ &= -C \left(\frac{du}{dt} \right)^2 f'(u) \end{aligned} \quad (9)$$

$f(U)$ 는 시그모이드 함수이므로 항상 증가 함수이고 미분 값은 양이다. 따라서, 식(9)의 우변은 항상 음이므로 이 시스템은 시간의 흐름에 따라 에너지가 감소하는 방향으로 수렴하는 시스템임을 알 수 있다.^[3]

III. 합산회로의 계산에너지

신경회로망의 입력은 합산할 값, x_k 들이며, 출력은 디지털 값이다. 즉, 입력 x_k 값들을 합한 값을 가장 근접한 디지털 출력값으로 최적화 시키기 위하여 LMS 형식으로 비용함수를 표현한다. 계산된 비용함수를 Hopfield 신경회로망의 계산에너지 함수의 형태로 바꾸기 위해 Hopfield 신경회로망의 연결강도들(w_{ij})과 외부입력들(i_j)을 합산회로에 맞게 구하면 된다.^[7].

그러면 신경회로망은 시간이 경과함에 따라 계산에너지 함수를 최소화하려는 방향으로 수렴하므로, 입력 x_i 값들을 합한 값에 가장 근접한 디지털 출력을 얻게 된다.

합산회로의 비용함수를 LMS 형식으로 표현하면 다음과 같다.

$$E = \frac{1}{2} \left(\sum_{k=0}^{N-1} a_k x_k - \sum_{i=0}^{N-1} v_i 2^i \right)^2 \quad (10a)$$

여기서 x_k 들은 합산할 값이며 a_k 는 계수들이다.

(10a)을 최소화하면 $\sum_{k=0}^{N-1} a_k x_k$ 와 $\sum_{i=0}^{N-1} v_i 2^i$ 의 값이 같아지지만 v_i 의 값이 이진값을 보장하지 않는다.

그래서, 뉴론 출력 v_i 의 값이 이진수가 되도록 도와주는 항이 부수적으로 첨가되어야 하는데 다음과 같다.^[2].

$$E_c = -\frac{1}{2} \sum_{i=0}^{N-1} 2^{2i} v_i (v_i - 1) \quad (10b)$$

v_i 가 0, 또는 1이 아니면 E_c 는 양의 값을 지니게 되므로 v_i 가 이진 값 즉, 0 또는 1일 때 가장 낮은 에너지 값을 갖도록 함으로써, 식 (10b)는 v_i 가 이진 값을 갖도록 도와준다.

그림 2는 n개의 전압 x_k 들을 합산하는 회로이며, a_k 는 계수들이다. 합산결과는 뉴론의 출력에 이진수 형태, v_i ($i=0, 1, \dots, n-1$)로 표현된다.

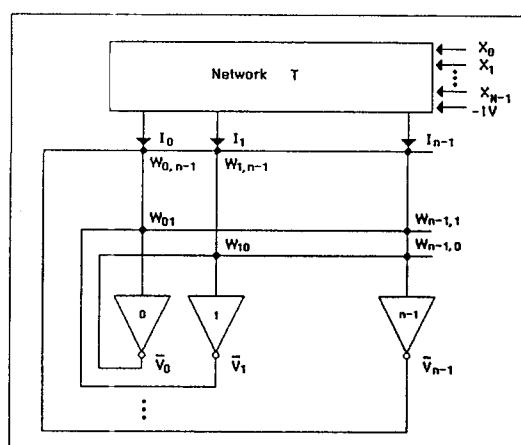


그림 2a. 합산 신경회로망의 블럭도

Fig. 2a. Block diagram of Neural network adder

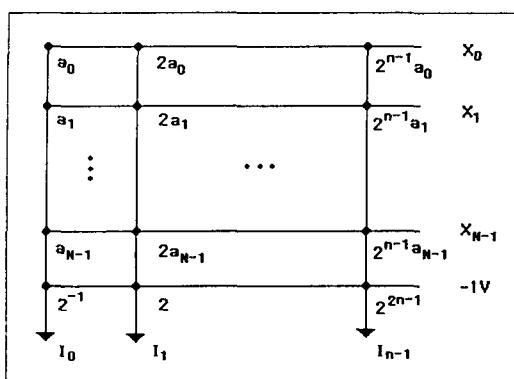


그림 2b. 합산 신경회로망의 네트워크 T

Fig. 2b. Network T of Neural network adder

1. 아날로그 합산기

식(10)에서 알 수 있듯이 총 비용함수는 다음과 같이 표현된다.

$$E_t = \frac{1}{2} \left(\sum_{k=0}^{N-1} a_x x_k - \sum_{i=0}^{N-1} v_i 2^i \right)^2 - \frac{1}{2} \sum_{i=0}^{N-1} 2^{2i} v_i (v_i - 1) \quad (11a)$$

Hopfield 계산에너지 함수형태로 표현하면

$$\begin{aligned} E_t = & -\frac{1}{2} \sum_{i=0, i \neq j}^{N-1} \sum_{j=0}^{N-1} (-2^{i+j} v_i v_j) \\ & - \sum_{i=0}^{N-1} \left(-2^{2i-1} + 2^i \left(\sum_{k=0}^{N-1} a_x x_k \right) v_i + \frac{1}{2} \left(\sum_{k=0}^{N-1} a_x x_k \right)^2 \right) \end{aligned} \quad (11b)$$

시스템의 연결강도 W와 외부입력 i를 구하기 위해 식(11)과 식(12)를 비교하면 다음과 같다.

$$w_{ij} = -2^{i+j} \quad (12a)$$

$$i_i = -2^{2i-1} + 2^i \sum_{k=0}^{N-1} a_x x_k \quad (12b)$$

2. 디지털 합산기

n 비트 디지털합산기에서는 입력신호가 n개의 쌍(x_k, y_k) 존재하므로 총비용함수는 다음과 같이 표현된다.

$$\begin{aligned} E_t = & \frac{1}{2} \left(\sum_{k=0}^{N-1} 2^k x_k + \sum_{k=0}^{N-1} 2^k y_k - \sum_{i=0}^N v_i 2^i \right)^2 \\ & - \frac{1}{2} \sum_{i=0}^N 2^{2i} v_i (v_i - 1) \end{aligned} \quad (13a)$$

Hopfield 계산에너지함수 형태로 재 표현하면

$$\begin{aligned} E_t = & -\frac{1}{2} \sum_{i=0, i \neq j}^{N-1} \sum_{j=0}^{N-1} (-2^{i+j} v_i v_j) \\ & - \sum_{i=0}^{N-1} \left(-2^{2i-1} + 2^i \left(\sum_{k=0}^{N-1} 2^k x_k + \sum_{k=0}^{N-1} 2^k y_k \right) \right) \end{aligned} \quad (13b)$$

디지털합산회로의 연결강도 W와 외부입력 i를 구하기 위해 식(10)과 식(13)을 비교하면 다음과 같다.

$$w_{ij} = -2^{i+j} \quad (14a)$$

$$\begin{aligned} i_i = & -2^{2i-1} + 2^i \left(\sum_{k=0}^{N-1} 2^k x_k + \sum_{k=0}^{N-1} 2^k y_k \right) \\ i = & 0, 1, \dots, N \end{aligned} \quad (14b)$$

IV. 시뮬레이션 및 결과

1. NMOS 뉴론

뉴론을 만들기 위해 Silviotti의 NMOS 차동증폭기(1986)를 이용하였다. 그림 3은 Silviotti의 NMOS 차동증폭기와 특성곡선이다^[6].

출력이 최고치와 최저치는 Vdd와 Vss로 조절가능하며 입력 0V에서 0V의 출력을 갖는 특성을 갖으면, 두 인버터에 사용되는 NMOS 트랜지스터들에 채널길이와 넓이를 조절하여, saturation 영역이 되도록 조절하여 만들었다. 그런데 Hopfield 뉴론은 하나의 입력과 하나의 출력이 있는 형태이며, 또한 음의 값을 갖는 특성곡선을 지닌다. 그 이유는 Hopfield를 응용한 회로에서 보통의 경우 연결강도(w_{ij})들이 음의 값을 갖기 때문이다. 전기적 회로에서 연결강도(w_{ij})를 컨덕턴스로 대치하기 때문에 저항으로 사용하여 컨덕턴스의 역수로 표현한다. 그러나 음의 값을 갖는 저항을 제작하기란 어려움이 많아서 뉴론의 특성곡선을 음의 값을 갖도록 하여 같은 효과를 얻는 것이다.

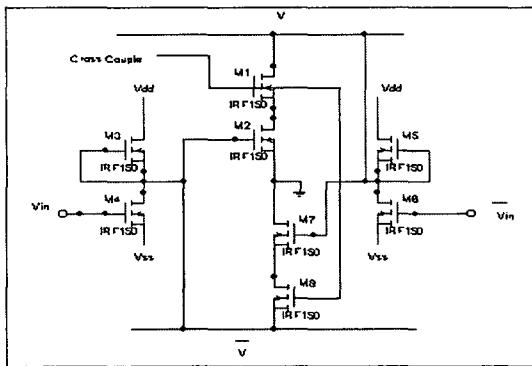


그림 3a. Silvotti NMOS 차동증폭기: 회로도
Fig. 3a. Silvotti NMOS Differential Amplifier:
circuit diagram

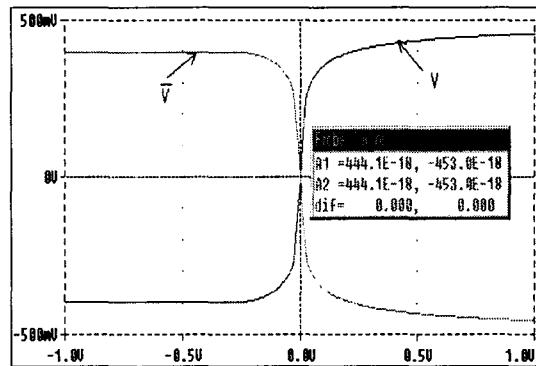


그림 3b. Silvotti NMOS 차동증폭기: 특성곡선
Fig. 3b. Silvotti NMOS Differential Amplifier:
characteristics

이런 특성에 맞는 뉴론을 만들기 위해 Silvotti의 차동증폭기를 약간의 수정이 필요한데, 입력단과 출력 단에 간단한 연산증폭기 회로를 첨가하여 하나의 입력과 하나의 출력으로 하는 뉴론[그림 4a]을 사용하여, 음의 값을 갖는 특성곡선을 얻었다[그림 4b].

2. 지역극소점

Hopfield 신경회로망은 종종 지역극소점으로 수렴하는 단점을 지니고 있다^[5]. 그래도 계속 관심을 끌고 있는 이유는 다음과 같은 이유이다. Best 해답이나, good 해답이나 별 문제가 안 될 경우는 꼭 best 해답을 구하기 위해 많은 시간을 소비할 필요가 없는 경우가 생긴다. Hopfield 신경회로망은 대부분의 경우 전체 최소점으로 수렴하여 best 해답을 찾아내고, 가끔

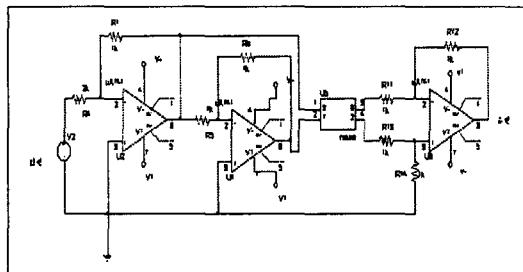


그림 4a. NMOS 뉴론
Fig. 4a. NMOS neuron

지역최소점으로 수렴하지만 그 것 또한 best 해답에 가까운 good 해답으로 수렴하기 때문이다^[4].

여기서, 아날로그 합이 1.3과 1.8이 되는 경우에 수렴하는 과정을 살펴보면서 어떤 경우에 지역극소점으로 수렴하는지 알아보았다. 출력은 디지틀이기 때문에 정확한 답은 각각의 경우 1, 그리고 2로 수렴하여야 한다.

그림 5는 아날로그 합이 1.3과 1.8인 경우에 에너지 맵을 나타냈으며 9개의 다른 초기상태에서 시작하여 수렴함을 보였다. 각각의 경우 중앙점에서 시작하는 경우는 모두 정확한 답으로 수렴함을 보이고 있으나, 종종 다른 초기치에서 시작한 것들은 지역극소점으로 수렴하는 것도 보여주고 있다. 지역극소점으로 수렴하는 이유는 에너지함수가 출력영역안에서 변곡점을 포함하고 있는 경우임을 알 수 있다.

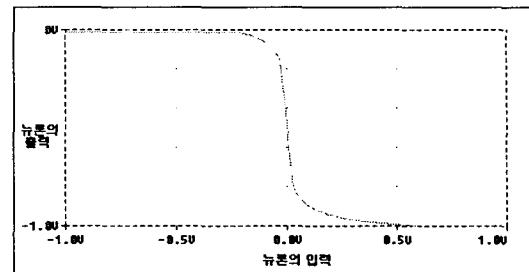


그림 4b. NMOS 뉴론의 특성곡선
Fig. 4b. Characteristics of NMOS neuron

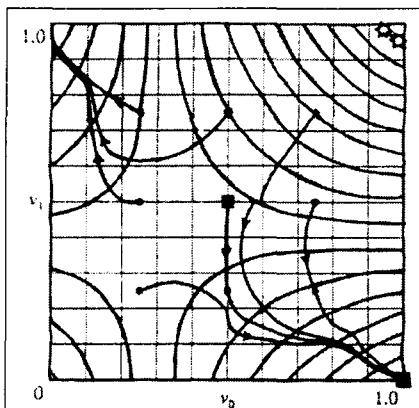


그림 5a. 2-비트 합산기의 에너지 등고선과
transients: 입력=1.3.

Fig. 5a. Equipotential lines and transients for a two-bits adder: input=1.3.

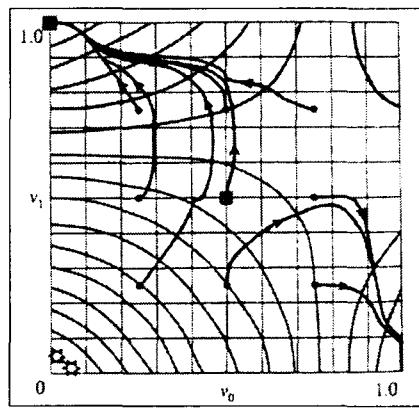


그림 5b. 2-비트 합산기의 에너지 등고선과
transients: 입력=1.8.

Fig. 5b. Equipotential lines and transients for a two-bits adder: input=1.8.

3. 합산회로 시뮬레이션

합산회로의 시뮬레이션은 MicroSim사의 Pspice 상업용 버전 8.0이 사용되었고, 시스템의 전력소모를 감소시키기 위하여 계산에너지함수에 전체적으로 10^{-3} 을 곱하여 연결강도를 10^{-3} 으로 축소하였고, 연결강도(W)의 값인 컨덕턴스를 표현하기 위해

서 전기적 모델에서는 저항을 사용하였다. 즉, 저항값은 컨덕턴스의 역수 값을 취해서 구했기 때문에 연결강도 값에서 역수를 취하고 10^3 을 곱한 값이다. 4비트 합산회로의 시뮬레이션은 중앙점에서 시작하였으며, 155경우에서 145 경우 전체최소점으로 수렴하였으며, 지역극소점으로 수렴한 경우일지라

표 1. 4-비트 합산기 시뮬레이션 결과: 입력 [0,15.5].

Table 1. Simulation results for a four-bits adder: input [0, 15.5].

입력 (정수부)	수									
	0	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9
0	0	0	0	0	0	0.5	1	1	1	1
1	1	1	1	1	1	1	1	1	2	2
2	2	2	2	2	2	2.5	3	3	3	3
3	3	3	3	3	3	3	3	3	4	4
4	4	4	4	4	4	4.5	5	5	5	5
5	5	5	5	6	6	6	6	6	6	6
6	6	6	6	6	6	6.5	7	7	7	7
7	7	7	7	7	7	7	8	8	8	8
8	8	8	8	8	8	8.5	9	9	9	9
9	9	9	9	9	9	9	9	10	10	10
10	10	10	10	10	10	10.5	11	11	11	11
11	11	11	11	12	12	12	12	12	12	12
12	12	12	12	12	12	12.5	13	13	13	13
13	13	13	13	14	14	14	14	14	14	14
14	14	14	14	14	14	14.5	15	15	15	15
15	15	15	15	15	15					

도 good 해답이라 할 수 있는 전체최소점과 매우 가까운 값을 나타내고 있다. 아날로그의 합을 [0, 15.5]의 영역에서 0.1씩 증가시키면서 4비트 아날로그 합산회로에서 테스트하였으며, 그 결과는 테이블에서 보이고 있다.

V. 결 론

디지털합산과 아날로그 합산회로를 Hopfield 신경회로망의 최적화 개념을 이용하여 설계할 수 있었으며, Hopfield 신경회로망이 종종 지역극소점으로 수렴하는데 그 성질을 에너지함수에서 살펴보았다. 지역극소점으로 수렴하는 경우는 에너지함수가 변곡점을 출력의 영역내에서 갖고 있음을 알 수 있었다^[14]. 그리고 합산회로들의 출력은 대부분의 경우 전체최소점으로 수렴함을 알 수 있었다.

참 고 문 헌

- [1] Hopfield, J. J. 1984. "Neurons with Graded Response Have Collective Computational Properties Like Those of Two State Neurons," Proc. National Academy of Sciences 81: 3088-3092.
- [2] Hopfield, J. J., and D. W. Tank. 1985. "Neural" Computation of Decisions in Optimization Problems," Biolog. Cybern. 52: 141-154.
- [3] Hopfield, J. J., and D. W. Tank. 1986. "Computing with Neural Circuits: A Model," Science 233: 625-633.
- [4] Park, S. 1989. "Signal Space Interpretation of Hopfield Circuit and a Linear Programming Circuit," IEEE Trans. Circuits and Systems CAS-33(5): 533-541.
- [5] Bernard C, Levy 1987 "Global optimization

with Stochastic Neural Networks", IEEE, Int. Conf. on NN, Sandiego, CA. USA.

- [6] Silviotti, M. A., Emerling, M. R., and Mead, C. A., 1986, "VLSI architectures for implementation of neural networks." Proceedings of the Conference on Neural Networks in Computing, pp408-411.
- [7] 고경희, 강민제, 1997 "계산에너지함수 분석을 통한 Hopfield 신경회로망의 성능개선" 대한전자공학회 논문집 제 34권 C편 12호.
- [8] 강민제, 1998 "Numerical Modeling of Hopfield Neural Networks" 한국통신학회 논문집 제 23 권 제 3호.



강 민 제(康珉齊)

생년월일: 1958년 4월 27일

1982년: 서울대학교 전기공학과
학사

1989년: 루이빌주립대학교 전기
공학과 석사

1991년: 루이빌주립대학교 전기
· 전산공학과 박사

1992년~ 현재: 제주대학교 전자공학과 조교수

*주관심분야: 신경회로망, 통신 ASIC 설계.



고 성 택(高誠澤)

생년월일: 1955년 1월 12일

1980년: 인하대학교 전자공학과
학사

1984년: 햄트턴대 물리학 석사

1985년: 올드도미니언대학교
전자공학과 박사

1990년~1991년: 경남대학교 전자공학과 전임강사

1991년~현재: 제주대학교 전자공학과 부교수

*주관심분야: 광전자, 멀티미디어