

---

# SD 수, PD 수를 이용한 다치 연산기의 설계

임 석 범\*, 송 홍 복\*

Design of Multi-Valued Process using SD, PD

Suk-Bum Lim\*, Hong-Bok Song\*

## 요 약

본 논문에서는 다치 논리를 기본으로한 SD 가산기및 PD 가산기를 설계하였다. 전류 모드 CMOS 회로를 이용하여 다치 논리를 구현하였으며 부분곱으로 전압모드 CMOS 회로도 이용하였다. 설계된 회로에 대한 검증은 대부분 SPICE 시뮬레이션을 통해 확인하였다.

다치 부호를 적용한 SD(Signed-Digit) 수 표현을 사용하여 자리 올림 신호의 전송이 자리수에 관계없이 1단에서 실행되게 함으로써 병렬연산의 고속화를 가능하게 하였고, 또한 M개의 다 입력을 처리하는 가산기에서는 적당한 PD(Positive-digit) 수 표현을 사용하여 가산의 단수를 줄일 수 있으므로 연산의 고속화 및 고집적화를 가능하게 하였다.

## Abstract

This paper presents design of SD adder and PD adder on Multi-Valued Logic. For implementing of Multi-Valued logic circuits we use Current-mode CMOS circuits and also use Voltage-mode CMOS circuits partially. The proposed arithmetic circuits was estimated by SPICE simulation.

At the SD(Signed-Digit) number presentation applying Multi-Valued logic the carry propagation is always limited to one position to the left this number presentation allows fast parallel operation. The addition method that add M operands using PD( positive digit number) is effective not only for the realization of the high-speed compact arithmetic circuit, but also for the reduction of the interconnection in the VLSI processor. therefor, if we use PD number representation, the high speed processor can be implementation.

---

\* 동의대학교 전자공학과

접수일자 : 1998년 9월 25일

## I. 서 론

초고속 신호처리 및 디지털 제어와 같은 실시간 처리에 있어서 연산속도는 중요한 부분을 차지하고 있다. 이러한 시스템에 사용되는 VLSI 연산구조는 많은 데이터를 실시간으로 처리해야 하므로 고속연산이 요구되어지거나 캐리 전파에 의해서 연산 속도가 제한되어지므로 이 문제를 해결하기 위해서는 새로운 고속 연산속도를 가지는 연산기가 요구된다.

이러한 요구에 대해서 다치 논리를 기본으로 하는 응용분야가 주목되고 있다.<sup>[1]-[4]</sup> 다치 논리의 일반적인 특징으로는 입출력의 편수를 감소시킴으로써 집적밀도를 증가시킬 수 있고, 배선의 복잡성을 감소시켜 회로를 정형화함으로써 연산 속도를 높일 수 있다. 또한 직렬 접속의 단수 및 연산 반복 횟수를 감소시킴으로써 연산 속도를 고속화 할 수 있다. 이러한 다치 논리의 특징들을 회로설계에 이용한다면 종래의 2진 시스템을 간략히 실현 할 수 있고 또한 효율적인 처리도 가능하다. 다치 논리 회로에서 Signed-digit (SD) 와 다입력 Positive-digit (PD) 수 표현을 이용하여 병렬 가산을 실현한다면, 캐리 전파없이 병렬 가산을 행할 수 있으므로 연산을 고속화 할 수 있다.<sup>[5]-[6]</sup>

본 논문에서는 기존의 2진 시스템과 혼용할 수 있도록 2진 신호를 다치 신호로 바꾸어주는 인코더, 연산 결과인 다치 신호를 2진 신호로 바꾸어주는 디코우더와 nMOS, pMOS 문턱치 전류 검출기와 전류 밀러 (Current mirror)를 가지는 7치 4진 전류모드 CMOS 전가산기를 제안한다. 또한 캐리 전파 없이 병렬 가산이 가능하고 게이트 지연을 줄여 연산의 속도를 고속화 할 수 있는 PD 수 표현의 다입력 전류 모드 CMOS 가산기를 제안한다. 이 가산기들의 유효함은 시뮬레이션 (SPICE)를 이용하여 보일 것이다.

## II. 인코더와 디코우더를 갖는 SD 전류모드 CMOS 전가산기의 설계

기존의 2진 시스템과 혼용할 수 있기 위해서 먼저 2진 신호를 인코더를 통해서 다치 신호로 바꾸어주

고 그 신호를 다치 가산회로에서 nMOS, pMOS 문턱치 전류 검출기와 전류 밀러를 가지는 CMOS 전가산기를 통해 연산 결과가 나오고 그 연산 결과인 다치 신호는 디코우더를 이용하여 다시 2진 신호로 바꾸어준다.

일반 2진 시스템과 연계를 위한 블록도는 다음과 같다

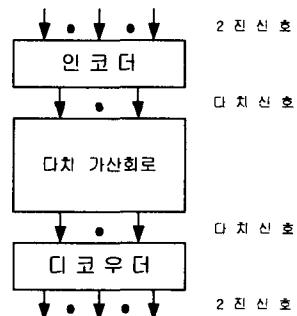


그림 1. 2진 시스템과 연계를 위한 블록도

Fig. 1. Block diagram for linking Binary system

### 1. 인코더, 디코우더의 구성

2진 시스템과 연계를 위해 2진수를 4진 SD수로 변환하기 위한 인코더 블록도는 다음과 같다.

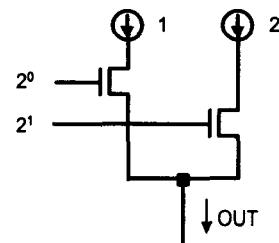


그림 2. 인코더

Fig. 2. Block diagram of Encoder

다치 가산기의 결과를 이진수로 바꾸기 위한 디코우더 설계시 SD수 가산기의 결과가 양수와 음수 둘다 가지고 있으므로 둘 다 처리할 수 있는 디코우더가 설계되어야 하며 그 구성도는 그림 3과 같다

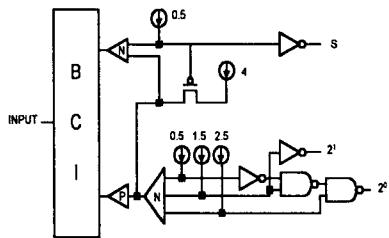


그림 3. 디코우더

Fig. 3. Block diagram of Decoder

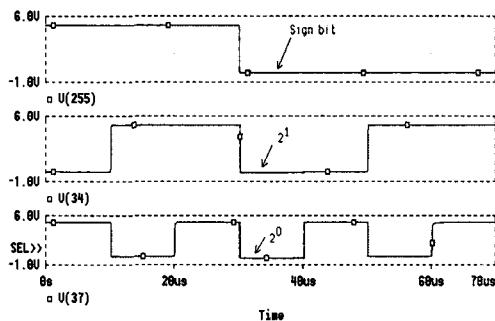


그림 4. 그림 3의 과도응답 특성

Fig. 4. Transient response characteristics of Fig. 3

4진수이므로 입력을 논리치  $\{-3, -2, -1, 0, 1, 2, 3\}$ 으로 하면 이 경우의 SD-이진 변환기의 과도응답 특성은 그림 4와 같으며, 음수 처리는 2의 보수 형태를 취하고 있다.

## 2. 가산기의 구성

본 논문에서 제안된 병렬 다차 가산기는 2진 시스템과 연계를 위해 7차 4진 SD수가 사용되었다. 4진 SD수는 아래와 같이 7개의 값을 가지는 대칭적인 디지트(Digit)로 구성되어진다.

$$L = \{ -3, -2, -1, 0, 1, 2, 3 \} \quad (1)$$

4진 SD수에 있어서 X, Y의 가산은 각 자리에 있어서 다음과 같이 3개의 식에 의해서 실행되어진다.

$$Z_i = X_i + Y_i \quad (2)$$

$$4C_i + W_i = Z_i \quad (3)$$

$$S_i = W_i + C_{i-1} \quad (4)$$

여기서 선형합  $Z_i \in \{-6, -5, -4, -3, -2, -1, 0, 1, 2, 3, 4, 5, 6\}$ , 중간합  $W_i \in \{-2, -1, 0, 1, 2\}$ , 캐리  $C_i \in \{-1, 0, 1\}$ , 최종합  $S_i \in \{-3, -2, -1, 0, 1, 2, 3\}$ 이다. 제안된 가산기는 전류 모드 CMOS 회로를 이용하기 때문에 식(2)와 (4)는 선형 결선에 의해서 구성될 수 있으며 식(3)에서  $W_i = Z_i - 4C_i$  일 때 중간합  $W_i$ 와 캐리  $C_i$ 는 아래 3식에 의해서 실행되어질수 있다.

$$W_i = Z_i - 4, C_i = 1 \quad (Z_i \geq 2 \text{의 경우}) \quad (5)$$

$$W_i = Z_i, C_i = 0 \quad (-1 \leq Z_i \leq 2 \text{의 경우}) \quad (6)$$

$$W_i = Z_i + 4, C_i = -1 \quad (Z_i \leq -2 \text{의 경우}) \quad (7)$$

위와 같은 결과를 얻을 수 있도록 SD 전가산기를 구성하면 그림 5와 같다.

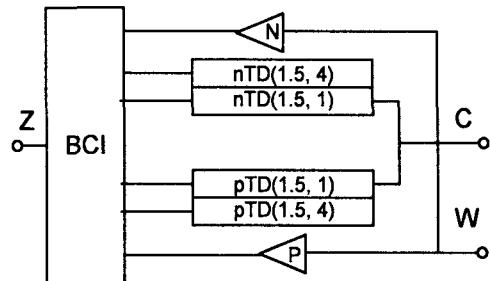


그림 5. 7치 4진 SD 전가산기(SDFA)

Fig. 5. Block diagram of 7-valued 4-radix SDFA

그림 6은 SPICE 시뮬레이션을 이용해서 7치 4진 SD 전가산기(SDFA)의 과도응답 특성을 나타낸 것이다.

여기서 입력을 논리치  $\{-6, -5, -4, -3, -2, -1, 0, 1, 2, 3, 4, 5, 6\}$ 으로 했을 때, 중간합은  $\{-2, -1, 0, 1, 2, -1, 0, 1, 2, -1, 0, 1, 2\}$ , 캐리는  $\{-1, -1, -1, -1, 0, 0, 0, 1, 1, 1, 1, 1\}$ 가 나온다. 이것은 식 (5)-(7)의 결과와 일치함을 알 수 있다.

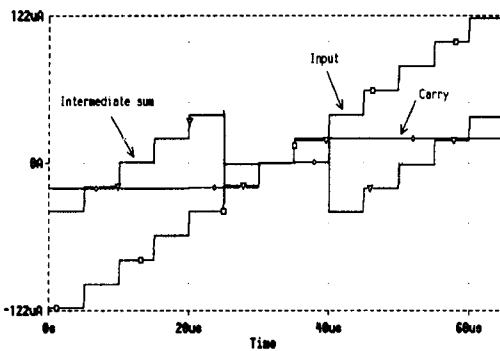


그림 6. 그림 5의 과도응답 특성

Fig. 6. Transient response characteristics of Fig. 5

### 3. SD 전가산기(SDFA)를 이용한 병렬연산

제안된 7치 4진 SD 전가산기(SDFA)를 이용해서 병렬 가산을 할 경우그림 7과 같은 방법으로 구성하면 자리 올림 신호의 전송이 단수에 관계없이 1 단에서 실행될 수가 있다.

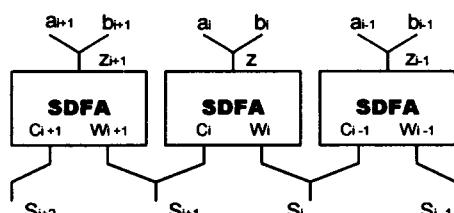


그림 7. SD 전가산기(SDFA)를 이용한 병렬 가산  
Fig. 7. Parallel add using SD full adder(SDFA)

## IV. 다 입력을 갖는 가산기

### 1. M개의 다 입력을 갖는 가산기

다 입력 가산에서는 PD( $r,q$ ) 수 표시를 이용하여 연산의 속도를 고속화 할 수 있다.  $r$ 진에서 PD( $r,q$ )는  $\{0,1,2, \dots, r-1, r, \dots, q\}$ 로 표현된다. 여기서, 양의 정수  $q$ 는  $q \geq r$ 인 정수이다. 즉 PD(2,3)은  $\{0,1,2,3\}$ 으로 표현된다. PD( $r,q$ ) 수 표현을 이용한  $n$  디지트의  $M$ 개의 다중입력은  $X_j = (x_{n-1(j)} \dots x_1(j))$

$\dots x_0(j))PD(r,q)$  ( $j=1, \dots, M$ )로 표현된다. 여기서,  $x_i \in \{0,1, \dots, q\}$  ( $i=0,1, \dots, n-1$ ) 이다.  $M$ 개의 다 입력 중  $i$ 번째 디지트에 대한 가산은 다음 식에 의해서 실행되어진다.

$$z_i = x_i^{(1)} + x_i^{(2)} + \dots + x_i^{(j)} + \dots + x_i^{(M)} \quad \dots \dots \dots (8)$$

$$r^l c_i^{(l)} + r^{l-1} c_i^{(l-1)} + \dots + r^k c_i^{(k)} + \dots + r^1 c_i^{(1)} + w_i = z_i \quad \dots \dots \dots (9)$$

$$s_i = w_i + c_i^{(1)} + c_i^{(2)} + \dots + c_i^{(k)} + \dots + c_i^{(1)} \quad \dots \dots \dots (10)$$

여기서,  $z_i \in \{0,1, \dots, q, \dots, Mq\}$ ,  $c_i^{(l)} \in \{0,1, \dots, r-1\}$ ,  $w_i \in \{0,1, \dots, r-1\}$ 이다.

위의 식을 이용하여  $M$ 개의 다 입력을 갖는 PD가 산기를 구성하면 그림 8과 같다.

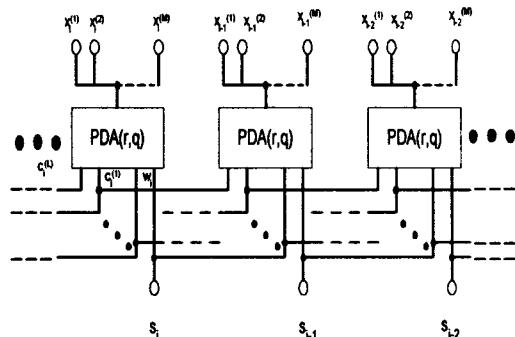


그림 8. 다중 입력을 갖는 병렬 PD(r,q)가산기  
Fig. 8. Parallel PD(r,q) adder with Multi-input

### 2. 2진 2입력 가산기의 설계

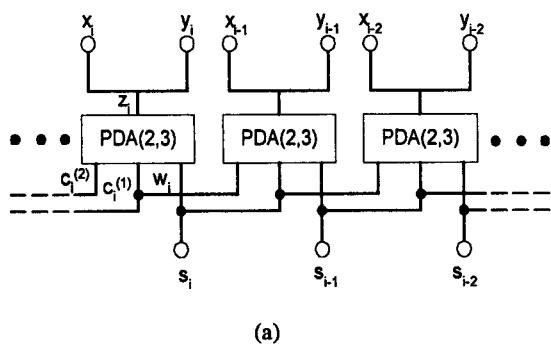
2진 2입력 가산에는 캐리 전파를 없애기 위해서 PD(2,3) 와 PD(2,2)수 표시를 사용하였다. PD(2,3)은  $\{0,1,2,3\}$ 의 디지트 집합, 그리고 PD(2,2)는  $\{0,1,2\}$ 의 디지트 집합으로 표현된다. 먼저, PD(2,3)을 이용한 2진 2입력 가산에서 입력은  $X=(x_{n-1} \dots x_1 x_0)$  PD(2,3) 와  $Y=(y_{n-1} \dots y_1 y_0)$  PD(2,3) 이고,  $x_i, y_i \in \{0,1,2,3\}$ 이다.  $X$ 와  $Y$ 를 이용한 병렬가산은 다음의 과정을 통해서 이루어진다.

$$z_i = x_i + y_i \quad \dots \dots \dots \dots \dots \dots \dots (11)$$

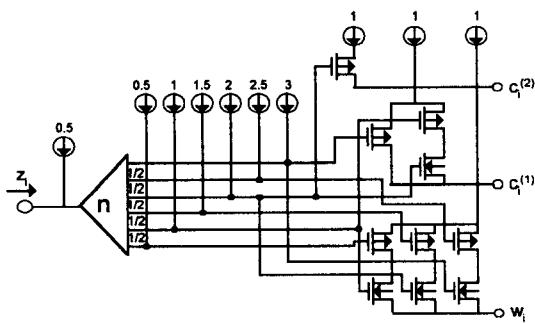
$$4c_i^{(2)} + 2c_i^{(1)} + w_i = z_i \quad \dots \dots \dots \dots \dots \dots \dots (12)$$

$$s_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} \quad \dots \dots \dots \dots \dots \dots \dots (13)$$

여기서 선형합  $z_i \in \{0,1,\dots,6\}$ , 캐리와 중간합  $c_i^{(2)}, c_i^{(1)}, w_i \in \{0,1\}$ , 최종합  $s_i \in \{0,1,2,3\}$  이다. 위의 식을 이용해서 2진 2입력 PD(2,3) 가산기를 구성하면 그림 9(a)와 같고 그림 9(b)는 그림 9(a)의 PDA(2,3)를 나타낸다.



(a)



(b)

그림 9. 병렬 PD(2,3) 가산기 (a) 가산기, (b) PDA (2,3) 소자  
Fig. 9. Parallel PD(2,3) adder (a) adder, (b)PDA(2,3) cell

그림 9의 과도응답 특성은 다음과 같다.

여기서, 입력을 논리치  $\{0,1,2,3,4,5,6\}$ 으로 했을 때 중간합  $w_i$ 는  $\{0,1,0,1,0,1,0\}$ , 캐리  $c_i^{(2)}$ 은  $\{0,0,0,0,1,1,1\}$ , 캐리  $c_i^{(1)}$ 은  $\{0,0,1,1,0,0,1\}$ 가 나온다. 이는 식

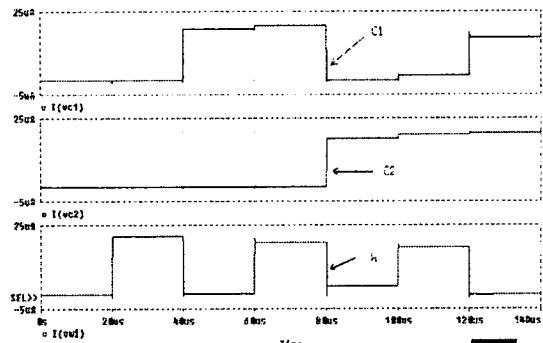


그림 10. 그림 9의 과도응답 특성

Fig. 10. Transient response characteristics of Fig 9

(11)-(13)의 결과와 일치하고 그림 9의 (b)에서 구한 값들과도 일치함을 알 수 있다. 선형 합  $z_i$  와 최종 합  $s_i$  는 가산기 설계 시 별도의 능동 소자 없이 결선만으로도 얻어진다. 이 특징을 이용한다면 가산기의 구조를 단순화 할 수 있으므로 연산을 고속으로 수행할 수 있다.

그리고 PD(2,2)를 이용한 병렬 가산에서 입력은  $X=(xn-1 \dots \dots xi \dots \dots x0)PD(2,2)$  와  $Y=(yn-1 \dots \dots yi \dots \dots y0)PD(2,2)$  이고,  $xi, yi \in \{0,1,2\}$  이다.  $X$ 와  $Y$ 를 이용한 병렬가산은 다음의 과정을 통해서 이루어진다.

$$z_i = x_i + y_i \quad \dots \dots \dots \dots \dots \dots \dots (14)$$

$$4c_i^{(2)} + 2c_i^{(1)} + w_i = z_i \quad \dots \dots \dots \dots \dots \dots \dots (15)$$

$$t_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} \quad \dots \dots \dots \dots \dots \dots \dots (16)$$

$$2d_i + v_i = t_i \quad \dots \dots \dots \dots \dots \dots \dots (17)$$

$$s_i = v_i + d_{i-1} \quad \dots \dots \dots \dots \dots \dots \dots (18)$$

여기서 선형합  $z_i \in \{0,1,2,3,4\}$ , 캐리 와 중간합  $c_i^{(2)}, c_i^{(1)}, w_i \in \{0,1\}$ , 2단에서의 캐리와 중간합  $d_i, v_i \in \{0,1\}$ , 최종합  $s_i \in \{0,1,2\}$  이다. 여기서도 선형 합  $z_i$ 와 최종 합  $s_i$ 는 별도의 능동소자 없이 결

선만으로 얻어지므로 간략화 된 PD (2,2) 병렬 가산기 구조는 그림 11과 같다.

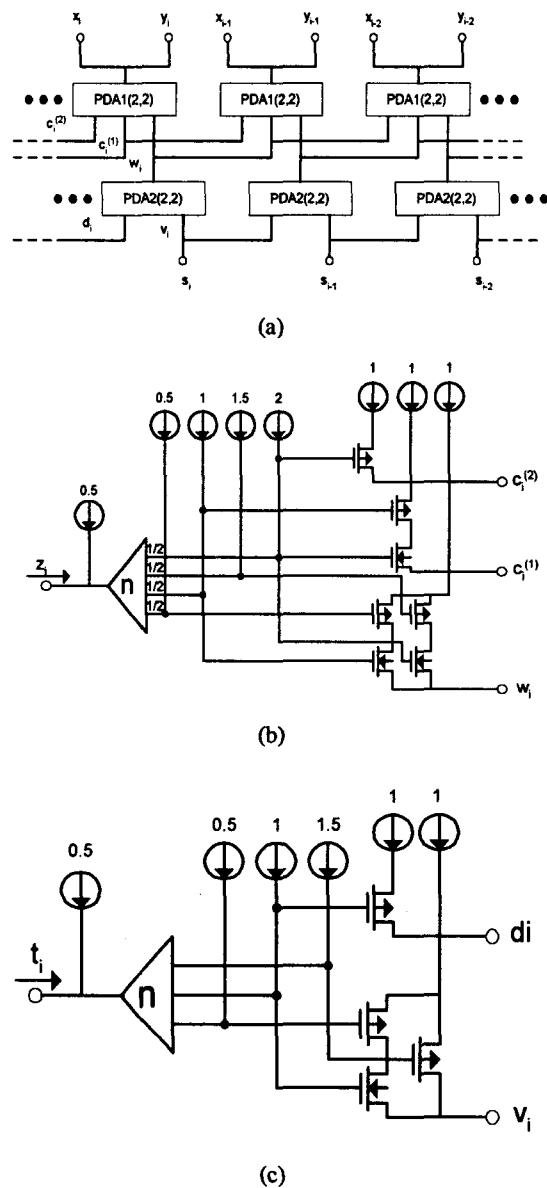
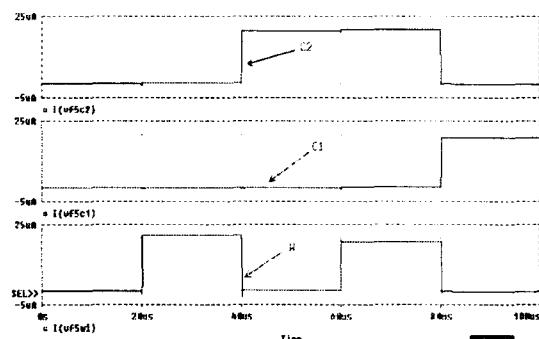


그림 11. 병렬 PD(2,2) 가산기 : (a) 가산기 (b) PDA1(2,2) 소자 (c) PDA2(2,2) 소자

Fig. 11. Parallel PD(2,2) adder : (a) adder (b) PDA1(2,2) cell (c) PDA2(2,2) cell

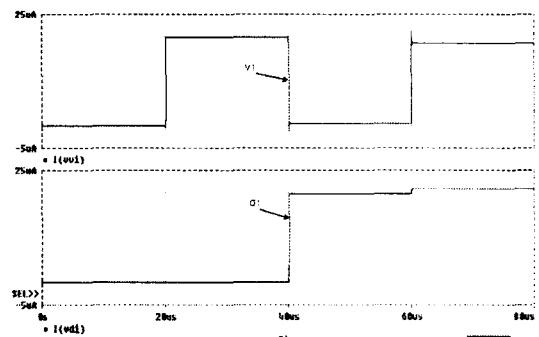
PD(2,2)수 표현의 회로에서 보면 PD(2,3)수 표현보다 단이 하나 더 생겨서 PD(2,3)수 표현보다 가산을 한번 더 한 것을 알 수 있다. 이것은 앞의 식 (16)에서 첫 번째 단의 최종합인  $t_i$ 를 구해보면  $\{0,1,2,3\}$ 이 나오는데 PD(2,2)수 표현에서는  $\{0,1,2\}$  밖에 나오지 않으므로 한번 더 가산을 한 것이다.

그림 11의 과도응답은 다음과 같다.



(a) PDA1(2,2)의 과도응답 특성

(a) Transient response characteristics of PDA1(2,2)



(b) PDA2(2,2)의 과도응답 특성

(b) Transient response characteristics of PDA2(2,2)

그림 12. 그림 11의 과도 응답 특성

Fig. 12. Transient response characteristics of Fig 11

여기서 입력을 논리치  $\{0,1,2,3,4\}$ 로 했을 때 종간합  $W_i$ 는  $\{0,1,0,1,0\}$ , 캐리  $c_i^{(2)}$ 은  $\{0,0,0,0,1\}$ , 캐리  $c_i^{(1)}$ 은  $\{0,0,1,1,0\}$ 가 나오고, 2단의 입력  $t_i$ 가

논리치 {0,1,2,3} 일 때 2단의 캐리  $d_i$ 는 {0,0,1,1}, 중간합  $V_i$ 는 {0,1,0,0} 이다. 이 것은 식 (14)-(18)의 결과와 일치함을 알 수 있다.

이상에서 PD(2,3)가산기와 PD(2,2)가산기를 비교하였을 경우 PD(2,2)수 표현을 사용하는 것보다 PD(2,3)수 표현을 사용하는 것이 가산의 단수를 줄일 수 있고 구조를 단순화 할 수 있음을 알 수 있다.

## V. 결 론

본 논문에서는 SD, PD수 다차 가산기를 제안하고 전류 및 전압 모드 CMOS 회로를 이용하여 이를 구현하였으며 설계된 회로에 대한 검증은 SPICE 및 부분적으로 FPGA를 이용하여 하드웨어 에뮬레이션하였다.

2진 시스템과 연계를 위하여 4차 SD수를 이용하여 연산결과를 디코우더를 이용하여 2진 전압모드로 간단히 변화할 수 있게 하였다. SD수 연산회로는 다차 쌍방향 전류 모드 CMOS 기본 블록으로 구성되어져 가산, 감산을 능동소자가 아닌 결선만으로 구성되어지므로 단순화·간략화 될 수 있어 적은 능동소자와 배선수로 연산회로를 구성할 수 있다.

SD수 전류모드 CMOS 회로를 사용하여 고속의 병렬가산과 PD 수 표현 다 입력 전류 모드 CMOS 가산기를 구성하였으며, 그 예로서 PD(2,3)가산기와 PD(2,2)가산기에 대해서 설명하였다. PD(2,2)가산기에서는 처음 최종합의 결과가 PD(2,2)의 표현에 맞지 않음으로 한번 더 가산을 하였다.

2진 2입력 PD가산기의 구성은 PD(2,2)수의 표현보다 PD(2,3)수의 표현을 사용하는 것이 가산의 단수를 줄임으로 연산의 고속화에 유리함을 알 수 있었다.

따라서, M개의 다 입력을 처리하는 가산기에서는 적당한 PD 수 표현을 사용하면 가산의 단수를 줄일 수 있으므로 구조를 단순화하여 연산을 고속화할 수 있다.

추후 과제로는 최적화 및 저소비 전력화를 하여야 할 것이며, 설계된 가산기를 기반으로 하는 디털처리, 화상처리등 응용 프로세스에의 적용에 대한 연구가 진행되어야 할 것이다.

## 참고문헌

- [1] S. Kawahito, M. Kameyama, T. Higuchi, "Multi-Valued Radix-2 Signed-Digit Arithmetic Circuits for High-Performance VLSI Systems," *IEEE J. Solid-State Circuits*, vol 25 no. 1, Feb., 1990.
- [2] T. Hanyu, M. Kameyama and T. Higuchi, "Beyond-Binary Circuits for Signal Processing," ISSCC Dig. Tech. Papers, pp. 1 34-135, 1993.
- [3] A. K. Jain, R. J. Bolton, "CMOS Multiple-Valued logic design - Part I: Circuit implementation," *IEEE Trans. on Circuits and System-I*, vol. 40, pp. 503-514, Aug. 1993.
- [4] T. Hanyu, M. Arakaki and M. Kameyama, "Quaternary Universal-Literal CAM for Cellular logic Image Processing," *ISMVL*, vol. 26, no. 1, pp. 224-229, 1996.
- [5] S. Kawahito, K. Mizuno, and T. Nakamura, "Multiple-valued current-mode arithmetic circuits based on redundant positive-digit number representations." in Proc. int. Symp. Multiple-Valued logic, Victoria, Canada, pp. 272-277. May, 1991.
- [6] N. Takagi, H. Yasuura, and S. Yajima, "High-speed VLSI multiplication algorithm with a redundant binary addition tree," *IEEE Trans. Comput.*, vol. C-34, pp. 789-76, Sept. 1985.
- [7] T. Higuchi and M. Kameyama, "Multiple-Valued Digital Processing System," Shokodo Co. Ltd., 1989.
- [8] L. P. Rubinfield, "A proof of the modified Booth's algorithm for multiplication," *IEEE Trans. Comput.*, vol. C-24, pp. 1014-1015, Oct. 1975.
- [9] M. Yamashina et al., "200-MHZ 16-bit BiCMOS signal processor," in ISSCC Dig. Tech. Papers, THPM12.8 Feb. 1989.



임 석 범(Suk-Bum Lim)  
1996년 2월 동의대학교 전자공  
학과 졸업(공학사)  
1998년 8월 동의대학교 산업기  
술대학원 전자공학과 졸  
업(공학석사)

\*주관심분야 : 다치 논리 이론 및 VLSI설계



송 흥 복(Hong-Bok Song)  
1983년 2월 광운대학교 전자통  
신 공학과 졸업(공학사)  
1985년 2월 인하대학교 대학원  
전자공학과 졸업(공학  
석사)

1985년 3월 ~ 1990년 2월 동의공업전문대학교 전자  
통신과(조교수)  
1989년 ~ 1990년 일본 九州공대 정보공학부 전자정  
보공학부 객원 연구원  
1990년 8월 동아대학교 대학원 전자공학과 졸업  
(공학박사)  
1994년 ~ 1995년 일본 宮崎대학교 공학부 전자공학  
과(POST-DOC)  
1991년 3월 ~ 현재 동의대학교 전자공학과 부교수

\*주관심분야 : 다치 논리 이론 및 다치 논리 시스  
템 설계, VLSI설계, 마이크로 프로  
세서 응용 등임.