

이 논문은 1996년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었습니다.

반도체 칩의 캡슐화 성형을 위한 지식형 설계시스템에 관한 연구

허용정*, 한세진**

A Study on a Knowledge-Based Design System for Chip Encapsulation

Y.J. Huh*, S. Han**

ABSTRACT

In this paper, we have constructed an expert system for semiconductor chip encapsulation which combines a knowledge-based system with CAE software. The knowledge-base module includes heuristic and pre-analysis knowledge for evaluation and redesign. Evaluation of the initial design and generation of redesign recommendations can be developed from the rules as applied to a given chip package. The CAE programs can be used for simulating the filling and packing stage of encapsulation process. The expert system is a new tool which enables package design or process conditions with high yields and high productivity.

Key Words : Wire Sweep(와이어 스위프), Chip Encapsulation Process(칩 캡슐화 공정), Knowledge-Based Design System(지식형 설계시스템)

1. 서론

반도체 칩은 칩의 보호 및 적절한 사용을 위해서 에폭시 성형 합성물(epoxy molding compound)재료에 의해 캡슐화 되어진다. 이러한 캡슐화 공정을 위하여 트랜스퍼 성형법(transfer molding)이 많이 사용된다. 트랜스퍼 성형법에 의해 반도체 칩을 캡슐화할 경우, 칩과 리드프레임을 전기적으로 연결하는 와이어 접합 부위는 성형재료의 유동시 발생하는 항력(drag force)에 의해 변형이 발생하게 된다. 항력은 접합된 와이어가 원래의 형

상으로부터 영구변형을 일으키도록 하는 원인이 되며 이는 반도체 성형분야에 있어서 와이어 스위프(wire sweep) 현상이라고 알려져 있다⁽¹⁾ 접합 와이어의 과도한 변형은 와이어가 서로 접촉하게 될 경우, 전기적 합선을 유발하거나 와이어가 서로 근접하게 될 경우 반도체 제품의 신뢰도에 문제를 발생시키는 주 원인으로 작용한다. 와이어 스위프는 칩 캡슐화 공정중에 발생하기 쉬운 대표적인 문제점 중의 하나이며 이를 최소화하는 것은 칩 캡슐화 공정에 있어서 대단히 중요하다. 칩 캡슐화 공정 중에 발생하는 와이어 스위프 현상을 해석하기 위한 연구가 많이 시도

* 한국기술교육대학교 생산기계공학과
 ** 코넬대학교 기계공학과

되어 왔다^(2,3,4,5,6) 그러나 설계 목적상 허용가능한 와이어 스융의 설계 및 평가를 위한 연구는 트랜스퍼 성형과 와이어등 캡슐화 성형에 관한 광범위한 지식을 필요로 하며 성형성, 제품의 기계적 성능, 가공, 와이어 변형의 구조해석등과 같이 와이어 스융에 관련된 모든 사항들을 설계 초기단계에서 종합적으로 고려하여 수행되어야 한다. 이러한 공정에 관한 종합적인 지식을 지원해 주는 합리적인 설계도구가 제공되지 못했던 이유로 캡슐화 성형 전문가의 오랜기간 축적된 경험과 지식에만 전적으로 의존하여 왔다.

경험에 의존하는 반도체 칩의 설계와 제작은, 금형의 완성을 위해서 반복적 수정이 요구되기 때문에 비용이 많이 든다. 또한 금형내에서 일어나는 예폭시 성형 합성물의 열기계적 거동이 대단히 복잡하기 때문에 미충전,제품의 불균일성, 와이어 스융(wire sweep), 가공등 칩 캡슐화 성형 공정중 많이 발생하는 결함을 최소화하기 위한 공정조건과 성공적인 패키지 설계를 얻기가 대단히 어렵다.

지식베이스 시스템을 사용하여 플라스틱 성형분야의 합리적 설계를 얻으려는 연구는 사출성형 분야에서 먼저 시도되었다. Kim은 경험적 지식을 전산화하기 위한 전문가 시스템과 공정해석용 프로그램을 상호보완적으로 결합하여 사출성형용 설계 시스템을 구축하였다⁽⁷⁾. Huh와 Kim은 사출성형제품의 부형상 설계합성과 해석을 위하여 광범위한 사출성형 관련 공정 지식과 특징형상 CAD 모델러를 결합한 지식형 CAD 시스템을 구축하였다⁽⁸⁾. Ciriscioli등의 연구자들은 복합재료의 오토 클레이브 큐어링(autoclave curing)공정중에 공정을 제어하기 위하여 전문가 시스템 방법론을 사용하였다⁽⁹⁾.

그러나, 반도체 칩 캡슐화 공정에 전문가 시스템을 적용하여 설계를 합리화하려는 시도는 아직까지 없었다. 칩 캡슐화 성형 설계를 성공적으로 수행하기 위해서는 캡슐화 성형 공정해석 기능만이 아니라 적절한 재료, 공정조건, 패키지 설계를 결정하기 위한 전문가의 의사결정이 요구된다. 이러한 전문가의 의사결정은 오랜 경험을 가진 설계자의 지식과 직관을 근거로 하여 이루어진다. 초기설계의 평가, 재설계 대안의 생성등의 기능 또한 제시된 설계 평가 기준에 근거한 전문가의 지식을 요하는 부분이다. 이러한 전문가의 관련 지식은 전문가 시스템 기법에 의하여 전산정보화될 수 있으며, 해석기능과 전문가 시스템의 연계를 통하여 컴퓨터를 이용한 통합적 설계가 가능하게 된다.

이러한 관점에서 본 논문은 설계자의 경험적, 이론적

지식을 전산정보화하기 위한 지식베이스 시스템과 칩 캡슐화 성형공정의 시뮬레이션을 위한 CAE 프로그램을 상호보완적으로 결합하여 합리적인 반도체 칩 캡슐화 성형 설계 시스템을 구축하려는 것이 목적이다. 본 논문에서는 우선적으로 와이어 스융, 성형성의 문제에 주안점을 두고 연구를 진행하였다.

2. 지식형 칩 캡슐화 성형 설계 시스템 개요

본 논문은 반도체 칩 캡슐화 성형 설계를 합리화하기 위한 대화적 지식형 설계 시스템의 구축에 관하여 기술하였다. 전형적인 칩 캡슐화 공정을 보여주는 예가 Fig.1에 도시되어 있다. 이는 칩 캡슐화 공정중 예폭시 성형 합성물의 용융액이 시간대별로 충전되어 나가는 과정을 나타내고 있다.

본 연구에서 구축된 지식형 설계 시스템은 크게 2가지 기능적 모듈로 구분될 수 있다. 즉, 지식베이스 모듈과 CAE 해석 프로그램 모듈이다. 전체 제어와 사용자 인터페이스 기능은 전문가 시스템 기능에 의존한다(Fig.2).

지식베이스 모듈에는 설계합성을 위해 공학 데이터 베이스로서 Nitto Denko사의 고분자 재료 13가지와 Tanaka등의 회사의 5가지 종류의 와이어 데이터가 구축되어 있고, 초기 설계의 평가와 재설계 대안 생성을 위해 전문가의 경험적 지식과 간단한 설계공식등의 이론적 지식이 포함되어 있다. 초기설계의 평가 및 재설계 대안 생성등은 주어진 칩 패키지에 적용되는 설계지식을 규칙화하여 이루어 질 수 있다. 지식 베이스 모듈은 설계자에 의해 입력된 예폭시 성형합성물 재료의 종류와 와이어의 종류에 대해 내장된 공학 데이터를 불러들여 1단계 와이어

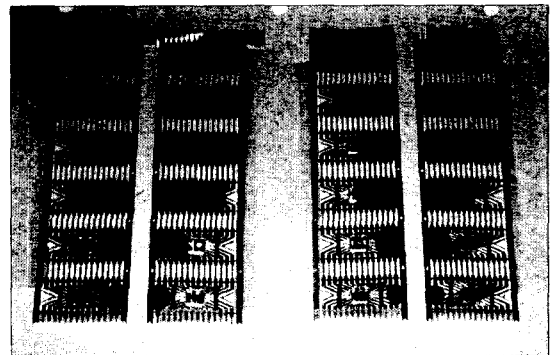


Fig. 1 Chip encapsulation process

스왑의 평가를 수행한다. 필요한 경우 보다 엄밀한 와이어 스왑의 해석 및 평가를 위해서 2단계 평가 모듈로 진행되게 된다.

CLIPS(C language integrated production system)는 미국 NASA의 인공지능 연구부문에에서 개발된 전문가 시스템 구축도구로서 본 연구의 규칙베이스를 구성하기 위하여 사용되었다.

전문가 시스템은 유동해석 프로그램과 구조해석 프로그램등의 CAE 해석 프로그램을 필요할 경우 호출할 수 있다.

PACK3DM2⁽¹⁰⁾는 코넬대학의 CIMP(Cornell Injection Molding Program)연구팀이 칩 캡슐화 공정 해석용으로 개발한 유동해석 프로그램이며, 캡슐화 성형공정의 충전 및 압입 과정 해석이 가능하다. ABAQUS는 구조해석을 위하여 상용으로 개발된 프로그램으로서 본 연구에서 구조해석을 위한 목적으로 사용되었다. 이러한 CAE 해석 프로그램은 전문가 시스템에 의해 이루어진 결정에 근거하여 해석을 수행하고 요구되는 데이터를 공급하게 된다.

3. 공정조건의 평가

반도체 칩 패키지는 요구되는 기능적 사항들을 만족시킬수 있도록 현장 실무 엔지니어에 의해 설계된다. 칩 캡슐화 성형의 설계업무는 재료선정, 칩 패키지 형상결정, 공정조건 선정등을 패키지 성능과 성형성을 고려하여 수행하는 것이다. 본 연구에서는 이러한 업무를 컴퓨터에 의해 최대한 지원해 줄수 있는 지식형 설계 시스템을 구축하려는 데 그 목적이 있다.

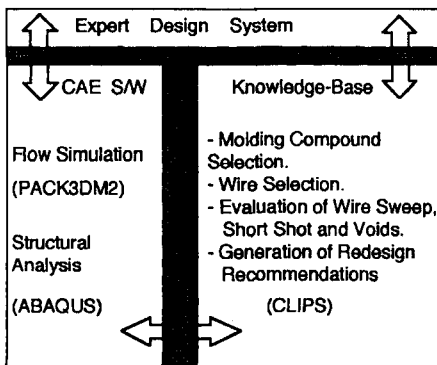


Fig. 2 A framework of knowledge-based system for chip encapsulation

첫번째 단계는 사용자가 제안한 공정조건을 평가하는 모듈을 구축하는 것이다. 구체적으로 언급하면, 이 모듈의 기능은 제안된 초기 공정조건이 와이어 스왑, 미충전, 기공등과 같은 성형상의 문제를 유발하는지 여부를 검토하여야 한다. 이러한 평가절차는 1,2단계로 나뉘어진다.

1단계 평가 모듈은 신속하게 개략적인 초기 설계를 얻을 수 있도록 간단한 구조공식, 경험식등을 이용한 평가 모듈을 구성하려는 것이고, 2단계 평가 모듈은 CAE 해석 프로그램과 해석 결과 평가를 위한 지식베이스 모듈을 연계하여 보다 엄밀한 평가를 위한 목적으로 구성되었다. 1,2단계 평가과정의 유통도가 Fig.3에 도시되어 있다.

3.1 1단계 평가 모듈

와이어 스왑의 평가가 우선적으로 논의될 수 있다. 공정중 에폭시 성형합성물 용액의 유동선단이 와이어의 변형을 유발하게 되는데 이 때 와이어 변형거동의 정량적 예측이 대단히 중요하다. 와이어 스왑의 엄밀한 정량적 예측을 위해서는 CAE 프로그램을 이용한 정확한 해석이 필요하다. 그러나 대체적으로 CAE 프로그램을 사용할 경우, 막대한 컴퓨터 계산시간을 요하게 되며 이 경우 초

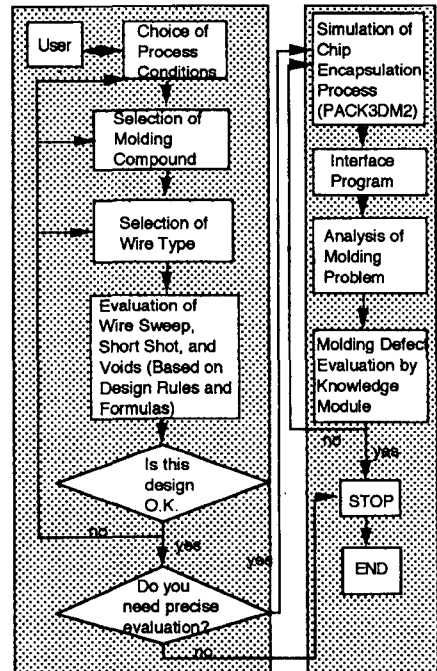


Fig. 3 Flow chart of knowledge-based design system for chip encapsulation

기 설계합성을 위한 목적으로는 적당하지 않다. 이러한 이유로 1차적으로 간단하게 신속히 와이어 스윙을 정량화 할 수 있는 근사적 방법론이 절실히 요구된다. 와이어 스윙의 정량적 예측을 간단하게 수행하기 위하여 본 연구에서 사용한 와이어 스윙 계산모델을 Fig.4에 도시하였다⁽⁵⁾.

이 모델은 구조공식과 경험식등을 이용하여 구축되었으며 이 모델을 활용하여 와이어 스윙 예측을 위한 1단계 평가 모델을 구성하였다.

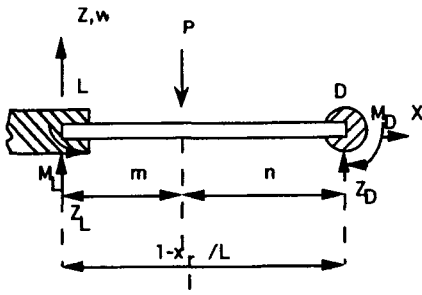
참고문헌 (5)와 (11)으로부터 유체의 유동에 기인하는 와이어 스윙의 근사 계산을 위한 다음과 같은 간단한 식을 얻을 수 있다.

$$\delta = \frac{PH^3}{3GI_p} + \frac{Pm^3}{3EI} \quad (1)$$

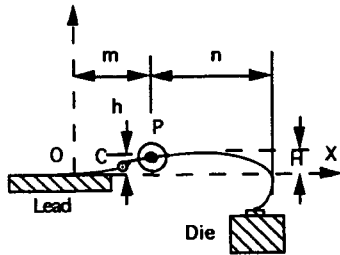
$$P = \frac{1}{2} C_p U^2 S D_w \cos\theta_i \cos\theta_w \quad (2)$$

$$C = 4\pi\eta b \quad (3)$$

$$b = \frac{U}{\ln\left(\frac{h^*}{a}\right) - 0.9156 + 1.7243\left(\frac{a}{h^*}\right)^2} \quad (4)$$



(a)



(b)

Fig. 4 (a) Top view of the wirebond configuration with the corresponding resolved forces and moments; (b) Side view of the wirebond loaded by the flow-induced force P. (from references5)

여기서 δ 는 유동방향에 있어서 최대 와이어 스윙이다. P 는 와이어에서의 총 항력이고, G 는 전단탄성계수, E 는 영계수, I_p 는 극관성 모멘트, I 는 관성 모멘트이다. h 와 m 은 Fig.4에 정의되어 있다. $C, \rho, U, S, D_w, \theta_i, \theta_w$ 는 항력 계수, 수지밀도, 유속, 와이어 길이, 와이어 직경, 항력방향과 Z축간 각도, 항력방향과 X축간 각도를 나타낸다. η, h^*, a 는 수치점성, 캐비티 두께의 1/2, 와이어 반경을 나타낸다. 이러한 경험식은 크리핑 유동($Re \ll 1$) 조건 하에서 뉴턴 유체에 대해 유효하다⁽¹¹⁾.

와이어 스윙의 정의는 다음과 같다.

$$\text{와이어 스윙} = \text{유동방향에 있어서 와이어 최대변형/와이어 길이} \quad (5)$$

만일 주어진 칩 형상에 대하여 와이어 스윙이 특정값보다 클 경우 와이어 스윙 문제가 발생한다고 생각할 수 있다. 다음은 Nitto Denko사의 성형합성물의 경우에 있어서 와이어 스윙 판정에 사용된 규칙의 예이다.

IF: Molding compound is Nitto Denko (MP-180) and Wire type is (SPM1) and Wire sweep is bigger than [10 percent] THEN: Wire sweep problem is possible

미충전을 판정하는 규칙은 다음과 같이 주어질 수 있다⁽⁷⁾.

IF: The machine capacity is {p*Q} and The required pressure for the cavity filling is higher than {p} THEN: Short shot is possible

여기서 Q 는 유량을 의미한다. 기공에 대하여 기공의 양과 공정조건을 연계시키는 만족할만한 모델이 현재까지 존재하지 않고 있다. 본 연구에서는 이러한 평가를 위하여 대단히 간단한 형태의 평가 기준을 사용하기로 한다. 기공과 관련하여 본 연구에서 사용된 규칙의 유형은 다음과 같다⁽⁹⁾.

IF: The required pressure {p} is smaller than the saturation pressure {p_s} of the given molding compound THEN: Void problem is possible

와이어 스위프, 미충전, 기공의 가능성 판정은 설계자와 전문가가 시스템간의 대화를 통하여 이루어진다. 전문가 시스템은 설계자가 공정조건을 적절히 잘 선택할 수 있도록 지원하여 준다.

3.2 2단계 평가 모듈

보다 엄밀한 성형성의 판정과 와이어 스위프 계산을 위하여는 2단계 평가 모듈이 요구된다. 2단계 평가 모듈을 이용하여 성형성과 와이어 스위프를 평가하는 과정은 다음과 같이 설명될 수 있다.

와이어 스위프를 계산하기 위해서 유동에 기인한 항력이 계산되어야 하는 데 이는 PACK3DM2 프로그램의 결과에서 주어진다. 전문가 시스템은 필요한 경우 PACK3DM2 프로그램을 호출할 수 있다. PACK3DM2 프로그램은 충전과 압입 단계동안에 와이어 상에서 발생하는 항력을 비롯한 여러가지 열기계적 정보를 주게 된다. PACK3DM2 프로그램의 결과로서 주어진 항력을 이용하여 구조해석 프로그램을 사용하면 최종적으로 와이어 거의 변형을 계산할 수 있다. 본 연구에서는 상용 구조해석 프로그램인 ABAQUS가 사용되었다. PACK3DM2 프로그램에서 얻어진 항력데이터와 와이어 관련정보는 CLIPS로 쓰여진 인터페이스 프로그램에 의해 ABAQUS 입력데이터로 자동 변환될 수 있도록 하였다. 이 입력화일을 사용하여 ABAQUS 프로그램을 실행시키면 구하고자 하는 와이어 변형을 얻을 수 있다.

4. 재설계 대안 생성과정

전문가 시스템은 성형공정 조건을 평가하게 된다. 만일 성형상의 문제점이 감지되지 않을 경우 이 과정은 종료된다. 그러나, 만일 성형상의 문제점이 지적된다면 전문가 시스템은 이를 해결하기 위한 재설계 대안을 생성해 내게 된다. 와이어 스위프의 경우에 있어서 전문가 시스템은 와이어 스위프를 감소시키기 위해 지식베이스를 이용하여 추천하게 된다. 예를들면 충전시간, 금형온도, 램속도 분포 변화등의 추천이 가능하다. 예를들면, Fig.5와 같이 램속도 분포를 추천할 수 있다.

재설계 대안 생성을 위한 실제 규칙중에서 와이어 스위프 작소를 위한 경험적 규칙은 다음과 같이 주어질 수 있다.

4.1 개선된 공정조건 생성방안

만일 처음 제안된 공정조건이 와이어 스위프를 유발할 경

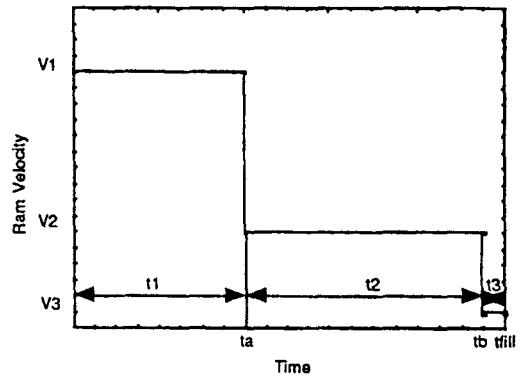


Fig. 5 Representative ram velocity profile

우 전문가 시스템은 이에 개선하기 위한 방안으로 다음과 같은 과정을 거쳐 새로운 금형온도나 충전시간을 추천하게 된다.

식(1)로부터 다음 관계식을 얻는다.

$$\delta = KD \tag{6}$$

여기서 D 는 단위길이당 항력이고 $K = (\frac{Lh^3}{3GI_p} + \frac{Lm^3}{3EI})$

이다. L 은 와이어 길이를 나타낸다. 개선된 공정조건 생성을 위한 경험적 규칙을 얻기 위해 유속과 온도가 항력을 제어하기 위한 지배적인 인자로 선택될 수 있다. 식(6)으로부터 다음 식을 얻는다.

$$d\delta = K(\frac{\partial D}{\partial v} dv + \frac{\partial D}{\partial T} dT) \tag{7}$$

식(6)과 (7)로부터 다음 식을 얻게 된다.

$$\frac{d\delta}{\delta} = \frac{1}{D}(\frac{\partial D}{\partial v} dv + \frac{\partial D}{\partial T} dT) \tag{8}$$

참고문헌 (6)로부터 유동에 기인한 와이어에서의 항력을 유속과 온도의 항으로 나타낸 다음 식을 얻는다.

$$D = (a_0 + a_1v + a_2v^2 + a_3v^3)e^{(b_0+b_1v)T} \tag{9}$$

$$\frac{\partial D}{\partial v} = (a_1 + 2a_2v + 3a_3v^2)e^{(b_0+b_1v)T} + (a_0 + a_1v + a_2v^2 + a_3v^3)e^{(b_0+b_1v)T} \tag{10}$$

$$\frac{\partial D}{\partial T} = (a_0 + a_1v + a_2v^2 + a_3v^3)e^{(b_0+b_1v)T} (b_0 + b_1v) \tag{11}$$

식(8)로부터 만일 목표로 하는 와이어 변형 감소량이 주어지고 충전시간만을 변경하려 한다면 속도 변화량 dv 가 얻어질 수 있다. 최종적으로 새로운 속도로부터 상응하는 개선된 충전시간을 다음과 같이 정량적으로 결정할 수 있다.

$$\frac{(t_{fill})_1}{(t_{fill})_2} = \frac{v_2}{v_1} \quad (12)$$

여기서 1은 원래의 조건을 나타내고 2는 새로운 조건을 의미한다. 동일한 목적을 이루기 위해 금형온도를 마찬가지로 방법으로 변경할 수 있다. 여기서 새롭게 생성된 공정 조건은 성형 합성물의 점성이 최소값 근처에 있도록 하는 성형 윈도우 내에 존재해야 한다⁽¹⁾.

4.2 최적 램 속도 분포 생성방안

참고문헌 (12)로부터 램 속도 분포를 생성하기 위한 경험적 관계식이 다음과 같이 주어질 수 있다.

$$v_0 t_{fill} = v_1 t_1 + v_2 t_2 + v_3 t_3 \quad (13)$$

여기서 v_0 는 일정한 램 속도일 경우의 램 속도이고 v_1, v_2 와 v_3 는 구간 별로 램 속도를 변화시킬 경우, 구간 1,2,3에서의 램 속도이다. t_1, t_2, t_3 는 구간 1,2,3에서의 시간 간격을 나타낸다(Fig.5).

v_a 를 임의의 캐비티가 채워지기 전, 와이어 위치에서의 최대 유속이라 하고 v_b 를 일정한 램 속도일 경우 충전 최종 단계에서의 속도라 하자(Fig.6참조).

v_2, v_3 의 비가 다음과 같이 주어진다.

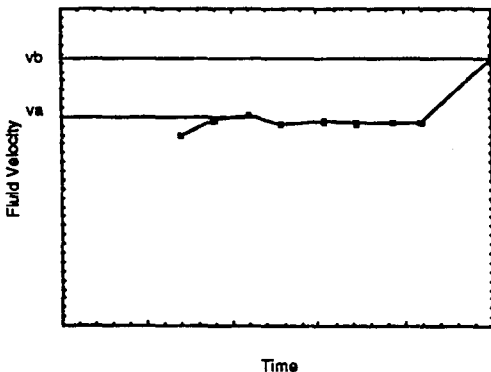


Fig. 6 Typical velocity at a point in the cavity where a wire is located before ram velocity control

$$\frac{v_2}{v_3} = \text{maximum}\left(\frac{v_b}{v_a}\right) \quad (14)$$

와이어 스위프 감소 방안으로서 런너 밸런싱을 시도할 수도 있다⁽¹²⁾. 이상에서 논의된 경험적 방법론을 이용하여 와이어 스위프 감소를 위한 재설계 방안을 생성하기 위한 규칙이 다음과 같이 제시될 수 있다.

- IF: Wire sweep problem is possible
- THEN: Increase the filling time as suggested by the expert system's heuristic scheme
- or Increase the mold temperature as suggested by the expert system's heuristic scheme
- or Apply the optimal ram velocity profile as suggested by the expert system's heuristic scheme
- or Apply runner balancing

본 연구에서 제안된 지식형 설계 시스템을 입증하기 위하여 다음과 같이 적용사례를 연구하였다. 본 연구를 위해 사용된 포트(pot), 런너(runner), 캐비티(cavity) 시스템의 개략도가 Fig.7(a)에 도시되어 있다. Fig.7(a)에

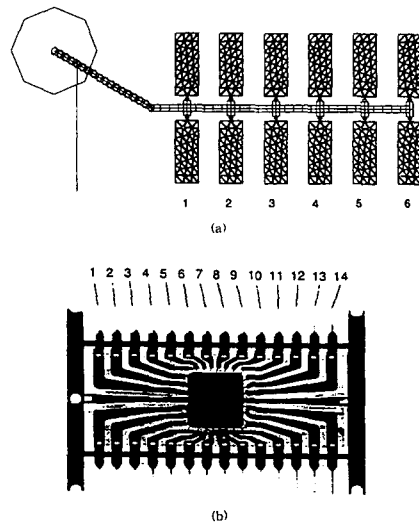


Fig. 7 (a) Plan view of pot,runner and cavity system used in the encapsulation of a semiconductor chip and (b) Chip and lead-frame assembly(number in the figure denote wire number)

도시된대로 12개의 캐비티가 존재하며 런너의 각 양쪽에 3개씩 위치하고 있다. 본 논문의 사례 연구에서 와이어 스위프 계산에 사용된 칩과 리드프레임의 조립형태가 Fig.7(b)에 도시되어 있다. 패키지는 28 리이드 DIP(dual-inline-package)이다.

원래의 공정조건에 대한 PACK3DM2 프로그램 해석 결과가 Fig.8에 도시되어 있다.

원래 제시된 공정조건을 사용하면 캐비티 1에서의 와이어에 대하여 약 0.00024 m의 와이어 변형이 발생되게 된다. 와이어 변형을 원래값의 2/3로 감소시키는 것을 목표로 가정하기로 한다. 즉 목표로 하는 와이어 변형은 0.00016 m이다. 목표로 하는 와이어 변형값을 얻기 위해서는 이에 상응하는 공정조건을 구해야 하는데 해석 프로그램만을 이용하여 이러한 결과를 얻기는 대단히 어렵다. 이 경우 본논문에서 구축된 1단계 평가 모듈을 이용하면 근사적인 해를 쉽게 얻을 수 있다. 즉 1단계 평가 모

듈을 작동시켜 와이어 변형이 0.00016 m가 되도록 하는 충전시간 혹은 금형온도를 구한다. 원래의 공정조건과 전문가 시스템이 제안한 공정조건이 Table 1에 도시되었다.

이 결과를 보면, 원래의 공정조건을 사용한 경우에는 0.00024 m의 와이어 변형을 보이지만 전문가 시스템에 의해 제시된 공정조건을 사용한 경우의 와이어 변형은 충전시간을 7초 증가시키는 경우 2단계 평가 모듈을 통해 검증한 결과, 0.00011 m로 나타났고 금형온도를 섭씨 9도 증가시키는 대안을 사용한 경우 역시 2단계 평가 모듈로 검증한 결과, 0.00018 m로 나타났다. 이러한 결과가 Table 1에 같이 도시되어 있다.

Table. 1 Resulting maximum wire-deflection values for original and revised process conditions

	Fill Time(s)	Mold T. (°C)	Wire Deflection(m)
Original	12	180	2.42e-4
Redesign1	19	180	1.11e-4
Redesign2	12	189	1.78e-4

이 결과를 통하여 판단해 볼때 본 연구를 통하여 구축된 지식형 설계 시스템의 1단계 평가 모듈에 의한 와이어 변형 예측정도가 만족할만한 수준임을 알 수 있다.

미충전, 기공문제에 있어서는 어떠한 만족할만한 정량적 재설계 규칙도 존재하지 않는다. 그러나 기공문제의 경우 다음과 같은 정성적인 재설계 규칙을 사용할 수 있다.

IF: The required pressure $\{p\}$ is smaller than the saturation pressure $\{p_s\}$ of the given molding compound
 and The required pressure $\{p\}$ is smaller than the allowable maximum pressure $\{p_{max}\}$
 THEN: Increase the pressure

공정의 생산성을 증진시키기 위하여 새로운 공정조건을 제안할 수 있다. 예를들면, 계산된 와이어 스위프 제품에서 요구되는 값보다 작게 나타날 경우 와이어 스위프를 허용치 내로 유지하면서 생산성을 증가시킬 수 있도록 충전시간을 최대한 감소시킬 수 있다.

5. 결론

와이어 스위프, 미충전, 기공등의 성형상의 문제점을 감

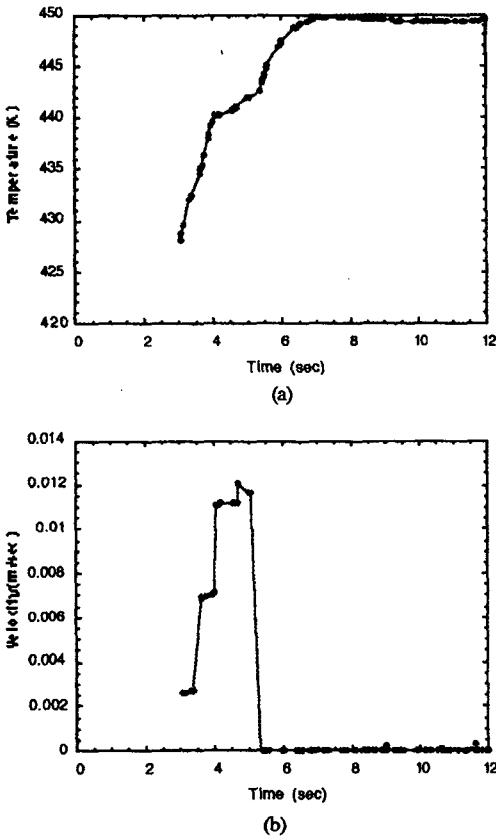


Fig.8 (a) Temperature and (b)velocity change at the central point in cavity 1

소시키기 위해서 초기 설계 단계에서 설계를 평가하고 재 설계 대안을 생성할 수 있는 지식형 설계해석 및 평가 시스템을 구축하였다. 지식베이스는 설계 평가와 재설계 대안 생성을 위한 전문가의 지식을 포함하고 있다. 지식베이스에는 이러한 작업과 관련되는 물성 데이터 베이스도 구축되어 있다. 성형합성물 재료의 공학적 데이터, 와이어 관련 데이터 베이스등이 그 예이다. 본 연구를 통하여 구축된 시스템을 입증하기 위하여 사례 연구를 수행하였으며, 와이어 스위치 지식형 설계 시스템의 제안대로 효과적으로 감소될 수 있음을 보였다.

전문가 시스템의 모듈 구조는 지식 모듈을 첨가함에 의해서 칩 캡슐화 공정의 다른 특성도 고려할 수 있도록 되어 있다. 또한 서로 다른 기준으로부터 얻어진 결과간에 모순이 존재할 경우 적절한 공정조건을 선택할 수 있도록 하는 기능의 추가도 가능하다.

현장에서 성형상의 문제점 해결을 위해 사용하는 경험적 지식을 지식베이스에 지속적으로 추가해 나가는 연구와 기 구축된 전문가 시스템을 보다 효율적으로 운용하기 위한 방법론에 관한 연구등이 지속적으로 수행될 예정이다.

참 고 문 헌

1. Manzione, L.T., "Plastic Packaging of Micro-electronic Devices", Van Nostrand Reinhold, New York, 1990.
2. Manzione, L.T., "Packaging of Microelectric Devices", SPE ANTEC Conference Bounded Book, Chicago, IL., 1983.
3. Nguyen, L.T., "Wire Bond Behavior during Molding Operations of Electronic Packages", Polymer Engineering and Science, Vol.28, 1988.
4. Nguyen, L.T. and Lim, F.J., "Wire Sweep during Molding of Integrated Circuits", 40th Electron. Comp. & Tech. Conf., Las Vegas, NV., 1990.
5. Nguyen, L.T., Danker, A., Santhiran, N. and Shervin, C.R., "Flow Modeling of Wire Sweep during Molding of Integrated Circuits", ASME Winter Annual Meeting Bounded Book, Anaheim, CA., 1992.
6. Han, S., "A Study on Plastic Encapsulation of Semiconductor Chips", Ph.D Dissertation, Cornell University, 1994.
7. Kim, S.G., "Knowledge-based Synthesis System for Injection Molding", Ph.D Dissertation, MIT, 1985.
8. Huh, Y.J. and Kim, S.G., "A Knowledge-based CAD System for Concurrent Product Design in Injection Molding", Int. J. of Computer Integrated Manufacturing, Vol.4, No.4, pp.209-218, 1991.
9. Ciriscioli, P.R., Springer, G.S. and Lee, W.I., "An Expert System for Autoclave Curing of Composites", Vol.25, pp. 1542-1587, 1991.
10. PACK3DM2: Software available to members of the Industrial Consortium of the CIMP.
11. Takaisi, Y., "Note on the Drag on a Circular Cylinder Moving with Low Speeds in a Viscous Liquid between Two Parallel Walls", J. of Physical Society of Japan, Vol.11, pp.1009-1013, 1956.
12. Han, S. and Wang, K.K., "Reduction of Wire Deformation during Chip Encapsulation by Runner Balancing and Ram Control", ASME Winter Annual Meeting, Nov., Chicago, IL, 1994.