

論文98-35S-6-13

디지털 NTSC/PAL 비디오 부호화기의 ASIC 구현

(An ASIC Implementation of Digital NTSC/PAL Video Encoder)

吳承坪*,李文基*

(Seung Ho Oh and Moon Key Lee)

요 약

본 논문에서는 압축 복원된 디지털 RGB 또는 YCbCr 신호를 NTSC와 PAL 방송 규격에 맞는 휘도 신호와 크로마 신호 또는 영상 복합 신호로 변환 출력하는 기능을 갖는 부호화기를 설계하였다. 부호화기의 비디오 타이밍 신호는 수평 동기 신호, 수직 동기 신호, 블랭킹을 포함하며 또한 비디오를 편집하는 데 편리한 필드 인식(identification) 신호를 지원한다. 부호화기는 곱셈기를 사용한 시스톱릭 파이프라인 방식^[13]에 비해 4단 파이프라인 아키텍처와 쉬프트-앤-가산기를 사용하여 약40%의 게이트 수를 줄였다. 설계된 부호화기는 0.65 μ m SOG(Sea Of Gatearray) 삼중 금속 CMOS 공정 기술을 사용하여 패드를 포함한 전체 칩 면적은 3.7478mm × 4.4678mm으로 19,468의 게이트가 집적되었으며 전력 소비는 0.9W이다.

Abstract

This paper presents an ASIC implementation of video encoder which converts either digital RGB or YCbCr to S-video(Y/C) and composite video signal. The video timing signal of this encoder includes horizontal sync., vertical sync. signal and blanking, and this encoder supports field identification signal which is convenient for video editing. The encoder has been designed in the 4 stages pipeline structure to assure the stable operation of each submodule. The proposed encoder requires only 20K gates, which is a 40% reduction in hardware compared with [13]. The designed encoder was fabricated in 0.65 μ m SOG triple metal CMOS technology. Chip size is 3.7478mm x 4.4678mm including PAD, gate counts is 19,468 and dissipated power is 0.9W.

I. 서 론

현재 사용하고 있는 텔레비전 방송 규격인 NTSC (National Television System Committee), PAL (Phase Alternation Line), 그리고 SECAM (Sequential Color with Memory) 등 세 가지 방식들은 컬러 영상을 한 개의 채널로 압축하여 이를 전송 및 저장하는 것이 목적이다. 공통적으로 컬러 영상 신호를 휘도와 색신호로 분리하는 주파수 내삽 방식을

사용하고 있다. VOD(Video On Demand)는 텔레비전 상단에 셋탑 박스(Set top box)가 있어 주문한 데이터를 변환하는 것으로 이과정에서 디지털로 압축된 영상 데이터를 복호화 한 디지털 RGB 또는 YCbCr 신호는 기존 텔레비전에 디스플레이하기 위해 Y/C 및 영상 복합 신호(Composite Signal)로 변환 입력되어 화면을 재생하게 된다. 디지털 컬러 텔레비전 방식은 적(R), 녹(G), 청(B) 영상 신호를 복합 비디오 신호로 만드는 부호화기, 복합 비디오 신호로부터 RGB 영상 신호로 분리하는 복호화기의 두 부분으로 구성되어 있다. 본 논문은 압축 복원된 디지털 RGB 또는 YCbCr 신호를 NTSC와 PAL 방송 규격에 맞는 휘도 신호

* 正會員, 延世大學校 電子工學科

(Dept. of Elec. Eng., Yonsei University)

接受日字: 1998年1月23日, 수정완료일: 1998年5月29日

(Y)와 크로마 신호(C) 또는 영상 복합 신호로 변환 출력하는 기능을 갖는 부호화기를 설계하였다. 본 부호화기에서 사용하는 비디오 타이밍 신호는 수평 동기 신호, 수직 동기 신호, 블랭킹(blanking) 또한 비디오를 편집하는 데 편리한 필드 인식 신호(F)로 구성되어 있다. 우선 본 부호화기의 전체 기능과 동작은 칼라바 테스트 벡터를 입력하여 매트랩(MATLAB) 프로그램을 이용하여 검증하였다. 이와 같이 검증된 HDL 코드를 합성한 후 단위 지연 시뮬레이션(unit delay simulation)과 스탠더드 지연 파일 [standard delay file (.sdf)]을 통한 시뮬레이션으로 타이밍 검증을 하고 배선 및 배치(P&R)를 수행하였다. 배선 및 배치 수행후 생성된 지연(delay) 파일로 포스트 레벨(post level) 시뮬레이션을 하여 최종 검증하였다.

II. NTSC/PAL 방식 비교

본 논문의 부호화기가 지원하는 표준 방송 규격인 NTSC와 PAL 방식에 대해 살펴보고자 하겠다.

1. NTSC 방식

NTSC 방식은 초당 30 프레임을 전송하고 인터레이스 주사 방식을 사용하므로 초당 60 필드를 보내게 된다. 그리고 한 프레임은 525라인이므로 한 필드는 262.5 라인으로 구성되며 라인 주파수는 15.750kHz가 된다. 또한 기존의 흑백(monochrome) TV와의 양립을 위해 세 가지 색신호로부터 각 색에 대한 시각 인지도를 고려하여 구해진 휘도 신호의 스펙트럼을 분석한 결과 라인 스캐닝 주파수의 정수배 값에서 에너지가 모여 있고 그 사이 사이에 간격(gap)이 있음을 이용하여, 0.5MHz (32F_H까지의 신호)로 대역 제한된 색 정보를 휘도 신호의 밴드 폭인 4.2MHz(267F_H까지) 내에서 인터리빙하여 휘도 신호와 함께 전송하게 된다. 주파수를 인터리빙하기 위해 색 신호의 서브캐리어 주파수(F_{SC})는 (455×F_H)/2 를 사용한다. 이에 따라 각 주파수를 다시 정리해보면 다음과 같다.

$$F_{SC} = 3.579545 \text{ MHz}$$

$$F_H = (2 \times F_{SC}) / 455 = 15.734 \text{ kHz}$$

$$F_{FIELD} = F_H / 262.5 = 59.94 \text{ Hz}$$

이 방식에서 F_{SC}는 F_H/2에 비례하므로 첫 라인과 다음 라인 사이에 반 위상 차이가 생겨 두 프레임 즉,

4 필드만에 처음 위상으로 돌아오게 된다.

2. PAL 방식

PAL방식은 NTSC 방식과 전반적으로 비슷하나 수신단에서의 위상 오차 극복을 주 목적으로 고안된 것으로 차이점으로는 한 라인의 V 신호의 위상이 다음 라인의 위상에서는 반전된다는 사실이다. 물론 수신단에서는 다시 반전시켜 사용하게 된다. 또한 초당 25 프레임을 전송하고 따라서 필드 주파수는 50 Hz, 라인 주파수는 한 필드가 625/2 라인이므로 15.625 kHz가 되며 위에서 설명했듯이 V 신호의 위상을 교대로 반전시킴에 의해 반 라인 비에서도 스펙트럼 엔트리가 생기기 때문에 NTSC처럼 서브 캐리어를 F_H/2에 비례해서 취할 수 없어 N×(F_H/4)를 취한다는 것도 다르다. PAL에서 사용하는 서브 캐리어(F_{SC})는 (283×4+3)×(F_H/4) = 4.4336 MHz 이다. 수신단에서 수신된 V 신호를 반전시킬지 여부는 ±135°의 버스트를 스윙(swing)함으로서 결정한다. 그런데 이 1/4 사이클 오프셋은 4개의 라인이 지나야 처음으로 돌아오므로 처음 위상으로 돌아오는 데 4 프레임 즉, 8 필드가 필요하게 되는 복잡성을 가지게 된다. 인터리브, 인터레이스 등을 할 때 NTSC와 PAL의 차이점은 타이밍에 있기 때문에 이를 고려해야한다. 예를 들면 수직 동기 신호와 동기 펄스가 NTSC에서는 3 라인 동안 지속되나 PAL이나 SECAM에서는 2.5 라인 동안만 지속된다.

III. 부호화기의 아키텍처

앞에서 언급한 두 가지 규격(NTSC/PAL)과 그에 따른 여러 화소 클락비의 사양을 모두 지원하기 위해 레지스터를 사용하여 프로그래머블하게 하였다. 본 부호화기의 구성을 살펴보면 RGB 또는 YCbCr 신호로부터 YUV 신호를 만들어내는 칼라 변환기(Color converter), 적절한 인터리빙 즉, 엘리저징 방식을 위한 저역 통과 필터, 두 색차 신호(U,V)의 평형 변조를 위한 평형 변조기, NTSC와 PAL 방식 각각에 맞는 칼라 방송 주파수를 만드는 칼라 서브캐리어 주파수 생성기, 각 라인과 필드의 동기 신호를 발생시키는 수평 동기 신호 발생기와 수직 동기 신호 발생기, 그리고 휘도 신호의 발생을 위한 삽입기(Insert), 마지막 막으로 인터플레이션 필터 등으로 구성되어있다. 이

중 칼라 서브캐리어 주파수 생성기와 수평 동기 신호 발생기, 수직 동기 신호 발생기는 여러 화소 클락 비에 따라 프로그램 된 값들에 의해 동작하도록 설계하였다. 다음은 부호화기의 구성 및 각 하위 블록들의 구조에 대해 기술한다.

1. 부호화기의 구성

부호화기는 전체적으로 내부 화소 클락(clk)에 의한 파이프라인 구조로 안정적으로 동작하며, 이 내부 화소 클락은 외부 클락(xclk)을 분주시킨 것이다. 부호화기의 전체 구성도와 입출력간의 타이밍은 그림1과 같다. 4 클락의 초기 지연 시간을 가지며 그 후 매 클락마다 S-video 신호(Y/C)와 영상 복합 신호가 출력된다. 본 부호화기는 4:4:4 형식의 입력을 받게 되나, 입력 단에서 xclk에 의한 두배 업 샘플러(up sampler)를 사용하면 4:2:2 형식의 입력의 경우도 지원 가능하다. 시스템 리셋 신호의 하강에지에서 모든 플립플롭은 초기 상태로 세팅되고 외부 필드 결정 입력(F) 신호에 의해 필드 동작을 시작하게 된다.

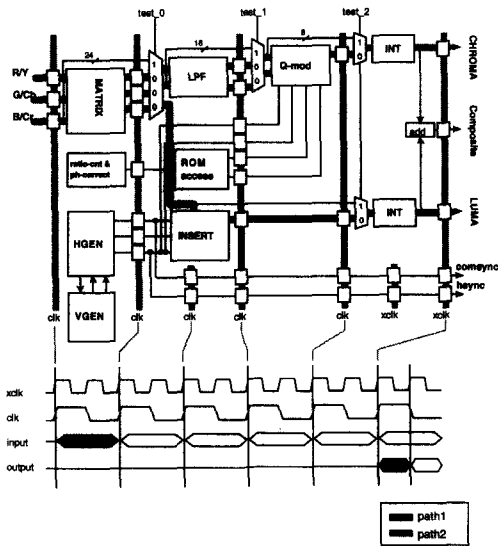


그림 1. 부호화기의 구성 및 입출력 타이밍
Fig. 1. Configuration and input/output timing of Encoder.

2. 칼라 변환기의 구조 및 검증

칼라변환기는 입력신호 RGB를 YUV 신호로 변환하여 출력하는 블록으로 수식은 아래와 같다. 이 수식에서 고정된 계수들을 디지털 값으로 근사화하여 곱셈기를 사용하지 않고 근사화한 값을 쉬프트하여 덧셈하는 방법으로 구현하였다.(그림2) bypass\ 신호는 입

력 신호 RGB 또는 YCbCr를 선택하는 신호이다.

$$\begin{aligned}
 Y &= 0.299 R + 0.598 G + 0.114 B \\
 &\Rightarrow (1/4+1/32+1/64) R + (1/2+1/16+1/32) G + \\
 &\quad (1/16+1/32+1/64) B \\
 &= 0.2968 R + 0.5938 G + 0.1093 B \\
 U &= -0.147 R - 0.289 G + 0.436 B \\
 &= -0.1406 R - 0.2813 G + 0.4219 B \\
 V &= 0.615 R - 0.515 G - 0.100 B \\
 &= 0.6250 R - 0.5000 G - 0.1250 B \\
 U &= 0.493 (Cb - 128) \\
 &= 0.500 (Cb - 128) \\
 V &= 0.877 (Cr - 128) \\
 &= 0.875 (Cr - 128)
 \end{aligned}$$

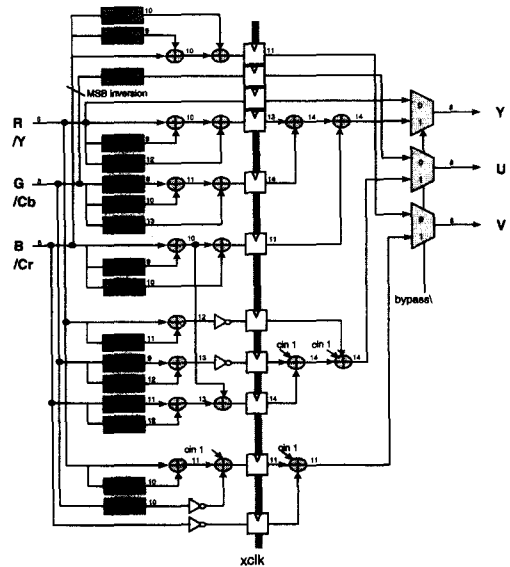


그림 2. 칼라 변환기의 구조
Fig. 2. Configuration of color converter matrix.

고정된 계수 값들을 디지털 값으로 근사화시킴에 따른 성능을 검증하기 위해 매트랩을 이용하여 75% 진폭(Amplitude), 100% 포화(Saturated) EIA 칼라바 테스트 입력에 대한 칼라변환기의 성능을 분석하였으며 결과는 그림3, 그림4와 같다.

3. 저역 통과 필터 (LPF)의 구조 및 검증

저역 통과 필터는 칼라변환기로 변환된 U, V 신호를 0.5MHz로 대역 제한하여 휘도 신호와 인터리빙할 때 간섭을 줄이기 위한 블록이다. SPW (Signal Processing Worksystem) 툴을 이용하여 0.5MHz의 통과 대역과 6.5MHz의 저지 대역을 조건으로 계수를 추출하였다. 이때 추출한 계수를 살펴보면 5탭 중 2탭

이 동일하기 때문에 3탭으로 설계하여 가산기 수를 줄였다. 칼라변환기와 마찬가지로 고정된 계수를 근사화하여 이 값을 쉬프트하여 가산하는 방법으로 설계하였다. SPW 톨을 이용하여 추출한 계수와 근사화된 계수는 표 1과 같고 구조는 그림 5와 같다.

4. 칼라 변조기(Subgen & Quad_mod)의 구성

칼라 변조기는 두 색차 신호(U, V)의 NTSC와 PAL 각각의 칼라 서브캐리어 주파수에 따른 평형 변조를 하는 부분으로, 칼라 서브캐리어 주파수를 발생시키는 서브캐리어 주파수 생성기와 실제 곱셈을 수행하는 부분인 평형 변조기로 나누어 설계하였다.

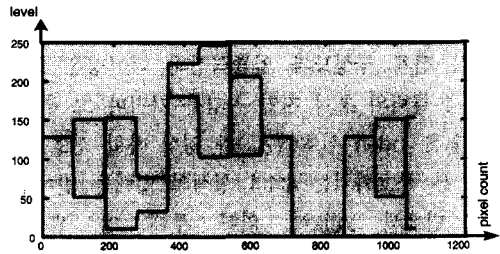
표 1. 추출된 계수 근사화

Table 1. Approximation of extracted coefficients.

	SPW로 추출된 계수	근사화된 계수
탭1	0.0631007012	1/16 = 0.0625
탭2	0.2533859063	1/4 = 0.25
탭3	0.3805645885	1/4 + 1/8 = 0.375
탭4	0.2533859063	1/4 = 0.25
탭5	0.0631007012	1/16 = 0.0625



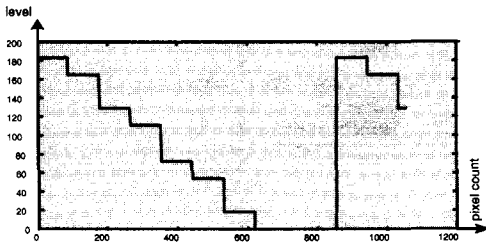
(a) Y 신호 (PAL 13.5MHz)



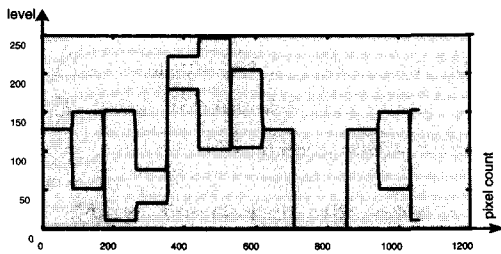
(b) U, V 신호 (PAL 13.5MHz)

그림 4. 칼라 바 테스트 신호에 대한 칼라변환기의 출력 파형

Fig. 4. The output waveform of color converter matrix for color-bar test input signal (PAL 13.5MHz).



(a) Y 신호 (NTSC 13.5MHz)



(b) U, V 신호 (NTSC 13.5MHz)

그림 3. 칼라 바 테스트 신호에 대한 칼라변환기의 출력 파형

Fig. 3. The output waveform of color converter matrix for color-bar test input signal (NTSC 13.5MHz).

(1) 칼라 서브캐리어 주파수 생성기 구조

칼라 서브캐리어 주파수 생성기는 두 색차 신호를 평형 변조하여 휘도 신호와 주파수 인터리빙하는데 필요한 서브캐리어 주파수를 생성하는 블록이다. PAL 방식과 NTSC 방식, 각각의 경우의 서브 캐리어 주파수(F_{sc})와 라인 주파수(F_H)사이의 관계를 살펴보면 다음과 같다.

$$\begin{aligned} \text{PAL } F_{sc}/F_H &= (1135/4) + (1/625) \\ \text{NTSC } F_{sc}/F_H &= 910/4 \end{aligned}$$

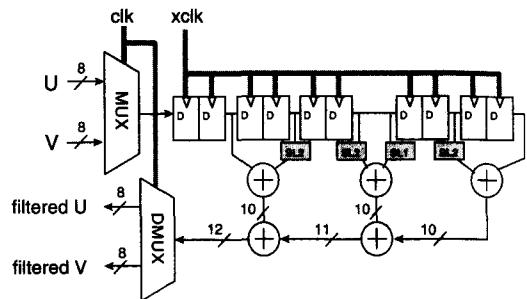


그림 5. 쉬프트 앤 가산기 방식의 LPF의 구조

Fig. 5. Low pass filter structure of Shift-and-Adder method.

다음으로 화소 클럭율(F_S)과 라인 주파수(F_H) 사이의 관계를 살펴보면 ($F_S=13.5$ MHz의 경우)

$$\begin{aligned} \text{PAL} \quad F_S &= 864F_H \\ \text{NTSC} \quad F_S &= 858F_H \end{aligned}$$

이므로 화소 클럭율(F_S)과 서브 캐리어 주파수(F_{SC}) 사이의 관계는

$$\begin{aligned} \text{PAL} \quad F_{SC}/F_S &= 709379/2160000 = T_S/T_{SC} \\ \text{NTSC} \quad F_{SC}/F_S &= 35/132 = T_S/T_{SC} \end{aligned}$$

가 된다. (T_S 는 화소 클럭 주기, T_{SC} 는 서브 캐리어 주기) 즉, 칼라 서브캐리어의 위상은 각 화소 클럭 당 서브 캐리어 사이클 비로 진행된다. 이를 구현하기 위해 p 값이 계속해서 더해지는 일종의 누적이인 $p:q$ 비-카운터(ratio-counter)를 사용하였다. 이때 사용되는 $p:q$ 비-카운터는 내부 화소 클럭에 의해 동작하게 되고 그 합이 q 값과 같거나 초과하는 경우 오버플로우와 그 차이를 출력하는 덧셈기와 레지스터로 구성된다. 이때 중요한 것은 발생하는 값이 한 사이클 내에서 연속적으로 달라져야 하므로 q 는 p 의 정수배가 아니어야 한다. 화소 클럭비에 따라 프로그램 되어야 하는 p 값은 표2와 같다.

표 2. 화소 클럭율에 따른 P 값
Table 2. P values for pixel clock rates.

Typical Application	hcount	Active Pixels	4 x hcount	P
13.5MHz NTSC	858	720	3432	$543 \times 2^{11} + 104$
13.5MHz PAL	864	720	3456	$672 \times 2^{11} + 2061$
12.27MHz NTSC	780	640	3120	$597 \times 2^{11} + 1040$
14.75MHz PAL	944	768	3776	$615 \times 2^{11} + 2253$
4 x F_{SC} NTSC	910	768	3640	512×2^{11}
4 x F_{SC} PAL	1135	948	4540	

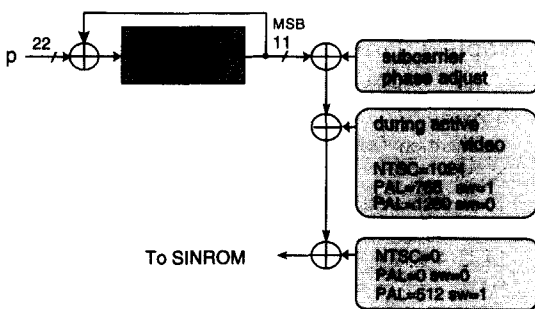


그림 6. 1-단계 22비트 비-카운터의 구조
Fig. 6. Configuration of 1-stage 22 bits ratio counter.

본 논문에서의 주파수 생성기는 그림 6과 같이 22 비트 레지스터를 사용하는 1-단계 비-카운터로 구현하였다. 상위 단에서의 오차를 수정하기 위해 아래 단의 캐리를 사용하는 3-단계 구조와는 달리 상위 단의 프로그램 값을 11비트 좌로 쉬프트 시키고 아래 단의 프로그램 값을 하위 11비트에 놓음으로써 1-단계의 비-카운터의 가산기 자체에서 자동적인 캐리 발생으로 오차 수정을 하계끔 한 후 출력되는 22비트 중 상위 11비트만을 취해 사인 ROM의 어드레스로 사용한다. 이때 ROM에 저장되는 값은 $0^\circ \sim 90^\circ$ 사이의 1024개의 샘플들 중 홀수 번째의 512개를 저장하였으므로 모든 사분면에 해당하는 값을 하나의 ROM에 저장하게 되면 2048개 즉, 11-비트 주소가 필요하게 된다. 하지만 삼각(sinusoidal) 특성에 의해 제1사분면의 값만으로 나머지 사분면 값도 구할 수 있고 사인, 코사인 각각에 대해 ROM을 설계하는 것 대신 사인과 코사인간의 관계를 이용하여 사인 ROM 데이터만으로 코사인 데이터 값을 발생시키는 방법으로 설계하여 ROM 크기를 1/8로 줄였으며(그림7) ROM 액세스 구조는 그림8과 같다. Verilog-HDL 모델링에 대해 매트랩을 이용하여 NTSC와 PAL 각각의 경우에 대한 서브캐리어의 주파수 특성을 검증하였는데 이때 NTSC 경우 3.58 정도에 주파수가 모이고 PAL 경우 4.43정도에 모이는 것을 확인할 수 있다.(그림9)

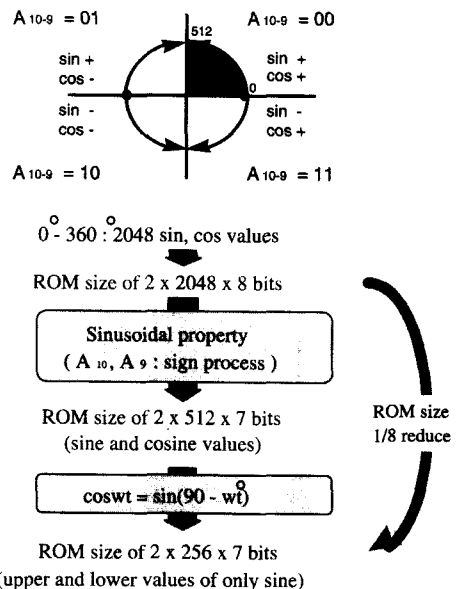


그림 7. ROM 크기 축소 알고리즘
Fig. 7. Algorithm of ROM size reduction.

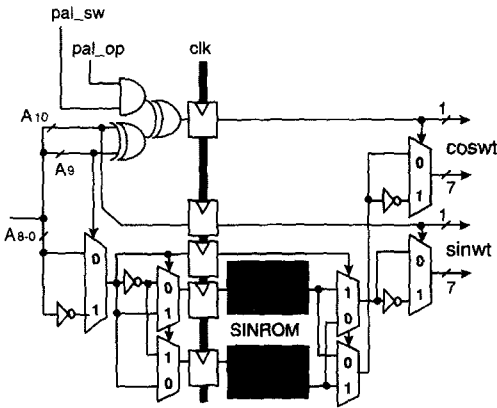
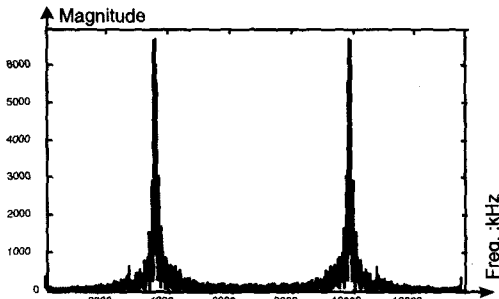


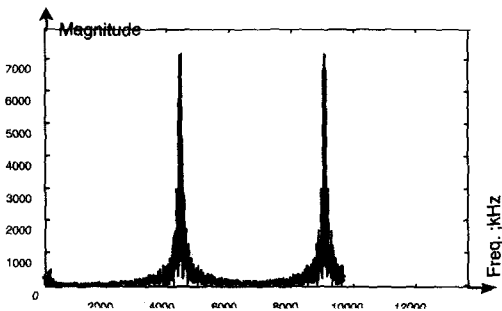
그림 8. ROM 액세스 구조
Fig. 8. Structure of ROM access.

(2) 평형 변조기 (Quad_mod) 구조

평형 변조기에서는 동기 신호 발생기에서 생성된 유효 영상 활성화(va_enable) 신호와 칼라 버스트 활성화(bu_enable) 신호에 의해 U, V의 평형 변조된 결과와 칼라 복조 시 기준이 되는 칼라 버스트 신호를 생성하게 된다. 칼라 버스트 화이널(bu_final) 신호에 의해 U, V 신호의 평형 변조된 결과와 칼라 버스트 신호가 따로 생성되어 크로마 신호를 만든다.(그림10)



(a) NTSC



(b) PAL

그림 9. 서브캐리어의 주파수 분석
Fig. 9. Frequency analysis of subcarrier.

그림 10에서 va_enable 신호가 로우(low)인 경우 크로마(chroma) 값은 영이 된다

5. 동기 신호 발생기 (Vgen & Hgen)의 구조

동기신호 발생기에서는 주사시 한 라인이 끝났음을 알려주는 수평 동기신호(Vertical sync signal)와 한 필드가 끝났음을 알려주는 수직 동기신호(Horizontal sync signal)를 발생시킴은 물론 라인 상에서 각 구성 성분의 활성화/비활성화(enable /disable) 신호와 한 프레임 내에서의 라인 구성을 위한 신호도 발생시키게 된다.

본 부호화기의 설계 시 좀 더 고려해야 할 사항은 NTSC와 PAL 방식 그리고 여러 화소 클럭에 대해서도 모두 지원해야 한다는 점이다. 이를 위해 기본적으로 NTSC/PAL 선택을 위한 입력(pal_op)이 필요하며 표3과 같이 여러 화소 클럭에 대한 라인당 화소수를 미리 저장하고 이에 따른 타이밍 레지스터(hcount)가 동작하게 된다.

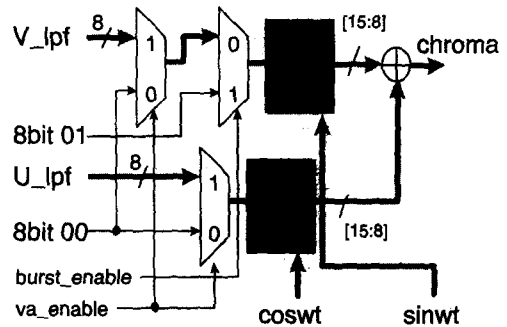


그림 10. 평형 변조기(Quad_mod)의 구조
Fig. 10. Structure of Quadrature modulator.

표 3. 여러 화소 클럭에 대한 라인당 화소수

Table 3. Pixel number per line for various pixel clock.

Typical Application (MHz)	Scan Line 당 전체 화소 수	Active 화소 수
NTSC		
13.5 CCIR-601	858	720
12.27 square pixel	780	640
14.32 4 X F _{sc}	910	768
PAL		
13.5 CCIR-601	864	720
14.75 square pixel	944	768
17.72 4 X F _{sc}	1135	948

(1) 수직 동기신호 발생기 (Vgen)의 구조

수직 동기신호 발생기에서는 NTSC의 경우 525 라인, PAL의 경우 625 라인을 기준으로 반복되는 프레임임을 구성하기 위한 신호를 발생시키는 기능을 수행한다. 한 프레임 내에서 NTSC와 PAL 방식의 라인 종류에 따라 여러 파형을 발생하도록 설계하였다.(그림 11) 여기서 PAL의 경우 625까지 지원해야 하므로 10비트 카운터를 이용하여 구현하였다.

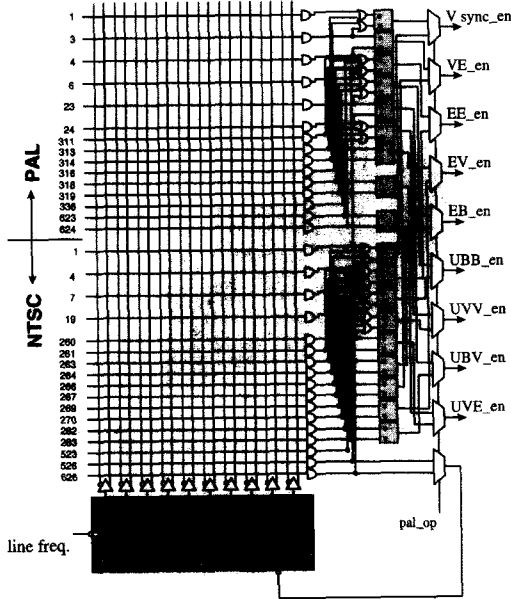


그림 11. 수직 동기 신호 발생기(Vgen)의 구조
Fig. 11. Structure of vertical synchronization signal generator.

(2) 수평 동기 신호 발생기 (Hgen)의 구조

수평 동기신호 발생기에서는 타이밍 레지스터에 저장된 값을 참고로 모든 종류의 라인을 발생시켜 수직 동기신호의 출력 신호를 활성화(enable) 신호로 하여 필요한 수직 및 수평 동기신호, 블랭킹 신호, 실질적인 영상신호 라인의 여러 구성 신호의 활성화 신호를 출력하는 블록이다. 수평 동기 신호 발생기 구조는(그림12) 수평 동기신호 발생기에서는 화소 클락에 의해 카운팅하는 11-비트 카운터로 구성하였다. 화소 클락 정도에 따라 한 라인의 화소 클락 사이클 수가 다르므로 라인 당 총 화소 클락 사이클 수(HCOUNT)를 타이밍 레지스터에 저장하고 화소 클락에 의해 카운팅된 값이 총 화소 클락 사이클 수(HCOUNT)에 도달하게 되면 001_{HEX}로 리셋된다.(타이밍 레지스터의 HCOUNT 값

과 카운팅 값을 비교하여 리셋 신호를 발생시킨다.) 여러 종류의 라인들을, 카운터로부터 출력되는 값과 타이밍 레지스터의 저장값에 의해 미리 발생시키게 되고 이 발생된 라인의 신호들은 수직 동기신호 발생기의 출력 신호에 의해 선택되어진다. 이 수평 동기신호 발생기의 프론트포치(front porch) 신호는 수직 동기신호의 10-비트 카운터의 클락으로 사용하였다.

보통은 수평동기(H sync) 신호를 클락으로 사용하나 라인의 처음 부분을 프론트포치(fp)로 고려하여 프론트포치 신호를 사용하였다. 내부 구조에서 보이는 것과 같은 타이밍 레지스터에 저장되는 값은 사용되는 화소 클락 사이클에 따라 다르며 그 값들은 16진법으로 표기하여 표 4에 나타내었다.

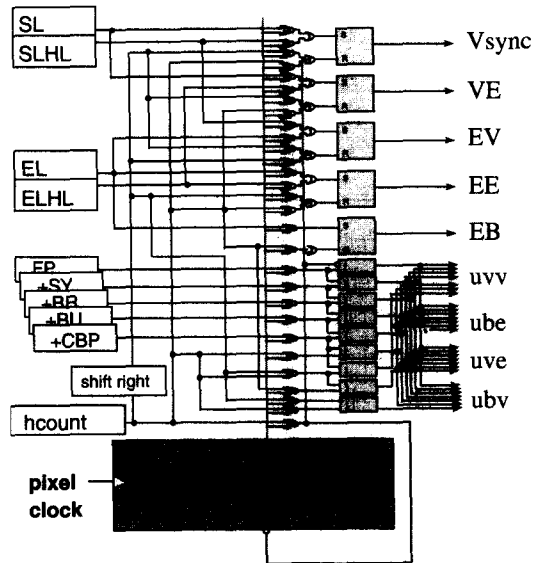


그림 12. 수평 동기 신호 발생기(Hgen)의 구조
Fig. 12. Structure of horizontal synchronization signal generator.

6. 인터플레이션 필터 (INT)의 구조

샘플링을 변환시키는 목적으로 쓰이는 변환기의 가장 이상적인 형태는 원 아날로그 신호를 변환시키고자 하는 샘플링율로 다시 샘플링하는 것이다. 그러나 사실 이는 작업을 행할 때 걸리는 시간이 길고 하드웨어적으로 부담이 커서 비효율적이므로 쓰지 않는다. 이를 대신하여 쓰이는 것이 데시메이터나 인터플레이터인데 데시메이터는 샘플링율을 줄일 때 사용하고 인터플레이터는 늘릴 때 사용한다. 본 논문에서는 디지털로 처리된 결과를 더욱 조밀한 해상도로 보여지게

하기 위해서 샘플링율을 증가시켜야 하기 때문에 마지막 출력값을 인터플레이션하여 구현하였다.

표 4. 여러 화소 클럭에 대한 타이밍 레지스터 값

Table 4. Timing register values for various pixel clock.

Standard	FITiming Register (hex)									
	FP	SY	BR	BU	CBP	VA	EL	EH	SL	SH
NTSC										
sqr. pixel	12	3A	07	1F	0F	8B	1C	6A	4D	3A
CCIR-601	14	40	08	22	11	CB	1F	8E	6E	3F
4 x F _{sc}	15	43	09	24	12	F7	21	A6	84	43
PAL										
sqr. pixel	19	45	0D	21	21	03	23	B5	93	45
CCIR-601	16	40	0C	1E	1D	C3	20	90	71	3F
4 x F _{sc}	1B	53	0B	2C	1C	3A	29	20	1E	53

또한 인터플레이터에는 저역통과 필터가 포함되어 있어서 중첩된 서브 캐리어, 색차, 휘도 주파수를 기본 주파수 대역 위에서부터 화소 주파수아래로 효과적으로 억압하여 해상도를 역시 증가 시킨다. 이 인터플레이션 필터의 구조는 그림 13과 같으며 xclk에 따라 동작하는 것으로 두배로 샘플링율을 높이고 사이사이에 평균 값을 첨가하게 된다.

이상에서 설명한대로 부호화기의 구조를 각각의 하위 블럭으로 나누어 Verilog-HDL로 기술, 검증한 후 각 하위 블럭들의 파이프라인 구조를 고려하면서 연결하여 칼라 바, NTC-7(U.S. Network Transmission Committee)^[8] 등의 복합테스트 입력 벡터에 의해 전체 동작을 검증하였다. 그중 칼라 바 테스트 입력 결과를 그림 14과 그림 15에 제시하였다. 그림 14에서는 NTSC의 경우로 매트랩 상에서의 이론적인 복합 영상 데이터 파형과 본 부호화기 설계에 대한 복합 영상 데이터 파형을 비교 분석하였다.

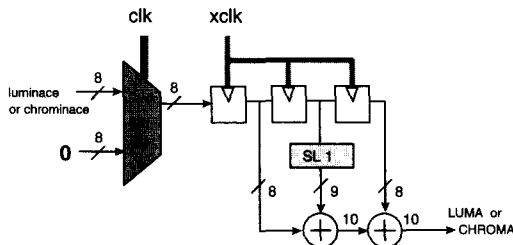


그림 13. 쉬프트 앤 가산기 방식의 인터플레이션 필터 (INT) 구조

Fig. 13. Interpolator structure of Shift-and-Adder method.

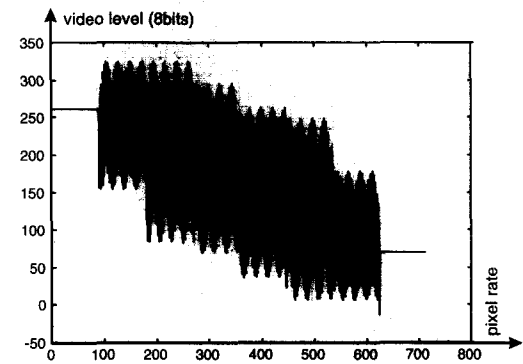
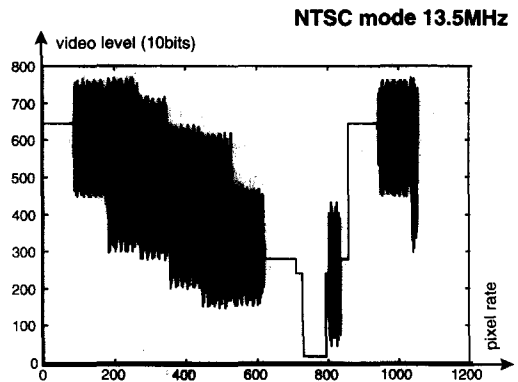


그림 14. 칼라 바 테스트 입력에 대한 복합 영상 출력

NTSC 경우 (위)시뮬레이션 결과, (아래) 이론값(Matlab)

Fig. 14. Composite output waveform for color-bar test input signal (NTSC).

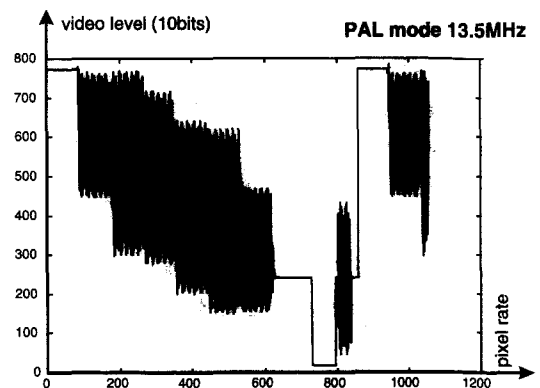


그림 15. 칼라 바 테스트 입력에 대한 복합 영상 출력 (PAL 경우)

Fig. 15. Composite output waveform for color-bar test input signal (PAL).

IV. 회로 합성 및 레이아웃

본 부호화기를 설계한 HDL 코드와 이를 검증하기 위해 사용된 테스트 벡터를 가지고 회로 합성 및 각 단계마다 검증을 하였다. 회로 합성 후 xclk, clk 등의 클럭 팬 아웃(fan out)을 고려하여 클럭 드라이브(clock drive) 셀을 첨가하였다. 그 결과 게이트 수는 19,468이며 네트(net)당 평균 핀 수(Total number of pins/Total number of nets)는 3.12이다. 이 단계에서 표준 딜레이 파일(Standard Delay File; 이하 sdf)을 추출하여 합성된 소스 코드와 테스트 벡터를 함께 시뮬레이션하였다. 이후 공정 후의 결과를 비교하기 위한 테스트 벡터 생성을 위해 0.5MHz의 입력 클럭에 대한 칩의 함수 테이블(function table)과 입력이 제대로 들어가는지 테스트하기 위해 입력 패드에서 제공하는 NAND 트리(tree) 테스트 결과 테이블을 사용하였다. 그후 sdf 자체의 최상(best), 전형적인(typical), 최악(worst) 각 경우의 지연 시간(delay time)에 0.3ns라는 마진 시간(margin time)을 더하여 시뮬레이션을 한 번 더 수행해서 공정 후에 있을 수 있는 문제에 대해 미리 점검하였다. 이와같이 프리 시뮬레이션(pre_simulation)을 마치고, 배선 및 배치(P&R)를 하여 이때 추출된 sdf에 따른 포스트 레벨

시뮬레이션을 수행하여 제대로 동작함을 확인한 후 현재 120pin, SOG(Sea Of Gatearray) 0.65 μ m 삼중 금속 CMOS 공정으로 진행 중 이다. 칩 면적은 3.7478mm x 4.4678mm (PAD 포함)이다.(그림16)

V. 결론

본 논문에서는 압축 복원된 RGB 또는 YCbCr 신호로부터 NTSC와 PAL 방송 규격에 맞는 휘도 신호와 크로마 신호 또는 영상 복합 신호로 변환 출력하는 부호화기를 구현하였다. 또한 곱셈기를 사용한 시스토릭 파이프라인드^[13] 방식에 비해 약 40%의 게이트 수를 줄여 최적화한 부호화기를 제안하였다. 설계한 부호화기는 프로그램 값에 따라 NTSC와 PAL 표준 방송 규격 모두를 지원하며 파이프라인 방식과 쉬프트 앤 가산기로 설계하였다. 또한 Verilog-HDL로 설계하여 회로 합성과 배선 및 배치를 수행하고 이를 바탕으로 프리시뮬레이션, 포스트 레벨 시뮬레이션 등으로 최종 검증하였다. 0.65 μ m SOG 삼중 금속 CMOS 공정을 이용하여 설계한 칩은 3.7478mm x 4.4678mm (PAD 포함)의 크기로 19,468의 게이트 수를 갖는다. 앞으로 본 연구를 바탕으로 4:3 화면에 4:3 영상과 16:9 영상을 모두 디스플레이하는 부호화기를 연구 중에 있으며, 본 논문에서 제안하는 부호화기의 응용 분야로는 DVD, VOD, DBS, CD-ROM 게임 및 디지털 VCR 등에 광범위하게 사용될 수 있을 것이다.

참 고 문 헌

- [1] Shuji Inoue, Sadashi Kageyama, Hideo Uwabata, and Yoshio, "Encoding and Decoding in the 6-MHz NTSC-compatible wide screen Television System," IEEE Trans. on circuit and system, vol.1 pp49-57, March 1991.
- [2] Phillip E. Mattison, "Practical Digital Video with Programming Examples in C," John Wiley & sons, Inc. , 1994.
- [3] John Watkinson, "The D-2 Digital Video Recoder," Focal Press, 1990.
- [4] Philips Semiconductor, "SAA7199 Digital Video Encoder(DENC2)'s Data Sheet," 1995.

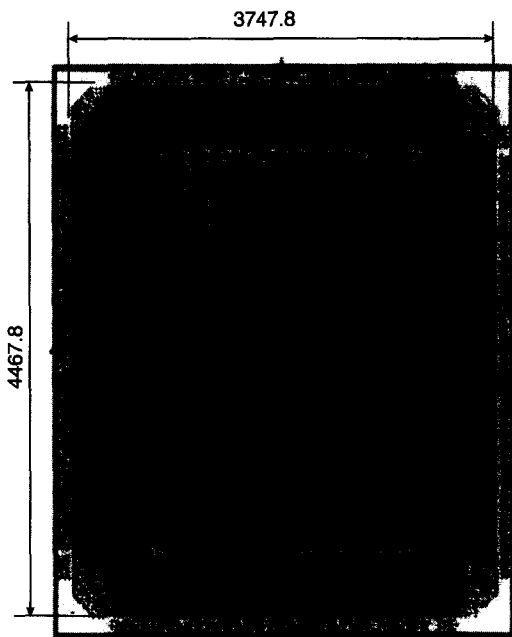
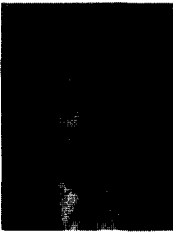


그림 16. 부호화기의 레이아웃 : 단위(μ m)
Fig. 16. Layout of Encoder.

- [5] Raytheon Semiconductor, "TMC22190 Digital Video Encoder /Layering Engine User's manual".
- [6] Samsung Electronics, "Data Book" , Apr. 1995.
- [7] Keith Jack, Video Demystified : NTSC/PAL Digital Encoding : High Text Interactive, 1995.
- [8] Zhi-jian (Alex) Mou, "A Study of VLSI Symmetric FIR filter Structure," Journal of VLSI of signal processing, vol4, pp371-377, 1992.
- [9] Keith Jack, "Fundamentals of Digital Video", ICCE, 1997.
- [10] Petri Liuha, Pasi Pohjala, "Implementation of PALplus Decode with Programmable Video Signal Processor," IEEE circuits and systems for video technology, Vol. 5, No.5, October 1995, pp.429-435.
- [11] S. W. Kwon, H. J. Choi, S. H. Oh, M. K. Lee, "A Fully Programmable Systolic pipelined Digital Video Encoder for NTSC/PAL/ PALplus compatibility on a 4:3 Screen," Proc. IEEE ICCE, pp. 236-237, June. 1997.
- [12] S. H. Oh, H. J. Choi, S. W. Kwon, M. K. Lee, "A Fully Programmable Systolic pipelined Digital Video Encoder for NTSC/PAL/PALplus compatibility on a 4:3 Screen," IEEE Trans. on Consumer Electronics, vol. 43 no. 3 pp. 965-971, August. 1997.
- [13] H. J. Choi, S. W. Kwon, S. H. Oh, M. K. Lee, J. S. Kim, K. S. Hwang, "A Fully Programmable Systolic pipelined Digital Video Encoder," ITC-CSCC97, vol.1, pp.161-164, July. 1997.

 저 자 소 개


 吳承坪(正會員)

1965년 12월 12일생. 1991년 연세대학교 전자공학과 졸업(공학사). 1996년 연세대학교 대학원 전자공학과 졸업(공학석사). 1991년 ~ 1994년 삼성전자 반도체 마이컴사업부 연구원. 1996년 ~ 현재 연세대학교 대학원 박사과정. 주 관심 분야는 CAD 및 VLSI 설계


 李文基(正會員)

1941년 생. 1965년 연세대학교 전기공학과 학사. 1967년 연세대학원 전기공학과 석사. 1980년 미국 University of Oklahoma 전기공학과 박사. 1973년 연세대학원 전기공학과 박사. 1970년 1976년 경희대학교 전자공학과 조교수. 1980-1982 ETRI IC설계 실장. 1982-현재 연세대학교 전자공학과 교수. 연세대학교 아식설계 공동연구소 소장. 1982-1983년 전자공학회 회장 역임. 1998년 한국 과학기술 공헌을 기리는 대한민국 국민훈장 수상. 주 관심분야는 VLSI설계 및 CAD