

## 디지털 캠코더용 영상확대 시스템의 VLSI 구현

### (VLSI Implementation of a Digital Zooming System for Digital Camcorder)

申定浩\*, 鄭正勳\*, 白俊基\*, 金孝柱\*\*

(Jeong Ho Shin, Jung Hoon Jung, Joon Ki Paik, and Hyo Ju Kim)

#### 요 약

본 논문에서는 캠코더용 디지털 영상 확대 시스템의 VLSI 구현 기술을 제안한다. 제안된 VLSI는 입력 신호로써 시스템 클럭(CLK), 수직 동기 신호(VD), 수평 동기 신호(HD), 블랭크(BLK), 필드 신호(FLD)등을 사용하여 출력으로 최대 256배까지, 256단계의 다양한 배율로 확대된 영상을 구현할 수 있다. 일반적으로 대부분의 캠코더는 앞서 언급한 입력 신호들을 CCD 구동 IC에서 발생시킨다. 본 논문에서 제안한 디지털 영상 확대 VLSI는 줌 스텝의 변화에 따라서 256가지의 다양한 배율로 영상을 확대할 수 있으며, 응용 측면에 있어서는 거의 연속적인 단계의 확대를 수행할 수 있기 때문에, 디지털 캠코더에서 별도의 마이콤이나 범용 신호처리기 등과 같은 부가 회로 없이도 사용할 수 있다.

#### Abstract

In this paper we propose a VLSI implementation technique for camcorder's digital zooming system. The proposed VLSI includes the system clock (CLK), vertical drive (VD), horizontal drive (HD), blank (BLK), and field (FLD) signals as inputs, and produces magnified image as an output with 256 different magnification ratios. In general, the above mentioned input signals are provided by the CCD driving IC in most camcorders. As a result, the proposed digital zooming VLSI can magnify a part of the input image by up to 256 times, where the magnification ratio can be chosen among 256 different steps. In the application point of view, the proposed VLSI can be used in any digital camcorder for realizing near continuous step digital zooming without any additional circuitry, such as micom or a general purpose digital signal processor.

#### I. 서 론

디지털 영상처리 기술과 반도체 기술이 급속도로 발전함에 따라, 영상 기기의 다양한 기능을 영상처리 기술을 이용하여 경제적으로 구현하는 것이 가능하게 되었다. 이러한 영상처리 기술들 중에서 영상확대를 그

한 예로 들 수 있고, 영상 확대란 저해상도의 영상으로부터 고해상도의 영상을 얻는 기술을 의미한다<sup>[1,2]</sup>. 이러한 영상확대 기술은 영상처리 분야에서 매우 중요한 역할을 수행하고 있으며, 보다 구체적인 예로는 고선명 텔레비전과 MPEG-2의 공간 스케일러빌리티 등에 적용될 수 있다<sup>[3]</sup>.

\* 正會員, 中央大學校 電子工學科

(Dept. of Elec. Eng., Chung-Ang University)

\*\* 正會員, 三星電子 시스템 LSI 本部 LSI 事業部 미디어팀

(MEDIA team, System LSI Business, Semi-

conductor Business, Samsung Electronics)

※ 이 연구는 1996년도 교육부 반도체분야 학술연구 조성비 지원 하에 수행되었습니다.

接受日字: 1997年11月5日, 수정완료일: 1998年7月18日

디지털 영상에 있어서 해상도는 두 가지 의미를 가 영상의 물리적인 크기를 나타낸다. 두 번째 질적인 의미에서 해상도는 영상의 고주파 성분을 얼마나 충실하게 반영하고 있는가 하는 정도를 말한다. 바로 이러한 이유 때문에 해상도는 영상 형성 시스템의 성능을 평가하는 데 있어서 기본적으로 고려해야 하는 사항이다.

영차(zero-order 혹은 nearest neighbor), 2차원 선형(bilinear), 그리고 큐빅 B-스플라인(cubic B-spline) 보간 등과 같이 현재 사용되고 있는 대부분의 보간 방식은 단순히 영상의 크기를 늘리는 데 초점을 두고 있다<sup>[4]</sup>. 이 보간 방식들은 저해상도 센서에 의한 화소간 혼합, 셔터 속도의 유한성에 기인한 움직임 열화, 초점이 맞지 않을 때 발생하는 등방성(isotropic) 열화와 같은 열화가 없다는 것과 부표본화(subsampling) 과정에서 주파수 겹침(aliasing)이 일어나지 않는다는 가정을 전제로 개발되었다. 따라서, 이들 방식만으로는 고주파수 성분에 해당하는 영상의 세밀한 부분을 정확하게 복원할 수 없다. 부표본화 과정에서 손실되는 고주파 성분을 복원하기란 그리 쉬운 일이 아니기 때문에, 부화소(sub-pixel) 움직임 정보를 이용하는 다중프레임 보간 방식이 개발돼 왔다<sup>[5,6]</sup>. 특히, 현재 연구되고 있는 정칙화기반 영상보간(regularized image interpolation)은 부표본화 과정을 일반적인 영상열화 과정(image degradation process)으로 간주하며, 역변환 문제를 효율적으로 해결할 수 있는 선형적(a priori) 제약 조건을 이용한 방식이 [7,8]에서 제안된 바 있다.

과거에는 영상 확대 시스템을 광학적인 방법으로만 구현하였지만, 현재에는 앞서 언급한 것처럼 디지털 영상처리 기술과 접목하여 광학적인 방법의 단점인 여러 개의 렌즈 조합에 따른 복잡성 증가, 높은 가격, 크기의 증가 등을 보완함으로써 소형화, 경량화, 다기능화, 고배율화 등을 실현할 수 있게 되었다. 또한 영상 확대에 관한 다양한 알고리즘이 연구되고 있고, 기술의 발달로 인하여 알고리즘 및 시스템의 복잡성 또한 증가하고 있다<sup>[9,11,12,13,14,15]</sup>. 영차 보간과 선형 보간 기법을 사용한 영상확대 시스템에서는 확대 배율을 증가시키에 따라서 블록화 현상이 심하게 나타나기 때문에 큐빅 B-스플라인 방법을 적용할 수 있다. 그러나 이 방법은 영상을 전체적으로 자연스럽게 부드럽게 확대하는 효과를 얻을 수 있지만, 영상의 고주파성분 특히 윤곽부분의 정보를 잃게되어 흐려진 영상을 얻을

수밖에 없다. 이러한 문제를 해결하기 위해서 [13]에서는 이산 코사인 변환(DCT) 계수를 사용하여 다섯 가지의 에지를 가진 블록으로 영상을 구분하고, 각각에 대하여 영차 보간과 선형 보간을 혼합하여 윤곽 정보를 보존하면서 자연스러운 영상을 얻을 수 있는 확대기법을 제안하였다. 그러나 이산코사인 변환 계수를 구하기 위해서 하드웨어의 구조가 복잡해지는 단점을 가지고 있다. 또한 [14,15]에서는 영상확대 알고리즘으로 선형 보간 방법을 사용하였으며 하드웨어 구현을 간단하게 하기 위해서 콤팩트의 구조를 ABI 방법을 사용하여 단순화 시켰으나 확대 배율을 32단계로 제한해야 한다.

본 논문에서는 다양한 영상 확대 알고리즘 중에서 하드웨어 구현이 용이하면서도 비교적 성능도 우수하고 다른 영상 확대 알고리즘 적용의 기반이 되는 2차원 선형 보간 이론을 바탕으로 하여 동영상에서 실시간으로 처리할 수 있는 구조의 VLSI를 설계하는 방식을 제안한다. 제안된 영상 확대용 VLSI는 위에서 언급한 광학적 영상 확대 방식의 단점을 보완하기 위하여, 최대 256배 까지 확대가 가능하고 소수점 배율의 확대도 가능한 고배율 확대를 가능하게 한다. 또한 보간 계수 발생의 과정에서 ROM table을 사용하는 복잡한 구조의 기존의 방법을 대신, 누산기를 사용하여 필요한 보간 계수를 계산해서 사용하였고 동영상을 실시간으로 확대하기 위한 구조로써 동시에 두 개의 필드를 번갈아 저장하고 읽어서 확대시키는 구조를 사용하였다<sup>[18]</sup>.

본 논문의 구성은 다음과 같다. 2장에서는 선형 보간 알고리즘을 정리하고, 3장에서는 영상의 확대를 구현하기 위한 구체적 방법에 관하여 기술하고, 마지막으로 실험 결과와 본 논문의 결론을 차례대로 4장과 5장에 제시한다.

## II. 선형 보간 알고리즘

디지털 영상확대는 크게 '영상의 확장'과 '영상의 보간'의 두 단계로 나누어 설명할 수 있다<sup>[10]</sup>. 영상의 확장은 원래 영상의 화소들을 확대시키고자 하는 만큼 간격을 띄워놓는 것을 말하고, 그 결과 서로 떨어진 화소들의 사이를 적절한 값으로 채우는 과정이 영상의 보간이다. 이와 같이 두 단계의 처리를 거친 영상은 원 영상에 비해 증가된 수의 화소들로 표현이 되며,

이는 바로 영상이 확대되었음을 의미한다. 영상의 보 간 과정에 있어서 어떠한 보간 방식을 선택하는가에 따라 그 특징을 결정할 수 있다. 영상의 보간을 위한 방법으로는 영차 보간, 선형 보간, 큐빅 B-스프라인 보간, 적응적 보간법 등이 있다 [10,16,17].

여러 가지 영상의 보간 방법 중에서 선형 보간 기 법이란 인접한 두 화소를 연결하는 1차 직선을 구하 고, 그 직선상에서 확대 배율에 따라 정해지는 임의의 위치에서 화소값을 결정하는 방식이다. 그림 1에서 보 는 바와 같이 A, B 화소 사이에 존재하는 X는 다음과 같이 결정된다.

$$X = \beta \times A + \alpha \times B \quad (1)$$

본 논문에서 제안한 영상확대 시스템은 화소와 화소 사이를 256 등분하여 선형 보간을 수행하였고, 따라서 256 단계의 확대가 가능하다. 일반적으로 영상은 2차 원 신호이지만, 편의상 1차원적인 해석을 사용하기로 한다. 확장, 보간 및 확대의 예가 그림 2에 보여진다.

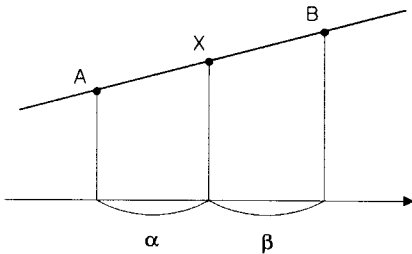


그림 1. 선형 보간 기법  
Fig. 1. Linear interpolation.

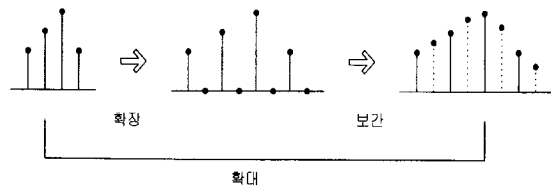


그림 2. 신호의 확장, 보간 및 확대의 관계  
Fig. 2. Relationships among signal expansion, interpolation, and magnification.

### III. 영상의 확대

영상확대 VLSI를 구현하기 위해서는 앞 절에서 서 술한 바와 같이 영상 보간 기법을 사용하여 의도한 배 율만큼 영상을 확대하는 구조를 설계해야 한다. 가장 간단한 보간 방법으로 0차 보간을 들 수 있는데, 이

경우 보간된 신호들간에 자연스러운 연결이 이루어지 지 않는 블록화 현상이 생기는 단점이 있다, 따라서 본 논문에서는 0차 보간에 비해서는 확대 영상이 자연 스럽고, 실시간 처리가 가능한 장점을 갖는 선형 보간 방식을 사용하였다.

영상의 확대 과정은 다음과 같다. CCD 카메라부로부터 입력된 영상을 아날로그/디지털 변환기에서 디지 털 영상으로 바꾼 후 데이터 처리부로 입력되어 영상 의 확대 과정을 수행하게 된다. 데이터 처리부에서는 입력된 영상을 필드 단위로 외부의 필드 메모리에 저 장을 하며 동시에 전 필드로부터 입력되어 필드 메모 리에 저장된 영상을 읽어서 수평 보간부로 보내어 영 상의 보간 과정을 수행하게 한다. 이때 사용되는 영 상은 메모리 제어부에서 발생한 주소를 사용하여 적절한 위치에 영상을 확장시킨 상태가 된다. 수평 보간부에서 는 수평방향으로 확장된 영상을 수평 보간 계수 발 생기에서 만들어진 계수들을 이웃하는 화소에 곱하여 수평 방향으로 확대된 영상을 발생시키게 되며 이 영 상을 수직 보간부로 전송하게 된다. 수직 보간부에서 도 수평 보간부에서의 기능과 마찬가지로 수직 보간 계수 발생기로부터 만들어진 계수를 사용하여 수직 방 향으로 확대된 영상을 만들어 사용자가 원하는 배율만 큼 확대한 영상을 얻을 수 있게 된다. 여기에서 수평 보간부와 다른점은 내장 라인 메모리를 사용하여 수평 으로 확대된 한 라인의 영상을 저장하게 되어 이웃하 는 라인간의 보간을 수행함으로써 효율적인 하드웨어 구조를 가질 수 있다는 것이다. 그림 3에 영상 확대 시스템의 구조를 블록도로 나타냈다. 또한 표 1 에 관 련 입출력 신호를 정리하였다.

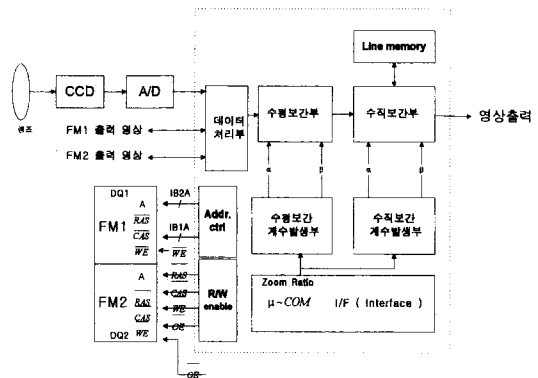


그림 3. 영상 확대 시스템 블록도  
Fig. 3. Block diagram of the proposed digital zooming system.

표 1. 제안된 영상 확대 시스템에 사용되는 입출력 신호

Table 1. Input-output signals used for the proposed digital zooming system.

Pin name	Pin Function
PCK	System Clock
RST	Reset
HD	Horizontal Drive
VD	Vertical Drive
BLK	Blank
FLD	Field
HSP	Horizontal Start Point for Zooming
VSP	Vertical Start Point for Zooming
ZOOM STEP	Zoom step
CAS	Column Address Strobe
RAS	Row Address Strobe
DQ1	Data In/Out for the 1st Field Memory
DQ2	Data In/Out for the 2nd Field Memory
OE	Data Out Enable
WE	Data Write Enable
1B1A	Address Output for the 1st Field Memory
1B2A	Address Output for the 2nd Field Memory
OUT	Interpolated Results

1. 데이터 처리기

디지털 영상처리 기술을 사용한 영상 확대를 수행하는 과정 중 CCD부로부터 입력된 영상을 A/D변환기에서 디지털 영상으로 변환시킨 후 처음으로 수행되는 영상 확대 과정이 데이터 처리의 과정이다. 데이터 처리기에서는 입력된 영상을 필드 단위로 외부의 필드 메모리에 저장을 하며 동시에 전 필드로부터 입력되어 필드 메모리에 저장되어 있는 영상을 읽어서 수평 보간부로 전송하는 기능을 수행한다.

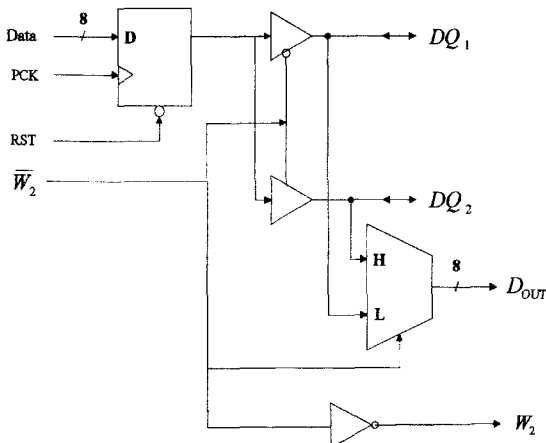


그림 4. 데이터 처리기  
Fig. 4. Data processing block.

여기에서 필드 메모리에 저장 또는 필드 메모리로부터 읽은 영상은 메모리 제어기에 의해서 사용자가 원하는 임의의 배율만큼 확장된 상태로 기록되어 있다. 또한 실시간 처리 구조를 도모하기 위하여 두 개의 필드 메모리에서 동시에 저장하고 읽는 기능을 번갈아 가며 수행한다. 데이터 처리기의 구조를 그림 4에 나타냈다.

2. 영상 보간기

데이터 처리기에서 수평, 수직 방향으로 확장된 영상을 보간 계수를 사용하여 임의의 배율로 확대하는 선형 보간 연산 기능을 수행한다.

1) 수평 보간기

영상을 수평방향으로 확대하기 위해서는 데이터 처리기에서 의도한 확대 배율 만큼 확장된 영상을 선형 보간 알고리즘에 의해 수평 보간 계수  $\alpha, \beta$ 를 이웃하는 화소들에 곱한 후 덧셈을 수행함으로써 구현할 수 있다. 그림 5에 수평 보간기의 구조가 나타나있다.

영상을 보간할 때 두 화소간의 거리를 1.0으로 하여 실수 계산을 하는 경우에는 하드웨어의 구조가 복잡해지고 연산 시간의 증가하게 된다. 이러한 문제점을 해결하기 위해서 3절에 나타나있는 보간 계수 발생기에서 설명되어 있는 것과 같이 두 화소간의 거리를 256으로 정수화하여 계산함으로써 실수의 곱셈을 수행하지 않고 정수의 곱셈만으로 간단히 구현할 수 있는 정수 곱셈기 구조가 그림 6에 표현되어 있다.

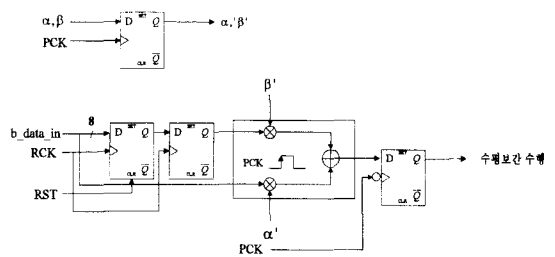


그림 5. 수평 보간기  
Fig. 5. Horizontal interpolation block.

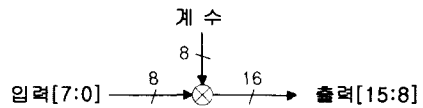


그림 6. 곱셈기  
Fig. 6. Multiplier block.

2) 수직 보간기

수평 방향의 보간 과정을 통해서 수평 방향으로 확

대된 영상을 입력으로 하여 전 단계와 같이 수직방향으로 영상을 임의의 배율만큼 확장시키고 보간을 수행한다. 수평 보간의 구조는 수평 보간과 유사하나, 현재 라인의 입력 영상과 1라인 지연된 이전 라인의 영상과의 선형 보간을 수행하여야 하기 때문에 그림 5의 수평 보간기 구조 중에서 플립플롭 대신 FIFO 구조의 라인 메모리를 사용하여 구현한다. 그림 7에 라인 메모리를 포함한 수직 보간기의 구조를 표현하였다.

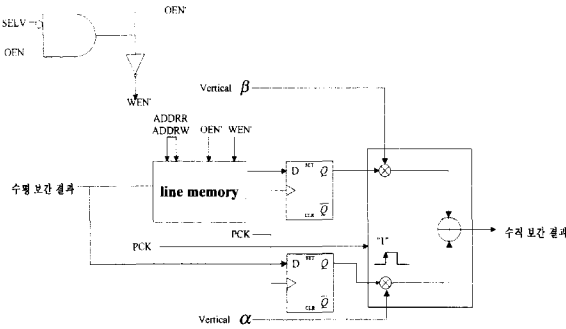


그림 7. 수직 보간기  
Fig. 7. Vertical interpolation block.

3. 보간 계수 발생기

앞 절에서 언급한 영상 보간기에서 영상을 보간하여 확대하기 위해서는 보간 과정 이전에  $\alpha$ ,  $\beta$ 에 해당하는 보간 계수를 발생 시켜야한다. 보간계수는 보간하고자 하는 화소의 위치에 이웃하는 원래의 확대되기 이전 영상의 화소들간의 비중치가 된다. 보간 계수는 마이콤으로부터 입력된 확대단계(zoom step) 정보를 이용하여 보간 계수를 발생시키고 확대 배율(zoom ratio)과의 관계를 식 (2)에 표현하였다. 이 연산은 마이콤에서 수행되어 보간 계수 발생기로 전송된다.

$$zoom\ ratio = \frac{256}{256 - zoom\ step} \quad (2)$$

본 논문에서는 선형 보간 알고리즘을 사용하여 영상을 확대할 경우 두 화소간의 간격을 256으로 양자화하여 수행하였기 때문에 최대 확대 배율은 256배까지 가능하며, 확대 단계값을 결정함으로써 소수점 배율의 확대도 가능해진다. 또한 기존의 영상 확대 기술에 있어서 보간 계수를 발생하는 일반적인 방법중 한가지는 ROM 테이블을 사용하는 것이었다. 이는 각각의 확대 배율에 해당하는 보간 계수를 ROM 테이블에 저장한 후 확대 배율에 해당하는 보간 계수를 읽어들이어 보간하는 방법이다. 위의 방법은 확대 단계가 증가할수록

ROM 크기가 증가해야하고 제어 구조도 복잡하게 되어 비효율적인 측면이 있다. 그러나 본 논문에서 설계한 계수 발생기는 누산기를 사용해서 임의의 확대 배율에 필요한 보간 계수를 계산해서 사용하므로 하드웨어의 구조가 간단해지는 장점을 가질 수 있다. 그리고 그림 8에 보간 계수 발생기의 구조를 표현하였다. 그림 9에는 확대 단계값이 64인 경우, 즉 식 (2)에 대입하여 4/3배의 확대 배율을 갖는 보간 계수를 결정하는 방법의 예를 1차원 신호로 가정하여 나타내었다. 마이콤으로부터 4/3배의 확대 배율 즉, 64의 확대 단계값을 계산하여 보간 계수 발생기의 입력으로 전달함으로써 그림 8의 보간 계수 발생기에서 계수  $\alpha, \beta$ 를 발생시킬 수 있다.

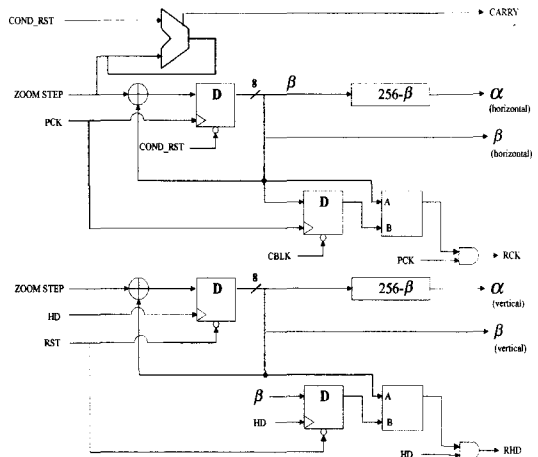


그림 8. 보간 계수 발생기  
Fig. 8. Interpolation coefficient generator.

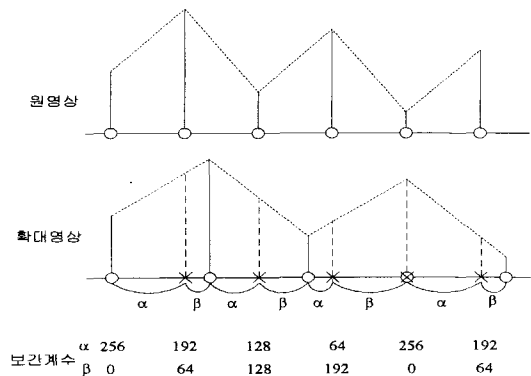


그림 9. 보간 계수 발생의 예(4/3배, O: 저해상도 영상의 화소, X: 보간된 화소)  
Fig. 9. Example of interpolation coefficient generation.

4. 메모리 제어기

메모리 제어기는 임의의 배율만큼 영상을 확대하기 위해서 영상을 확장시켜 필드 메모리에 저장하거나 필드 메모리로부터 영상을 읽는 과정에서 필드 메모리 인터페이스 및 제어를 수행하는 기능을 한다. 다시 말하면 메모리 제어기는 필드 메모리에 영상을 읽고 기록하는 과정에서 메모리의 주소를 발생시키고 지정하는 기능과 필드 메모리의 입력, 출력을 전환하는 제어 기능을 가지고 있다. 특히 필드 메모리에 저장된 영상 데이터를 읽어올 경우에는 확대하고자 하는 영상의 위치정보도 필요하게 되는데 이 과정에 필요한 연산식이식 (3)에 나타나있다.

$$VSP = \frac{\text{높이}}{2} \times \frac{\text{zoom step}}{256}, \quad HSP = \frac{\text{넓이}}{2} \times \frac{\text{zoom step}}{256} \quad (3)$$

여기에서, VSP와 HSP는 각각 확대하고자 하는 영상의 수직 방향의 시작점과 수평 방향의 시작점을 나타내고 높이와 넓이는 각각 CCD의 수직, 수평 방향 유효 화소의 크기를 나타낸다.

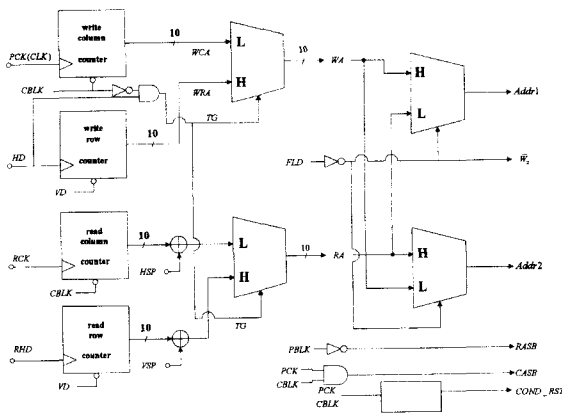


그림 10. 필드 메모리 제어기  
Fig. 10. Field memory controller.

IV. 실험 결과

본 논문에서는 선형 보간 알고리즘을 사용한 디지털 캠코더용 영상확대 시스템을 VHDL을 사용하여 설계하였다. 본 논문에서 설계한 영상 확대 시스템은 데이터 처리부, 메모리 제어부, 수평 보간 계수 발생부, 수직 보간 계수 발생부, 수평 방향 보간부, 수직 방향 보간부, 라인 메모리부로 구성하였으며, 각각의 처리부

는 상부 구조로 통합하여 설계한 후 테스트 벤치를 사용하여 동작의 검증을 위한 실험을 수행하였다. 본 논문에서 설계한 영상확대 시스템을 평가하기 위해서 256×256의 레나 영상을 임의의 확대 배율에 적합한 크기의 작은 영상으로 변환하여 입력하였고 동작 주파수는 50 Mhz를 사용하였다. 그림 10의 a와 b에는 레나 영상을 각각 128×128, 64×64의 크기를 갖는 작은 영상으로 표본화한 실험영상이다. 이 영상들을 본 논문에서 설계한 시스템의 입력으로 사용하여 확대 배율을 각각 2배와 4배로 실험한 결과를 그림 10의 c와 d에 나타냈다.

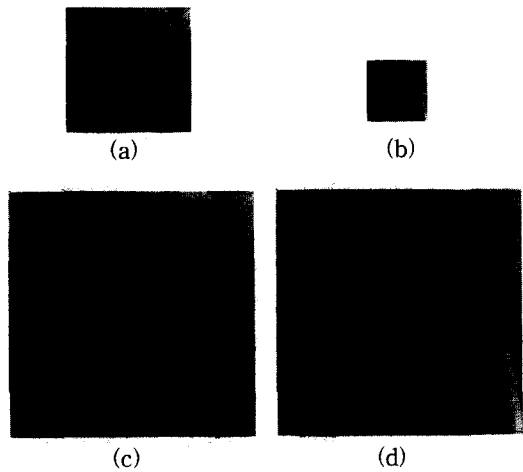


그림 11. 실험 결과  
(a) 128×128의 원영상 (b) 64×64의 원영상  
(c) (a)를 2배 확대한 영상 (d) (b)를 4배 확대한 영상

Fig. 11. Experimental results.  
(a) 128×128 original image (b) 64×64 original image (c) Two times zooming image of (a) (d) Four times zooming image of (b)

V. 결론

본 논문에서는 구현이 용이하고 보편화된 선형 보간 알고리즘을 사용하여 디지털 캠코더용 영상확대 시스템의 VLSI의 설계 방법을 제시하였다. 영상 확대용 VLSI는 데이터 처리부, 메모리 제어부, 수평 보간 계수 발생부, 수직 보간 계수 발생부, 수평 방향 보간부, 수직 방향 보간부, 라인 메모리부로 구성하였으며 VHDL을 사용하여 설계하였다. 본 논문에서 선형 보간법을 사용하여 설계한 영상 확대용 VLSI는 다음과

같은 특징을 갖고 있다. 첫째, 최대 256배까지 확대가 가능하고, 둘째, 간단한 누산기만을 사용하여 보간 계수를 발생시킬 수 있어 간단한 하드웨어 구조를 가질 수 있고, 셋째, 동영상의 실시간 확대를 구현할 수 있는 구조로 설계하였다.

향후 진행되어야 할 연구과제로는 선형 보간 기법을 사용하였을 경우 발생하는 블록화 현상 등을 개선하기 위해서 큐빅 B-스플라인 보간 기법이나 적응적 보간 기법을 사용한 시스템이 개발되어야 할 것이다. 그리고 본 논문에서 설계한 영상확대용 VLSI는 HDTV, 인터넷 동영상 서비스 등의 다른 응용 분야에도 적용할 수 있고, 앞에서 언급한 적응적 보간 기법과 같은 개선된 알고리즘의 적용을 위한 기반이 된다.

#### 참 고 문 헌

- [1] A. K. Jain, *Fundamentals of Digital Image Processing*, Prentice-Hall, 1989.
- [2] J. S. Lim, *Two-dimensional Signal and Image Processing*, Prentice-Hall, 1990.
- [3] J. H. Shin, J. H. Jung, and J. K. Paik, "Regularized Iterative Image Interpolation and its application to Spatially Scalable Coding," *IEEE Trans. Consumer Electronics*, to appear, August 1998.
- [4] M. Unser, A. Aldroubi, and M. Eden, "Fast B-spline transforms for continuous image representation and interpolation," *IEEE Trans. Pattern Analysis, Machine Intelligence*, vol. 13, no. 3, pp. 277-285, March 1991.
- [5] S. P. Kim, H. K. Bose, and H. M. Valenzuela, "Recursive reconstruction of high-resolution image from noisy undersampled frames," *IEEE Trans. Acoust., Speech, Signal Processing*, vol. 38, pp. 1013-1027, June 1990.
- [6] A. Patti, M. I. Sezan, and A. M. Tekalp, "High-resolution image reconstruction from a low-resolution image sequence in the presence of time varying motion blur," *Proc. 1994 Int. Conf. Image Processing*, vol. 1, pp. 343-347, November 1994.
- [7] M. C. Hong, M. G. Kang, and A. K. Katsaggelos, "An iterative weighted regularized algorithm for improving the resolution of video sequences," *Proc. 1997 Int. Conf. Image Processing*, vol. 2, pp. 474-477, October 1997.
- [8] A. K. Katsaggelos, "Iterative image restoration algorithms," *Optical Engineering*, vol. 28, pp. 735-748, 1989.
- [9] J. H. Shin, Y. C. Choung, and J. K. Paik, "A General Framework of Image Sequence Interpolation," *Proc. SPIE Visual Comm. and Image Proc.*, vol. 3309, part. 1, pp. 297-304, January 1998.
- [10] 백준기 외, 디지털 캠코더용 고화질 영상확대 알고리즘 개발, 삼성전자 산학협동 연구과제 최종 보고서, 1996년 1월
- [11] J. H. Paik, J. K. Paik, and J. H. Hwang, "Multichannel image interpolation algorithms," *Proc. 1996 Visual Comm., Image Processing*, vol. 2727, no. 3, March 1996.
- [12] J. H. Paik, K. P. Hong, J. K. Paik, and J. H. Hwang, "Image sequence interpolation for improving the resolution of the magnified image," *Proc. 1996 Asia Pacific Conf. Circuits Syst.*, pp. 544-547, Seoul, Korea, November 1996.
- [13] K. P. Hong, J. K. Paik, H. J. Kim, and C. H. Lee, "An edge preserving image interpolation system for a digital camcorder," *IEEE Trans. Consumer Electronics*, vol. 41, no. 3, pp. 279-284, August 1996.
- [14] S. W. Park, H. J. Kim, and J. K. Paik, "Combined digital zoom and digital effects system utilizing CCD signal characteristics," *IEEE Trans. Consumer Electronics*, vol. 39, no. 3, pp. 398-406, August 1993.
- [15] J. K. Paik and S. W. Park, "A real-time image interpolation hardware for digital zooming," *Proc. 1st Korea-Japan Joint Conf. Computer Vision*, pp. 317-321, October 1991.
- [16] S. W. Lee and J. K. Paik, "Image interpolation using adaptive B-spline

filtering," Proc. 1993 Int .Conf. Acoust., Speech, Signal Processing, pp. 177-180, April 1993.

[17] J. K. Paik, Y. C. Park, and D. W. Kim, "An adaptive motion decision system for digital image stailizer based on edge pattern matching," IEEE Trans. Consumer

Electronics, vol. 38, no. 3, pp. 607-616, August 1992.

[18] S. W. Park and J. K. Paik, "Apparatus for zooming a digital video signal of a predetermined color order which is derived from a charge-coupled device," United States Patent, 5481304, January 2, 1996.

저 자 소 개



申 定 浩(正會員)

1994년 2월 중앙대학교 전자공학과 졸업(공학사). 1998년 2월 중앙대학교 전자공학과 대학원 졸업(공학석사). 1993년 12월 ~ 1995년 8월 (주) 기아자동차 중앙기술연구소 연구원. 1998년 3월 ~ 현재 중앙대학교 전자공학과 박사과정. 주관심분야는 다채널 영상 복원 및 영상 확대, 영상 처리, VLSI 설계 등



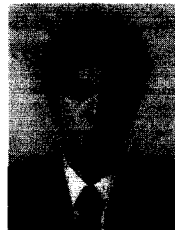
鄭 正 勳(正會員)

1997년 2월 중앙대학교 전자공학과 졸업(공학사). 1997년 9월 ~ 현재 중앙대학교 전자공학과 석사과정 재학중. 주관심분야는 다채널 영상 복원 및 영상 확대, 영상 처리 등



白 俊 基(正會員)

1984년 2월 서울대학교 제어계측공학과 (공학사). 1987년 6월 Northwestern University 전기 및 컴퓨터공학과(공학석사). 1990년 6월 Northwestern University 전기 및 컴퓨터공학과(공학박사). 1990년 7월 ~ 1993년 1월 삼성전자 반도체연구소 (선임연구원). 1993년 2월 ~ 1997년 1월 삼성전자 MICRO 사업부 (기술고문). 1993년 3월 ~ 현재 중앙대학교 공과대학교 전자공학과 (부교수). 주관심분야는 신호 및 영상처리, VLSI 신호처리 알고리즘 등



金 孝 柱(正會員)

1992 2월 아주대학교 전자공학과 졸업(공학사). 1992년 ~ 현재 삼성 전자 반도체총괄 시스템 LSI 본부 LSI 사업부 미디어팀 전임연구원. 주관심분야는 디지털 비디오 카메라 LSI 설계 등