

論文98-35S-11-4

CDMA 고속초기동기획득을 위한 HW 재사용에 의한 정합필터의 설계

(The design of the matched filter for CDMA rapid initial PN code synchronization acquisition using HW reuse scheme)

林明燮 *

(Myoung Seob Lim)

요 약

기지국간 비동기방식을 사용하는 CDMA 이동통신 방식에서는 handoff시 초기동기 획득시간이 빠른 초기동기 획득방식이 요구되므로 정합필터를 사용하는 초기동기획득 방식이 고려될 수 있다. Rayleigh fading 채널에서 non coherent QPSK/DS-SS방식으로 신호를 수신하는 model에서 정합필터방식으로 초기동기획득을 위해 소요되는 평균 초기동기 획득시간은 직렬상관방식에 비해 정합필터의 길이에 비례하여 단축됨을 분석하였다. 그러나, 종래의 정합필터 방식이 초기동기획득시간은 단축되지만 HW복잡도로 인한 구현상의 단점을 보완하기위해 본 논문에서는 기억소자를 이용한 HW 재사용에 의해 상관 연산을 반복해서 할 수 있는 설계방안을 제시하므로써 기존 정합필터의 HW복잡도를 정합필터 분할 길이 만큼 줄일 수 있도록 하였고, Altera MAXPlus II FPGA로 simulation하므로써 기능을 입증하였다.

Abstract

In the CDMA mobile communication system with asynchronous mode among base stations, the initial PN code acquisition method using a matched filter can be considered for the rapid PN code synchronization acquisition in the handoff region. In the model of the noncoherent QPSK/DS-SS under the Rayleigh fading channel, the mean acquisition time of the matched filter is analyzed to have a shortened time in proportion to the length of matched filter to be compared with the serial correlation method. In this paper to improve the HW complexity of the conventional matched filter, though its features of the rapid synchronization, the HW reuse scheme using memory device which enables the repeated correlation process, is designed and its function is verified through the FPGA simulation using Altera MaxPlus II.

I. 서 론

현대사회가 고도의 정보화사회로 발전해가면서 언제, 어디서나, 누구와도 통신이 가능한 이동통신의 편리성

* 正會員, 全北大學校 컴퓨터 情報通信工學部

(Dept. of Computer and Communication Eng., Chonbuk Nat'l Univ.)

※ 본 논문은 전북대학교 신입교수 지원연구비로 수행된 연구결과입니다.

接受日字: 1998年6月5日, 수정완료일: 1998年10月20日

을 누리하고자하는 이동통신의 수요는 급속하게 증가하고 있다. 따라서 한정된 주파수자원에서 보다 많은 가입자 수용용량을 얻기위해 아나로그 FDMA에서 디지털 TDMA, CDMA의 이동통신방식으로 기술이 개발되었다. 그 중에서도 CDMA방식이 가입자 수용용량이 많고, Rayleigh fading환경에서 rake수신기의 사용으로 신호수신 성능이 좋고, cell간의 이동시 make and break방식의 soft hand-off의 기법으로 통화의 불연속성이 없는 장점으로 국내외에서 800MHz 및 1.8GHz대역의 육상이동통신통신의 표준으로 채택되어 서비스 중이며 추후 IMT2000(FPLMTS)같은 차세대

이동통신방식에서도 광대역 CDMA기술이 표준의 근간을 이룰 것이다.^{[1],[2]}

CDMA방식의 수신부에서는 PN code의 초기동기를 찾아 송신부와 동일한 동기를 정확히 유지하는 것이 중요하다. PN code의 초기동기 획득 성능은 동기를 획득하는데 소요되는 평균 시간으로 평가되며, 병렬 정합필터 방식 또는 직렬상관기방식으로 동기획득 회로를 구성 할 수 있다. 병렬 정합필터 방식은 PN code chip이 입력되는 여러단의 shift register소자를 쓰고 local PN code chip과 수신 PN code chip간 병렬로 승산 및 가산을 해야하기때문에 상관결과의 임계치를 얻기위한 적분구간이 길이가 긴 경우는 HW가 복잡해지므로 공중용상이동통신용 휴대용 단말기에는 쓰이지 못하고 있다. 직렬상관기의 경우는 정합필터방식에 비해 1 chip단위로 승산 및 가산을 연속적으로 수행하므로 HW가 간단하나 초기동기를 찾는 데 시간이 소요된다.^[3] 그러나, 현재 IMT2000 규격정립을 위해 유럽과 일본간 합의가 이루어져 완성되어가는 표준(안)에서는 기지국간 비동기를 사용하는 방법이 채택되어 기지국마다 서로 다른 PN code(Kasami code 또는 Gold code)가 사용되므로 hand off를 할 때 빠른 동기수립이 요구된다. 따라서 빠른 동기획득이 가능한 정합 필터 방식으로는 SAW(Surface Acoustic Wave) 소자나 CCD(Charge-Coupled Device)가 사용된 바 있으며, 최근에는 일본의 Yoson사가 아나로그 neuron 소자를 이용하여 개발한 바 있다.^[4]

본 논문에서는 noncoherent QPSK/DS-SS 방식에서 정합필터의 평균동기획득시간을 유도하고 길이가 긴 정합필터의 설계를 기억소자를 사용한 HW 재사용 기법을 적용한 고속의 초기동기 획득회로설계방법을 제시한다.

II. 본 문

1. 평균 초기동기 획득 시간 분석

PN code 초기동기획득에 소요되는 평균동기획득 시간은 search 방법, search 구간 그리고 주어진 channel 환경에서 detection probability 및 false alarm probability에 따라 달라진다.

본고에서는 입력 데이터가 Inphase와 Quadrature경로에 동일하게 나누어져 입력되고 각각 다른 PN code sequence로 확산된 후 변조되며, 수신부에서는

비동기식(noncoherent)으로 PN code 상관기의 출력을 얻는 balanced QPSK/DS-SS방식의 CDMA 변, 복조기의 출력특성을 해석하여 이를 토대로 신호검출 및 오보확률을 유도한다.

본 논문에서는 Inphase/Quadrature(I/Q) PN 코드에 의한 신호확산 및 역확산과정만을 고려하여 출력의 통계적 특성을 해석한다. 송신기에서 i 번째 사용자의 기저대역 신호열(baseband information sequence) 과 I/Q PN 코드열은 다음과 같이 주어진다.

$$\begin{aligned} x^{(i)}(t) &= \sum_r x_r^{(i)} h_0(t - rT_s) \\ h_0(t - rT_s) &= u(t) - u(t - T_s) \\ a_I^{(i)}(t) &= \sum_n a_{I,n}^{(i)} \delta(t - nT_c) \\ a_Q^{(i)}(t) &= \sum_n a_{Q,n}^{(i)} \delta(t - nT_c) \end{aligned} \quad (1)$$

윗 식에서 $x^{(i)}(t)$, $a_I^{(i)}(t)$, $a_Q^{(i)}(t)$ 는 각각 기저대역 신호 데이터, I/Q 채널 PN 코드열을 나타내며, T_s 와 T_c 는 신호 데이터와 PN 칩의 주기를, $\delta(t)$ 와 $u(t)$ 는 Dirac delta function 및 step function을 나타낸다. 따라서 i 번째 가입자의 송신 신호는

$$s^{(i)}(t) = \sqrt{E_c^{(i)}} \cos(2\pi f_c t) \sum_n x_n^{(i)} a_{I,n}^{(i)} h(t - nT_c) + \sqrt{E_c^{(i)}} \sin(2\pi f_c t) \sum_n x_n^{(i)} a_{Q,n}^{(i)} h(t - nT_c) \quad (2)$$

로 주어지며 여기서 $h(t)$ 는 $h(t) = u(t) - u(t - T_c)$ 인 펄스 성형 필터의 임펄스 응답을 나타낸다. I/Q PN 코드에 의한 역확산과 정합 필터링 과정을 고려한 QPSK 수신기는 그림 1과 같다.

그림 1에서 다수의 가입자로 부터 수신된 신호는 페이딩 및 신호 감쇄 효과를 무시할 때

$$\begin{aligned} r(t) &= \sum_i (\sqrt{E_c^{(i)}} \cos(2\pi f_c t + \phi_i) \sum_n x_n^{(i)} a_{I,n}^{(i)} h(t - nT_c) + \sqrt{E_c^{(i)}} \sin(2\pi f_c t + \phi_i) \sum_n x_n^{(i)} a_{Q,n}^{(i)} h(t - nT_c)) \\ &+ \sqrt{2} n_1(t) \cos(2\pi f_c t) - \sqrt{2} n_0(t) \sin(2\pi f_c t) \end{aligned} \quad (3)$$

로 주어지며 여기서 $n_1(t)$ 와 $n_0(t)$ 는 각각 inphase 와 quadrature path에서의 Gaussian 잡음이다. 이때 가입자 i 에 대한 정합 필터의 출력은 다음과 같다.

$$\begin{aligned} U_i(t) &= \frac{1}{2} \sqrt{E_c^{(i)}} \sum_n x_n^{(i)} (\cos \phi_i a_{I,n}^{(i)} + \sin \phi_i a_{Q,n}^{(i)}) R(t - nT_c) \\ &+ \frac{1}{2} \sum_{n'} \sqrt{E_c^{(i')}} \sum_n x_n^{(i')} (\cos \phi_{i'} a_{I,n}^{(i')} + \sin \phi_{i'} a_{Q,n}^{(i')}) R(t - nT_c) \\ &+ \frac{1}{\sqrt{2}} n_1(t) \\ U_o(t) &= \frac{1}{2} \sqrt{E_c^{(i)}} \sum_n x_n^{(i)} (-\sin \phi_i a_{I,n}^{(i)} + \cos \phi_i a_{Q,n}^{(i)}) R(t - nT_c) \\ &+ \frac{1}{2} \sum_{n'} \sqrt{E_c^{(i')}} \sum_n x_n^{(i')} (-\sin \phi_{i'} a_{I,n}^{(i')} + \cos \phi_{i'} a_{Q,n}^{(i')}) R(t - nT_c) \\ &+ \frac{1}{\sqrt{2}} n_0(t) \end{aligned} \quad (4)$$

여기서 $R(t)$ 는 $h(t)$ 와 $h(t)$ 의 matched filter와의 convolution 이며, $n'_o(t)$ 와 $n'_i(t)$ 는 각각 inphase 와 quadrature path에서의 저역 통과된 Gaussian 잡음이다.

저역통과 필터의 출력을 샘플링하여 i 번째 가입자의 I/Q PN 코드열을 곱한 결과는

$$\begin{aligned}
 Y_i(mT_c) &= U_i(mT_c)d_{i,m}^{(i)} + U_o(mT_c)d_{o,m}^{(i)} \\
 &= \frac{1}{2}\sqrt{E_c^{(i)}} \sum_n x_n^{(i)} \{(\cos\phi_i d_{i,n}^{(i)} + \sin\phi_i d_{o,n}^{(i)})d_{i,m}^{(i)} + (-\sin\phi_i d_{i,n}^{(i)} + \cos\phi_i d_{o,n}^{(i)})d_{o,m}^{(i)}\} R(mT_c - nT_c) \\
 &+ \frac{1}{2}\sum_{j \neq i} \sqrt{E_c^{(j)}} \sum_n x_n^{(j)} \{(\cos\phi_j d_{i,n}^{(j)} + \sin\phi_j d_{o,n}^{(j)})d_{i,m}^{(j)} + (-\sin\phi_j d_{i,n}^{(j)} + \cos\phi_j d_{o,n}^{(j)})d_{o,m}^{(j)}\} R(mT_c - nT_c) \\
 &+ \frac{1}{\sqrt{2}}\pi f_i(mT_c)d_{i,m}^{(i)} + \frac{1}{\sqrt{2}}\pi f_o(mT_c)d_{o,m}^{(i)} \\
 Y_o(mT_c) &= U_i(mT_c)d_{i,m}^{(i)} - U_o(mT_c)d_{o,m}^{(i)} \\
 &= \frac{1}{2}\sqrt{E_c^{(i)}} \sum_n x_n^{(i)} \{(\cos\phi_i d_{i,n}^{(i)} + \sin\phi_i d_{o,n}^{(i)})d_{i,m}^{(i)} - (-\sin\phi_i d_{i,n}^{(i)} + \cos\phi_i d_{o,n}^{(i)})d_{o,m}^{(i)}\} R(mT_c - nT_c) \\
 &+ \frac{1}{2}\sum_{j \neq i} \sqrt{E_c^{(j)}} \sum_n x_n^{(j)} \{(\cos\phi_j d_{i,n}^{(j)} + \sin\phi_j d_{o,n}^{(j)})d_{i,m}^{(j)} - (-\sin\phi_j d_{i,n}^{(j)} + \cos\phi_j d_{o,n}^{(j)})d_{o,m}^{(j)}\} R(mT_c - nT_c) \\
 &+ \frac{1}{\sqrt{2}}\pi f_i(mT_c)d_{o,m}^{(i)} - \frac{1}{\sqrt{2}}\pi f_o(mT_c)d_{i,m}^{(i)}
 \end{aligned} \tag{5}$$

로 주어진다.

송신단에서 보내진 데이터 $X_m^{(i)}$ 대해, m 번째 샘플의 평균과 분산은 다음과 같다.

$$\begin{aligned}
 E[Y_i(mT_c) | X_m^{(i)}] &= \sqrt{E_c^{(i)}} X_m^{(i)} R(0) \cos \phi_i \\
 E[Y_o(mT_c) | X_m^{(i)}] &= \sqrt{E_c^{(i)}} X_m^{(i)} R(0) \sin \phi_i \\
 \text{var}[Y_i(mT_c) | X_m^{(i)}] &= \sigma_{i,I}^2 + \sigma_{MA,I}^2 + \sigma_{N,I}^2 = \sigma_i^2 \\
 \text{var}[Y_o(mT_c) | X_m^{(i)}] &= \sigma_{i,Q}^2 + \sigma_{MA,Q}^2 + \sigma_{N,Q}^2 = \sigma_o^2
 \end{aligned} \tag{6}$$

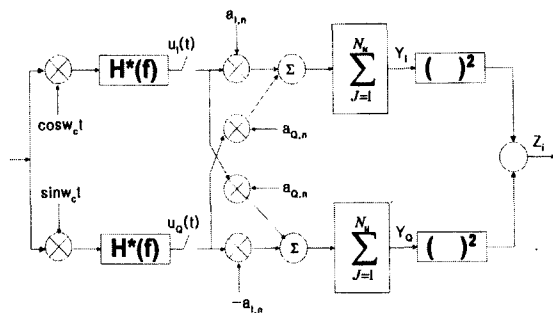


그림 1. Noncoherent balanced QPSK-DS/SS 수신기 구조
 Fig. 1. Structure of the noncoherent balanced QPSK-DS/SS receiver.

여기서, $\sigma_{i,I}^2$, $\sigma_{MA,I}^2$, $\sigma_{N,I}^2$ 는 각각 Inphase 경로에서의 상호 chip간 간섭, 다른 가입자의 간섭, 그리고 가산성 잡음을 나타내며 다음과 같이 주어진다.

$$\begin{aligned}
 \sigma_{i,I}^2 &= \frac{1}{4} E_c^{(i)} \sum_{n=-\infty}^{\infty} [R(nT_c)]^2 \\
 \sigma_{MA,I}^2 &= \frac{1}{2} \sum_{j \neq i} E_c^{(j)} \frac{1}{T_c} \int_{-\infty}^{\infty} |H(f)|^4 df \\
 \sigma_{N,I}^2 &= \frac{1}{2} N_0 \int_{-\infty}^{\infty} |H(f)|^2 df
 \end{aligned} \tag{7}$$

필스 성형필터가 $R(0)=1$ 로 정규화된 경우에 Inphase 경로와 Quadrature경로의 출력은 데이터 심볼의 구성을 무시할때

$$\begin{aligned}
 Y_{i,n} &= \sqrt{E_c^{(i)}} \cos \phi_i + \eta_{i,n} \\
 Y_{o,n} &= \sqrt{E_c^{(i)}} \sin \phi_i + \eta_{o,n}
 \end{aligned} \tag{8}$$

으로 모델링할 수 있다.

여기서, $\eta_{i,n}$ 과 $\eta_{o,n}$ 는 저역통과 필터링된 Gaussian noise process의 샘플이며 서로 독립적이다.

이 샘플들을 N 개의 PN chip에 대해 적분한 후

$$\begin{aligned}
 Y_i \text{와 } Y_o \text{ 는} \\
 E[Y_i] &= N\sqrt{E_c^{(i)}} \cos \phi_i, \quad E[Y_o] = N\sqrt{E_c^{(i)}} \sin \phi_i \\
 \text{var}[Y_i] &= N_0/2, \quad \text{var}[Y_o] = N_0/2
 \end{aligned} \tag{9}$$

로 주어지며, 여기서 $\sigma_i^2 = \sigma_{i,I}^2 + \sigma_{i,Q}^2$ 이다.

동일한 방법으로, Z 의 평균과 분산

$$\begin{aligned}
 E[Z] &= E[Y_i^2 + Y_o^2] \\
 &= N^2 E_c^{(i)} + N_0 \\
 \text{var}(Z) &= (N_0)^2
 \end{aligned} \tag{10}$$

초기동기 획득을 위해서는 서로 독립적인 PN code 적분구간을 L 개를 다중으로 적분하는 double dwell 방식의 serial search 방식을 채택하였다. 이때 정확히 PN code 동기가 맞지 않은 test cell에서의 신호 Z 의 확률밀도함수는 $f_Z(Z/H_0) = \frac{1}{(L-1)!V_N} Z^{L-1} e^{-\frac{Z}{V_N}}$ 로 주어지고 이때 오보확률은

$$P_F = \int_0^{\infty} f_Z(Z/H_0) dZ = e^{-\frac{\theta}{V_N}} \sum_{l=0}^{L-1} \frac{(\theta/V_N)^l}{l!} \tag{11}$$

으로 주어진다.

그리고 정확히 PN code 동기가 맞은 test cell에서의 신호 Z 의 확률밀도함수는 $f_Z(Z/H_1) = \frac{1}{(L-1)!V_N^2} Z^{L-1} e^{-\frac{Z}{V_N}}$ 로 주어지고 이때 신호검출확률은

$$P_D = \int_0^{\theta} f_Z(Z/H_1) dZ = \theta \sum_{j=0}^{v-1} \frac{(1-P_F)^j}{j!} \quad (12)$$

으로 주어진다. [5] 여기서 $V_F = V_S + V_N = N^2 E_c + N I_0$ 이다. 본 고에서는 확인과정으로 경보(alarm)가 발생한 코드 위상에서 k번 더 hypothesis test를 수행하여 경보가 n($n \leq k$)번 이상 발생할 경우 최종적으로 동기획득이 이루어진 것으로 선언한다.

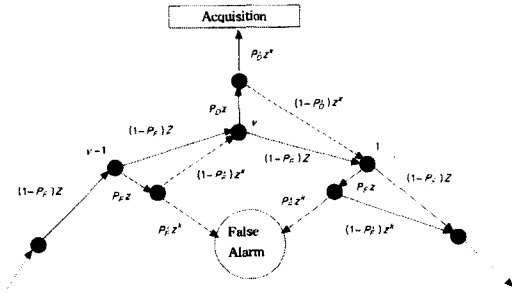


그림 2. 초기동기 획득 상태도
Fig. 2. Initial PN code synchronization acquisition state diagram.

따라서 그림 2에서 확인 과정을 거쳐 최종적으로 동기 획득이 선언될 확률은 $P_D P_D'$ 이며 여기서 P_D' 는 확인 과정을 통과할 확률로

$$P_D' = \sum_{j=n}^k \binom{k}{j} P_D^j (1-P_D)^{k-j} \quad (13)$$

로 주어지며

$H_0(z)$ 와 $H_M(z)$ 는 각각

$$\begin{aligned} H_0(z) &= (1-P_F)z + P_F z^{k+1} \\ H_M(z) &= (1-P_D)z + P_D (1-P_D')z^{k+1} \end{aligned} \quad (14)$$

로 주어진다. [6]

그림 2에서 최종 node로 부터 i번째 떨어진 node에서 탐색이 시작된다고 가정할 경우 시작점에서 최종 node까지의 경로와 feedback loop는 각각 하나이며, 따라서 Mason의 공식을 이용하여 전달함수는

$$T_i(z) = \frac{H_0^i(z) P_D P_D' z^{k+1}}{1 - H_M(z) H_0^{i-1}(z)} \quad (15)$$

로 주어진다. 또한, 각 node마다 시작 node가 될 확률은 $1/v$ (v : 총 test cell의 수)로 같으므로 모든 가능한 시작 node에 대해 평균한 전달함수는

$$\begin{aligned} T_i(z) &= \frac{1}{v} \sum_{i=0}^{v-1} T_i(z) \\ &= \frac{1}{v} \frac{P_D P_D' z^{k+1}}{1 - H_M(z) H_0^{v-1}(z)} \sum_{i=0}^{v-1} H_0^i(z) \end{aligned} \quad (16)$$

로 주어진다. 윗식을 다항식으로 전개하면,

$$T(z) = \sum_{j=0}^{\infty} C_j z^j \quad (17)$$

이 되며 식 (17)에 $z=1$ 을 대입하면, $T(z)|_{z=1} = 1$ 이 될을 알 수 있다.

즉, $T(z)$ 는 moment generating function이 되며 이때 $C_j, j=0,1,\dots,\infty$,는 동기 획득 시간이 j (τ_D 단위)일 확률을 나타낸다. 따라서 평균동기 획득 시간은

$$\begin{aligned} E(T_{acq}) &= \left. \frac{dT(z)}{dz} \right|_{z=1} \tau_D \\ &= \left[\frac{(v-1)(1+kP_F)(2-P_D P_D')}{2P_D P_D'} + \frac{1+kP_D}{P_D P_D'} \right] \tau_D \end{aligned} \quad (18)$$

으로 된다. [6], [7], [8] 위에서 구한 식으로 단일 상관기에 의한 방법과 matched filter에 의한 병렬 상관기에 의한 초기동기 획득시간을 비교하면 그림 3과 그림 4에서 보듯이 병렬 상관기의 길이만큼 단축됨을 알 수 있다.

평균 초기동기 획득시간은 first dwell구간에서 적분구간이 길면 detection probability가 높아지고 오보에 의한 시간지연이 없어서 초기동기 획득이 빨라질 것 같지만 직렬 상관기를 이용한 초기동기 획득 회로를 살펴보면 first dwell에 해당하는 적분과정에서 test PN chip 각각에 대해 적분구간의 수에 해당하는 N개의 PN chip수 만큼 상관연산으로 지연이 되는데 이것이 결국 초기동기 획득시간을 좌우하게 된다. 따라서 병렬로 적분구간의 길이에 해당하는 수신 PN chip들과 고정된 pattern의 local PN chip들간의 상관연산을 동시에 할 수 있으면 test PN chip마다 first dwell의 통과 여부를 결정할 수 있으므로 초기동기 획득 시간을 단축할 수 있다. 그러나, 범용 디지털 논리회로를 이용하여 정합필터를 구현하는 경우는 적분구간의 길이에 해당하는 긴 길이의 N단 shift register가 소요되고, 같은 길이의 adder회로를 설계해야 하므로 HW양이 많이 소요된다. 따라서 초기동

기 소요시간이 짧은 정합필터의 잇점을 살리면서 HW 양을 줄이기 위해서는 긴 길이의 N단 shift register를 일정한 길이로 나눈 분할 shift register를 여러번 반복하여 사용한다. 이 경우는 test PN chip이 first dwell의 통과 여부를 결정하기위한 회로에 입력된 후 다음 test PN chip이 입력되기전에 분할된 shift register로 모든 연산을 끝내어야 하므로 종래의 방법보다 반복 횟수만큼 빠른 clock속도가 요구된다.^[9]

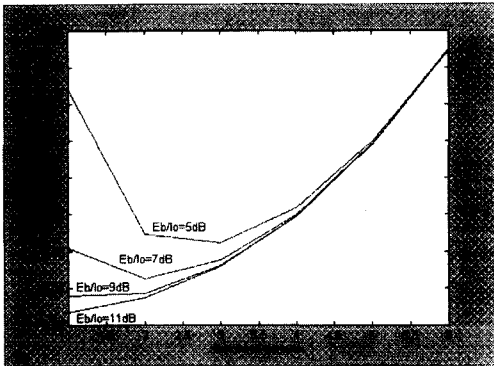


그림 3. Single correlation 방법에 의한 평균 초기동기 획득 시간
 Fig. 3. Mean initial PN code synchronization acquisition time using single correlator.

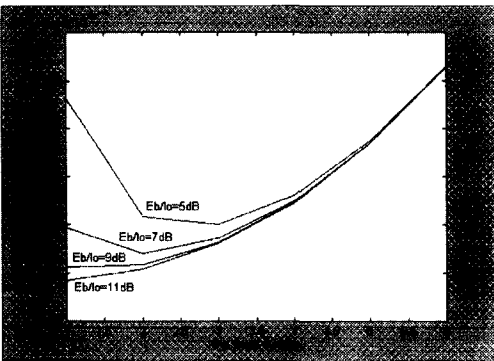


그림 4. Matched filter 방법에 의한 평균 초기동기 획득 시간
 Fig. 4. Mean initial PN code synchronization acquisition time using matched filter.

2. HW 재사용에 의한 정합필터의 구조 및 설계

분할된 shift register를 이용한 정합필터의 회로구조는 그림 5와 같이 병렬 correlation 및 연산부, 수신 PN chip 및 local PN chip 저장부, 초기동기 획득 판정부 및 second dwell 통과 판정부,

despreading부로 구성된다. 병렬 상관기의 기본 단위는 8 단의 shift register로서 수신된 PN sequence 저장용 과 local PN sequence 저장용의 2개의 8단 shift register가 소요된다. PN code로 대역확산된 CDMA신호는 RF 반송파에 실려 송신되고 수신부에서 IF대역으로 천이된다. IF단에서 복조된 기저대역신호는 A/D 변환부에서 표본화되어 수신 PN code용 shift register에 입력된다. first dwell의 적분 길이 64 PN chip에 해당하는 수신 PN code chip을 8단의 shift register를 이용하여 상관 연산을 하기 위해서는 기억소자에 이미 수신된 64 PN chip과 병렬 상관과정의 reference가 되는 local PN code를 8 PN chip단위로 8번 각각 읽어 상관 연산을 한다.

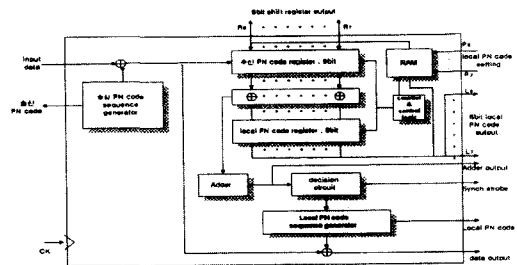


그림 5. HW 재사용에 의한 matched filter를 이용한 초기동기 획득 구성도
 Fig. 5. Block diagram of initial PN code synchronization acquisition using matched filter by HW reuse.

동기 여부를 판정하기위해 test PN chip이 입력될 때마다 수신부 64 PN chip의 virtual 병렬 상관기의 내용은 1 PN chip씩 이동하여 수신부 64 PN chip의 virtual 병렬 상관기의 내용을 새롭게 갱신해야한다. 64단의 shift register로 구성된 경우는 test PN chip이 입력되면 모든 shift register의 내용은 1 PN chip씩 이동을 하므로 맨 마지막으로 63번째 내용이 64번째 register에 입력되고 shift전의 64번째 register의 내용은 shift된 결과 없어진다. 그러나, 실제 8단 shift register로서 수신부 64 PN chip의 virtual 병렬 상관기의 내용을 갱신하기 위해서는 두가지 문제가 발생한다.

첫째, 8단 shift register의 내용들은 shift결과 8번째 register의 내용이 없어지게 되는데 이 PN chip은 실제 64 PN chip의 병렬 상관연산에 필요한 내용이다.

둘째, 기억소자에 있는 64개의 이미 입력된 PN chip들을 1 chip씩 이동시키는 과정이 필요하다.

첫번째 문제를 해결하기 위해서 수신단의 PN chip 용 shift register는 9단 shift register를 써서 8번째 register의 내용을 보존해야한다. 즉 기억소자에서 test PN chip이 입력되어 첫번째 병렬 상관 연산이 끝나면 입력된 test PN chip부터 8번째 register의 PN chip은 기억소자에 옮겨져 보관되고, 2번째 분할된 8개의 PN chip들이 기억소자에서 읽혀져 수신단의 PN chip용 shift register의 첫번째 register부터 8번째 register에 쓰여진다. 이때 9번째 register에 보관되어 있던 PN chip은 입력된 수신 PN chip sequence의 순서상으로 보면 방금 기억소자에서 수신단의 PN chip용 shift register에 쓰여진 PN chip들 보다 앞선것이므로 circular shift동작으로 순서를 바로잡아 shift register의 내용을 갱신하여야한다. 따라서 수신단의 PN chip용 shift register는 일반적인 serial shift뿐 아니라 circular shift동작도 가능하여야 한다.

두번째 문제의 경우는 register에 8개 PN chip들을 읽어와 circular shift를 한 후 갱신된 값을 다시 기억소자에 써 넣으면 1 chip씩 이동되어 갱신된 값이 기억된다.

이상에서 보면 수신단의 PN chip용 shift register는 병렬 상관용 수신 PN chip이 8개씩 기억소자에서 병렬입력되고 병렬상관 연산부로 8 PN chip이 병렬 출력될 수 있어야한다.

그리고 새로이 test PN chip이 입력시 first dwell 길이내의 register의 내용이 유실되지 않고 갱신 될 수 있도록 9번째 register를 첨가하여 circular shift가 가능하여야 한다.

또한 test PN chip의 입력 속도에 비해 circular shift에 위한 갱신용 shift chip의 입력은 8배 정수이므로 circular shift때마다 수신단의 PN chip용 shift register의 입력에서 test PN chip과 circular shift chip이 충돌이 생긴다. 따라서 제어 logic을 써서 test PN chip 입력과 circular shift chip 입력간의 충돌을 제어하며 물론 8개의 8 PN chip group 중 마지막 group에서는 64 PN chip의 맨 마지막 PN chip은 필요없으므로 circular shift를 하지 않는다. 그리고 병렬 상관과정의 reference가 되는 64 PN chip길이의 local PN code는 15단 polynomial

에서 만들어지는 총길이 32768 PN chip중 임의의 부분을 64 PN chip길이로 선택하여 8개의 group으로 분할한다. 이렇게 선택된 8개의 8 PN chip을 기억소자에 써넣고 새로운 test PN chip이 입력시 8번에 걸쳐 차례로 local PN chip용 register에 써넣는다.

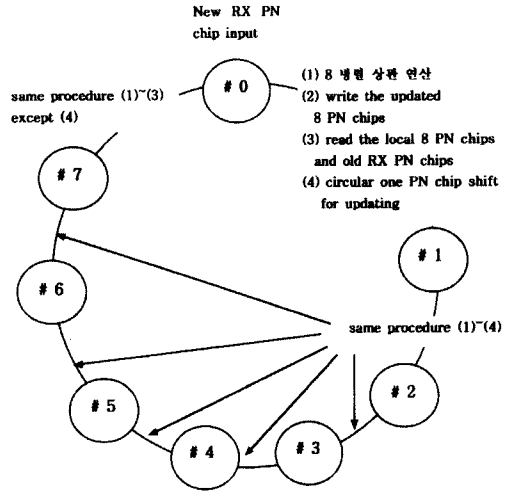


그림 6. 분할된 shift register와 기억소자를 이용한 반복 상관 연산과정
Fig. 6. repeated correlation process using the splitted register and memory device.

수신부 64 PN chip과 local 64 PN chip은 항상 8개 PN chip group이 순차적으로 기억소자에서 읽혀져 8 bit 병렬 상관부의 연산부로 입력된다.

이상의 과정을 state diagram으로 나타내면 그림 6와 같다. 기억소자에서 변화하는 64개의 수신 PN chip과 고정된 64개의 local PN chip을 순차적으로 읽어내기위해서는 기억소자내 PN chip의 배치와 이들이 저장되어 있는 address를 제어할 수 있는 counter의 설계가 필요하다.

변화하는 64개의 PN chip을 8 PN chip이 저장되는 8개의 address에 갱신된 내용을 먼저 쓰게되고 다음에 읽어내는 순서 때문에 counter의 설계가 복잡해진다.

따라서 그림 7 에서와 같이 address를 2개의 block으로 나누고 32진 read와 write용 counter가 16진 차이가 나도록하여 state가 0에서 31까지 단순 증가시 PN chip의 read와 write동작이 순차적으로 발생하도록한다. block1의 address 0번지부터 증가하면서

read 동작이 발생하면 그림. 6의 state diagram과 같이 수신 PN chip과 local PN chip을 교대로 그리고 순차적으로 기억소자에서 읽어낼 수 있다.

반면에 write clock은 read clock에 비해 16진 차이가 나서 동작이 되므로 read address가 일어나는 block과 구분하여 독립된 영역에서 local PN chip이 저장된 영역을 하나씩 건너 Despreading부는 초기동기획득 판정부에서 동기획득판정신호를 받아 입력 PN chip과 동일한 속도의 clock을 구동시킨다. despreading부는 송신단과 동일한 polynomial 구조를 갖는 15단 shift register로 구성되며 초기 register의 상태는 64개의 local PN chip중 1번부터 15번까지의 동일한 PN chip이 저장되어 있어 clock이 입력되는 순간 송신 PN chip sequence와 동일한 PN sequence를 발생시킨다.

Local PN chip #1	0	b l o c k 1	
Rx PN chip #1	1		
Local PN chip #2	2		
Rx PN chip #2	3		
-----	-		
Local PN chip #8	14		
Rx PN chip #8	15		
Local PN chip #1	16		b l o c k 2
Rx PN chip #1	17		
Local PN chip #2	18		
Rx PN chip #2	19		
-----	-		
Local PN chip #8	30		
Rx PN chip #8	31		

그림 7. 기억소자의 PN code 배열 주소
Fig. 7. PN code array address of memory.

즉 일차 first dwell의 임계치를 통과한 경우 local PN code는 15단 shift register에서 직렬로 수신된 PN code와 같은 clock 속도로 출력되면서 직렬 상관연산이 이루어지고 second dwell의 test 구간동안 적분된 값이 임계치를 넘으면 동기가 맞는 것으로 판정된다.

이 동기판정부에서 동기가 않았다고 판단할 경우에는 새로이 입력된 PN chip에 대해서 위에서 설명된 초기동기획득 연산과정을 반복한다.

3. Simulation 및 결과 고찰

Simulation 환경은 MaxPlus II FPGA설계 tool을 이용하여 설계하였으며, 선정 device는 Max9000을 사용하였다. PN code chip의 입력 속도는 IS-95에서와 같이 1.2288Mbps를 15단 shift register를 이용하여 발생시키고 본 본문에서 제안한 알고리즘을 8단으로 분할된 shift register와 기억소자를 이용하여 병렬 상관 연산을 반복한다. dwell길이동안 누적된 연산결과 수신 PN code와 local PN code가 64 PN code chip의 길이 동안 일치한 경우 최고값 64를 갖게되면 local PN code sequence generator가 송신 PN code와 동일한 PN code sequence가 발생되도록 clock enable신호(DECI-CLK)를 발생시킨다. 따라서 초기동기획득 판정(decision)후에 최종적으로 상관연산과정에서 생기는 수신 PN code와 local PN code의 timing을 맞추기위해 buffer에서 동일 클럭으로 두 PN code를 읽어내어 exclusive logic으로 despreading하면 일정한 level로 출력되는 최종 data(F-data)를 그림 8에서 볼 수 있다. 직렬 상관기 방식에 의한 초기동기 획득방식은 수신되는 PN chip

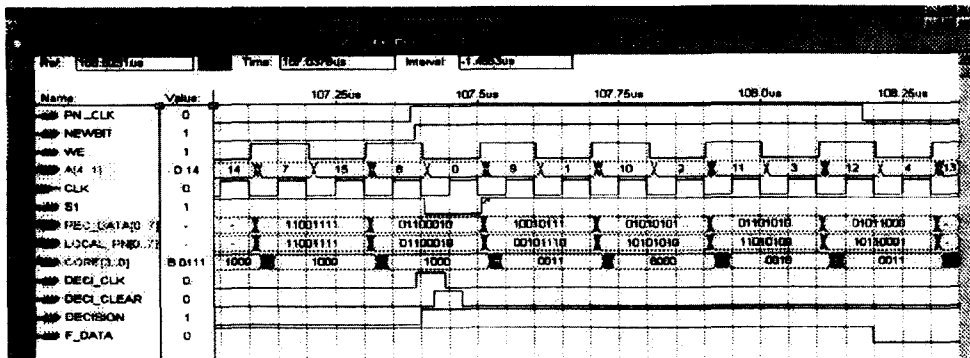


그림 8. Altera MaxPlus II FPGA를 이용한 simulation 결과
Fig. 8. Simulation results using Altera MaxPlus II FPGA.

의 time duration 및 적분을 해야하는 dwell구간만큼 초기동기 획득 시간이 비례한다.

따라서 dwell구간만큼의 적분구간에 해당하는 PN chip의 갯수를 수신하는데 소요되는 시간을 줄이기 위해 이전에 수신된 PN chip이 저장된 여러단의 shift register를 이용해 병렬 연산을 수행하므로써 새로운 PN chip이 입력될 때마다 초기동기 획득여부를 판단할 수 있다. 이 병렬상관 방법을 PN chip에 대해 1 bit로 처리하여 연산하는 회로를 종래의 병렬상관기에서 소요되는 gate수를 줄이면서 동일한 초기동기 획득 시간이 소요되는 회로를 본 논문에서 제안한바대로 64 PN chip 길이의 dwell 적분 구간에 필요한 길이를 8 PN chip으로 분할한 수신부 및 local shift register, 초기동기 획득 decision부 및 despreading 부를 Altera Max9000(EPM9480RC240-15)을 이용하여 설계해 본 결과 report file에서 27%가 사용됨을 알 수 있었다. 이는 2,700gate가 되며 표면화 된 PN chip당 4bit 양자화처리하면 소요되는 gate의 수는 9,000gate 정도가 될 것이 예상된다.

수신부에서 처리할 수 있는 내부 clock은 입력되는 PN chip의 구간내에 종래 병렬 상관기에 비해 8번의 연산이 이루어져야 하므로 8배 높아야한다. 직렬 상관기의 경우는 내부 clock이 높아도 수신되는 PN chip의 속도 및 소요되는 PN chip이 수신되는 시간에 초기동기 획득시간이 결정되므로 내부 clock 속도 향상의 잇점을 이용할 수 없다.

실제 Fading 채널 효과를 넣지 않았으므로 수신된 PN chip에 대해 1 bit로 처리하여 dwell 적분구간에 해당하는 전체연산을 입력되는 PN chip마다 전체 연산을 수행할 수 있도록 하였다. 따라서 기억소자에 해당하는 회로부를 제외하면 counter를 이용한 기억소자 제어회로부 및 8배로 단축된 분할 shift register로 구성된 연산부회로는 종래의 병렬 상관기 회로에 비해 약 1/7로 gate수가 감축되었다. 실제 CDMA통신기기에는 기억소자가 상주하고 있으나 전체 address 영역이 쓰이지는 않으므로 본 논문에서 제안한 방법의 필요한 기억소자는 이 영역을 활용하면 가능하리라 판단된다.

III. 결 론

GPS를 사용하여 기지국간 동기를 유지하는 IS-95

방식에서는 기지국들간에 일정한 phase offset을 갖는 동일한 PN code를 사용하지만 GPS를 사용하지 않는 비동기식 방식에서는 서로 다른 PN code를 사용하므로 초기동기 획득시 빠른 동기 획득 방법이 필요하다. Rayleigh fading channel에서 double dwell serial search방식을 적용하여 초기동기 획득에 소요되는 최소평균시간을 simulation을 해보면 $E_b/N_0=7-9$ dB에서 128 PN chip의 적분구간이 적합함을 알 수 있었다. 그리고 직렬상관기에 비해 matched filter를 사용한 병렬상관기는 shift register의 단수에 비례하여 최소 평균 초기동기획득시간이 줄어들음을 알 수 있었다. 종래의 병렬 상관기가 초기동기획득시간이 줄어드는 장점은 있으나 상관 길이에 해당하는 shift register길이에 해당하는 HW의 복잡도를 개선하기 위해 8 stage로 분할된 shift register 및 기억소자를 이용하여 상관 연산을 반복할 수 있는 algorithm을 제안하고, 1.2288Mcps(chip per second)의 15 stage shift register에서 발생하는 PN code 동기획득을 위한 핵심회로를 설계하여 Altera MaxPlus II FPGA Max9000으로 구현함으로써 기능을 입증하였다.

참 고 문 헌

- [1] TIA/EIA Interim Standard-95
- [2] "차세대 이동통신 기반기술 연구" 한국전자통신연구원 1997년도 연구보고서 7DR12001347110F
- [3] Stephen S. Rappaport, Donald M. Grieco, "Spread-Spectrum Signal Acquisition: Method and Technology", IEEE Communication Magazine, Vol.22, No.6, pp 6 - 21 June 1984.
- [4] <http://www.ijnet.or.jp/yozan>
- [5] Andrew J. Viterbi. CDMA Principles of Spread Spectrum Communication, Addison Wiley 1995.
- [6] Andreas Polydoros, Charles L. Weber, " A unified Approach to Serial Search Spread-Spectrum Code Acquisition - Part I : General Theory", Vol. Com. 32, No.5, pp 265-272, May 1984.
- [7] Andreas Polydoros, Charles L. Weber, " A unified Approach to Serial Search Spread-Spectrum Code Acquisition - Part

- II : A Matched - Filter Receiver", Vol. Com. 32, No.5, pp 273 - 292 May 1984.
- [8] Brima B.Ibrahim, A. Hamid Aghvami, " Direct Sequence Spread Spectrum Matched Filter Acquisition in Frequency-Selective Rayleigh Fading Channels", IEEE Journal on selected areas in comm. Vol.12, No.5, pp 885 - 890 June 1994.
- [9] Myoung Seob Lim, " The Design of Direct Sequence Spread Spectrum Matched Filter Acquisition based on HW reuse", 2nd CDMA International conference, pp460-463 Oct. 1997.

 저 자 소 개



林 明 燮(正會員)

1957년 9월 28일 . 1976년 3월 ~ 1980년 2월 : 연세대 전자공학과 졸업 (학사). 1980년 3월 ~ 1982년 2월 : 연세대 전자공학과 졸업 (석사). 1984년 3월 ~ 1990년 2월 : 연세대 전자공학과 졸업 (박사). 1984년 1월 ~ 1985년 9월 : 대우통신 종합연구소 근무 1985년 9월 ~ 1996년 10월 : 한국전자통신 연구소 이동통신기술연구단 신호처리연구실장. 1996년 10월~ 현재 : 전북대학교 컴퓨터정보통신공학부 조교수.
 주관심 분야 : advanced CDMA modem기술 개발(OFDM, MC-CDMA) cellular system engineering, 통신 신호처리 기술 개발