

다중-경로 다단계 상호연결 네트워크의 성능 개선

김 백 현[†] · 우 요 섭^{††} · 김 익 수^{††}

요 약

본 논문은 다중-처리, ATM 시스템과 VOD 서버의 설계에 광범위하게 사용되고 있는 다중출력 다단계 상호연결네트워크의 성능 개선을 위한 새로운 MIN 네트워크 구조를 제안했다. 제안된 MIN 네트워크는 패킷 전송확률 비와 패킷 지연과 같은 성능을 개선하기 위해 기본 MIN의 i번째 스위칭 단계에서 충돌이 발생될 경우 한 개 충돌 패킷을 추가된 Banyan MIN 네트워크의 i+1번째 스위칭 단계로 우회시키며, 추가 단계로 우회된 패킷들이 충돌될 경우 다시 기본 MIN의 i+2번째 스위칭 단계로 우회시키는 새로운 경로 설정방안을 제안했다. 성능개선이 이루어진 새로운 MIN 네트워크를 전송확률 비, 스위칭 단계 대 전송확률 비의 측면에서 MBSF, TBSF와 PBSF 구조의 MIN 네트워크와 비교하였으며, TBSF를 포함하여 다른 구조의 MIN과 비교하여 성능이 개선되었고, 또한 추가되는 MIN은 스위칭 단계의 수가 줄어들어 간단한 구조로 이루어질 수 있음을 확인하였다.

Improving Performance of Multi-Paths Multistage Interconnection Network

Back-Hyun Kim[†] · Yo-Seop Woo^{††} · Ik-Soo Kim^{††}

ABSTRACT

This paper proposes a new multipath multistage interconnection network(MIN) structure for improving performance which uses widely in the design of multiprocessing, ATM system and VOD server. For improving performance such as passthrough ratio and packet latency, it proposes new routing method which routes one of the collided packets into the i+1-th switching stage of the adding Banyan MIN network when it occurred collision at the i-th switching stage of basic MIN, and the inserted collision packets into the adding MIN are routed into the i+2-th switching stage of the basic MIN again when they collide each other. The new improved performance MIN network has been compared with MBSF, TBSF and PBSF structured MIN network from the viewpoint of passthrough ratio and the number of switching stage vs. passthrough ratio. It is shown to improve a performance and to be a simple structure which reducing the number of switching stage of adding MIN in comparison with other structured MIN including TBSF.

1. 서 론

스위칭 시스템은 다중 프로세서 시스템과 ATM 분

야에서 전송 경로의 수와 비용을 줄일 수 있기 때문에 통신 네트워크의 설계에서 중요한 부분을 차지하고 있다. 따라서 스위칭 회로로 이루어지는 다단계 상호연결 네트워크(Multistage interconnection network : MIN)는 다중-프로세서 시스템에서 프로세서들 사이의 데이터 교환을 위한 상호연결 회로에 광범위하게 사용되고 있으며[1,2] 또한 비동기 전송모드(Asynchronous trans-

※ 본 연구는 한국과학재단 지정 인천대학교 멀티미디어연구센터의 지원에 의한 것입니다.

† 정 회 원 : 인천대학교 대학원 정보통신공학과

†† 정 회 원 : (시립)인천대학교 정보통신공학과 교수

논문접수 : 1998년 4월 27일, 심사완료 : 1999년 3월 9일

fer mode : ATM)에서 중간 노드들 사이의 연결을 위한 스위칭 네트워크로 사용되기 때문에 MIN에 대한 많은 연구가 진행되고 있다[3,4].

또한 MIN의 성능 향상을 위해 다수의 경로를 확보하여 스위치 고장이나 패킷의 충돌 가능성을 줄이는 노력으로 다수의 독립된 MIN 네트워크를 제안[3,5]하기도 했지만 가격이 비싸다는 단점을 갖고 있다. 다중-Banyan 스위칭 구조(Multi Banyan Switching Fabrics : MBSF)[5,6]의 경우 독립된 MIN은 단지 한 개의 경로만이 존재하므로 성능 대 가격비가 떨어진다. 또한 동일한 MIN들을 직렬로 연결하는 TBSF(Tandem Banyan Switching Fabrics) MIN[7,8]과 병렬로 연결되는 PBSF(Piled Banyan Switching Fabrics) MIN[9]들은 다수의 MIN을 연속적으로 부가하여 패킷이 충돌할 경우 충돌 패킷을 우회시켜 충돌의 가능성을 줄였지만 MIN의 가격이 크게 상승하는 단점을 보였다. 특히 PBSF MIN의 경우 추가되는 MIN의 단수는 줄더라도 스위칭 블록들은 첫 단의 MIN에 비해 2배 이상 복잡하게 된다. 또한 TBSF MIN은 첫 번째 MIN의 여러 스위칭 단 가운데 뒤에 위치하는 스위칭 단에서만 패킷이 충돌되는 경우, 충돌 패킷을 추가된 MIN으로 우회시켜 다른 스위칭 블록에서 우회된 패킷들과 다시 첫 번째 스위칭 단부터 경쟁하여야 하며, 또한 패킷 지연(latency)이 크다는 단점을 갖고 있다[9].

본 논문에서 사용하고 있는 성능이 개선된 MIN은 i 번째 스위칭 단에서 충돌이 발생할 경우 한 개 패킷은 TBSF의 경우와 같이 마크-비트를 세트($M_i=1$)시키지만 TBSF의 단점인 패킷 지연을 제거하기 위해 즉시 추가된 MIN의 $i+1$ 번째 스위칭 단으로 우회시키는 새로운 방법을 사용하고 있다. 추가된 MIN으로 우회된 패킷들이 서로 충돌할 경우 기본 MIN의 $i+2$ 번째 스위칭 단으로 다시 우회시키게 된다. 제안된 MIN은 결과적으로 패킷들의 충돌 가능성이 줄어들게 되는 새로운 경로 설정방안을 사용하여 MIN의 전송확률 비(pass-through ratio)를 크게 향상시킨 새로운 구조의 MIN 네트워크이다.

새로운 경로설정 방안을 사용하여 성능 개선이 이루어진 제안된 MIN에 유입되는 패킷에 대한 경로 선택(routing)은 매우 단순하여 스위칭 블록에서 패킷들의 충돌이 없을 경우에는 기존의 MIN과 동일하게 동작된다. 본 논문에서는 제안된 새로운 구조의 MIN을 MBSF, TBSF와 PBSF MIN의 전송확률 비와 스위칭

단수 대 전송확률 비의 측면에 대해서 비교하기로 한다.

2. 경로설정을 위한 새로운 기본 다단계 상호연결 네트워크의 해석

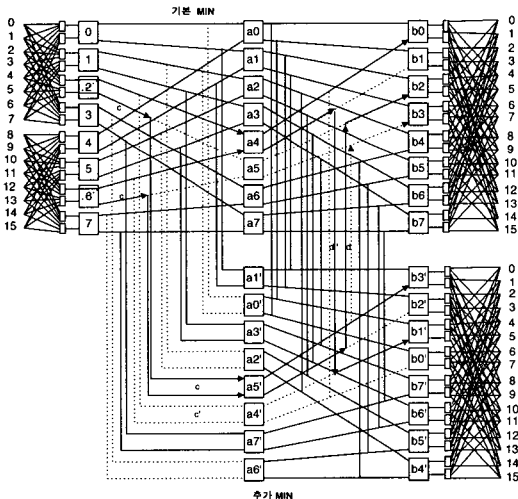
본 논문에서 프로세서들과 기억장치 모듈들이 각각 N 개로 구성되는 기본 MIN은 $\log_2 N - 1$ 개의 스위칭 단으로 구성되며, 스위칭 단들은 입력과 출력 사이에 직결 또는 교차의 스위칭을 수행할 수 있는 2×2 스위칭을 사용했다[3,9,10]. MIN의 i 번째 스위칭 단의 스위칭 블록으로 유입되는 패킷들의 출력이 동일하여 충돌이 발생할 경우 한 개 패킷은 올바른 출력단자로 진행시키고, 한 개 패킷은 마크-비트($M_i=1$)를 세트시킨 후 TBSF의 경우와 동일하게 사용 가능한 출력으로 진행시킨다. 충돌로 인한 $M_i=1$ 인 패킷은 즉시 추가된 MIN의 $i+1$ 번째 스위칭 단으로 우회시켜 TBSF와는 달리 패킷 지연이 증가되지 않는 특징을 갖게 된다. MIN의 해석을 위해 그림 1에 충돌 패킷들의 경로설정을 위한 새로운 기본 MIN의 구조를 제안하였다.

(그림 1)에 제안한 새로운 경로설정을 위한 기본 MIN 구조에서 첫 번째 스위칭 단의 2번과 6번 스위칭 블록의 상위출력에 대해 패킷 충돌이 발생할 경우 각각 한 개의 패킷(상위입력 패킷)은 상위출력으로 진행시켜 기본 MIN의 두 번째 스위칭 단의 스위칭 블록 a_4 의 상위(스위칭 블록 2의 상위출력)와 하위(스위칭 블록 6의 상위출력)입력으로 올바르게 진행시킨다. 또한 다른 패킷(스위칭 블록 2와 6의 하위입력 패킷)은 각각 마크-비트를 세트시킨 후 c 로 나타낸 사용 가능한 하위 스위치 출력으로 진행시켜 추가 MIN의 첫 번째 스위칭 단인 a_5' 스위칭 블록의 상위입력과 하위입력에 인가시킨다.

따라서 기본 MIN의 스위칭 블록 2와 6에서 충돌에 의해 추가 MIN의 a_5' 으로 우회된 패킷들은 스위칭 블록 a_5' 에서 충돌이 발생되지 않을 경우 주소 비트에 따라 올바른 출력(추가 MIN의 스위칭 블록 b_2' 또는 b_3')으로 진행시키지만, 스위칭 블록 a_5' 의 상위(또는 하위)출력에 대해 충돌이 발생할 경우 하위입력 패킷은 앞의 경우와 동일하게 마크-비트를 세트시킨 후 다시 d 로 나타낸 기본 MIN의 세 번째 스위칭 단의 스위칭 블록 b_2 (또는 b_3)로 우회시키게 된다. 이 경우 추가 MIN의 스위칭 블록 a_5' 의 상위(또는 하위)출력에 대해 충돌이 발생하여 다시 기본 MIN으로 인가된 스위

칭 블록 a5'의 하위(상위)출력 패킷은 (그림 1)에 제안된 새로운 경로 설정을 사용한 기본 MIN의 두 번째 스위칭 단에 점선으로 나타낸 바와 같이 스위칭 블록 a5 입력에는 인가된 패킷이 전혀 없기 때문에 충돌 없이 3번째 스위칭 단의 b2(또는 b3) 스위칭 블록으로 인가된다(d').

또한 경로설정을 위한 새로운 기본 MIN 스위칭 블록 a4에서 상위 출력에 대해서 충돌이 발생될 경우 한 개 패킷(하위입력 패킷:스위칭 블록 6의 상위출력)은 스위칭 블록 a4의 하위 출력으로 연결하여 패킷 입력이 없는(c') 추가 MIN의 스위칭 블록 a4'의 상위 출력이 연결되어 있는 스위칭 블록 b1'의 하위입력으로 인가시킨다. 따라서 제안된 새로운 경로설정 방법을 사용하면 두 경우 모두 충돌에 의한 dead 패킷이 없으며, TBSF 구조와는 달리 패킷 지연 또한 없게 됨을 알 수 있다.



(그림 1) 새로운 경로설정을 위한 제안된 기본 MIN 네트워크의 구조

3. 제안된 다중-경로 다단계 상호연결 네트워크와 경로 선택

3.1 제안된 다중-경로 다단계 상호연결 네트워크의 구성과 해석

(그림 1)의 경로설정을 위한 제안된 기본 MIN에서 프로세서 5의 가능한 모든 경로는 가상병렬 MIN[10]과 동일하게 최대 8개의 경로를 제공하며, 프로세서 5

가 전송을 요청할 경우 멀티플렉서를 거쳐 첫 번째 스위칭 단의 4개 스위칭 블록(0~3) 가운데 한 개 블록에 연결된다. 따라서 (그림 1)에 제안한 기본 MIN의 새로운 경로설정을 사용하여 구성된 (그림 2)의 성능이 개선된 새로운 경로설정 구조의 256 * 256 MIN 블록도의 스위칭 단 0에 위치하는 스위칭 블록들은 패킷 입력들이 동일한 출력을 요청하더라도 충돌 없이 언제나 스위칭 단 1로 연결될 수 있다. 결과적으로 (그림 2)에 제안한 MIN 블록도의 스위칭 단 0에서 r0의 확률로 인가되는 패킷들은 스위칭 단 1로의 연결 확률은 r0이 된다. 그러나 스위칭 단 1 이후에 위치하는 스위칭 블록에 인가되는 패킷들은 서로 동일한 출력단자를 요청할 경우 충돌이 발생하게 된다. 스위칭 블록에서 충돌이 발생한 한 개의 패킷(하위입력)은 마크-비트를 세트시켜 추가 MIN 1의 스위칭 단 2로 우회시킨다. 즉, 패킷이 충돌할 경우 한 개의 패킷은 올바른 스위칭 출력으로 진행시키고, 나머지 한 개 패킷(하위입력)은 헤더의 마크-비트(M_i)를 세트시켜 사용 가능한 출력단자로 진행시킨 후 추가 MIN 1로 우회시킨다. 충돌에 의해 마크-비트가 세트되어 추가 MIN 1로 우회된 패킷들은 M_i=0으로 클리어 되며, 추가 MIN 1의 스위칭 블록에서 충돌이 없을 경우 요청된 출력 단자로 출력되지만 충돌이 발생할 경우 (그림 1)에서 설명한 바와 같이 기본 MIN의 스위칭 단 3으로 다시 우회시키는 새로운 경로설정 방법을 사용하여 패킷 충돌의 가능성을 줄이게 된다.

3.2 제안된 다단계 상호연결 네트워크의 경로선택

(그림 1)에 나타난 패킷 전송을 위한 기본 MIN의 경로 선택(routing) 비트는 프로세서와 기억장치 모듈의 주소에 의해 결정되고, 추가된 Banyan 형태 MIN으로의 인가 여부는 스위칭 블록에서 패킷의 충돌 여부로 결정된다. 기본 N×N MIN에서 멀티플렉서(m*1)의 선택 비트는 가상병렬 MIN[10]의 경우와 동일하게 프로세서 주소의 하위 2개(log₂ m) 비트를 사용하여 연결을 요청한 프로세서를 선택하며, 스위칭 단 0의 라우팅(routing)을 위한 스위칭 블록들은 기억장치 모듈 주소에 관계없이 상위 또는 하위출력에 연결된다. 그리고 나머지 스위칭 단(log₂N-2)에서의 경로선택은 기억장치 모듈 주소의 하위 log₂N-2개 비트를 사용하며, 디멀티플렉서에 연결된 기억장치 모듈의 선택은 주소의 상위 2개(log₂m) 비트를 사용한다. 따라서 N×N

MIN 네트워크에서 경로선택 비트는 $2\log_2 m + \log_2 N - 2$ 비트로 구성된다.

(그림 2)에 나타난 성능 개선이 이루어진 MIN 블록도의 스위칭 단 1에서 패킷들의 충돌에 의한 경로선택은 충돌된 한 개 패킷의 마크-비트를 세트시킨 후 일단 스위칭 블록의 사용 가능한 출력으로 진행시키고, 추가 MIN 1의 해당 스위칭 블록에 우회시킨 후 마크-비트를 클리어 시킨다. 또한 기본 MIN 또는 추가 MIN의 스위칭 단 2에서 충돌이 발생할 경우 한 개 패킷은 각각 추가 MIN 또는 기본 MIN의 스위칭 단 3으로 우회시킨다. 기본 MIN 또는 추가 MIN 1의 스위칭 단 3에서 충돌이 발생할 경우는 각각 추가 MIN 2와 3의 스위칭 단 4로 우회시키며, 모든 MIN의 스위칭 단 4에서 충돌이 발생할 경우는 점선으로 나타난 바와 같이 본래 MIN의 스위칭 단 5로 다시 우회시켜, 패킷 지연이 없는 방법을 사용한다. 따라서 $N \times N$ MIN 네트워크를 통과하는 패킷의 헤더는 경로 선택 비트와 마크-비트로 구성되는 $2\log_2 m + \log_2 N - 1$ 개 비트로서 TBSF의 경우와 동일하게 한 개의 마크-비트만이 추가된다.

4. 제안된 다단계 상호연결 네트워크의 성능 분석

MIN의 성능평가로서 패킷들이 목적지에 도달하는율을 나타내는 전송확률 비(passthrough ratio : PT)는 패킷이 (그림 2)의 성능이 개선된 MIN 블록도의 기본

MIN에서 i 번째 스위칭 단 입력에 인가되는 확률을 r_i 라 할 경우 패킷들이 다음 스위칭 단으로 전송되는 확률은 다음과 같다[9,11].

$$r_{i+1} = r_i - 0.25r_i^2 \tag{1}$$

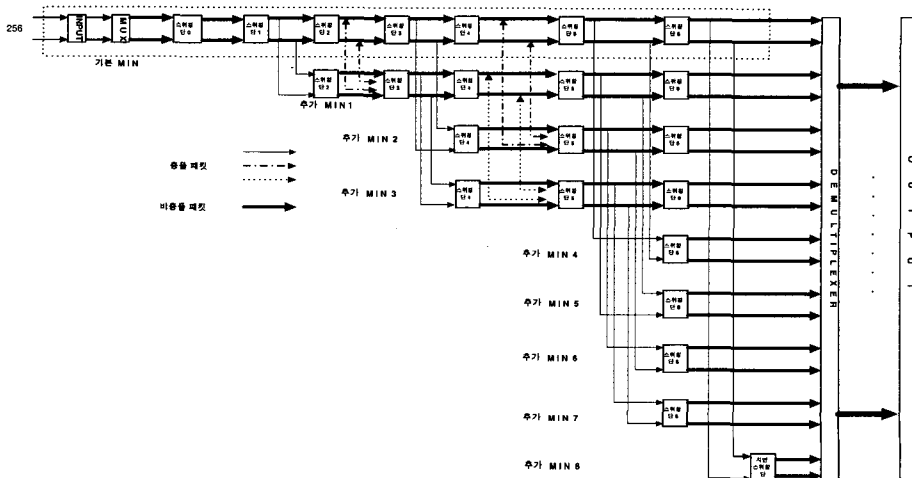
(그림 2)에서 기본 MIN의 경우 패킷이 r_i 의 확률로 스위칭 단 0에 인가될 경우 스위칭 단 1로의 연결은 언제나 보장되기 때문에 스위칭 단 1로의 연결확률은 r_i 가 되지만 스위칭 단 1 이하에서의 연결은 패킷들이 동일한 출력단자를 요구할 수 있기 때문에 전송 확률은 식 (1)을 따르게 된다. 따라서 $\log_2 N - 1$ 개 단으로 구성되는 충돌 패킷을 우회시키지 않는 기존 MIN만의 전송확률 PT_{MIN} 은 식 (2)와 같으며[9,12], $X^{N-1}(r_i)$ 이란 첫 번째 스위칭 단에 r_i 로 인가되는 패킷이 각 스위칭 단에 식 (1)의 전송확률을 적용하여 $N-1$ 번째 스위칭 단을 통과하는 패킷의 전송확률이다.

$$PT_{MIN} = r_{N-1} = X^{N-1}(r_i) \tag{2}$$

그러나 (그림 2)의 새로운 경로설정을 사용한 MIN 블록도의 기본 MIN에서 i 번째 스위칭 단에서 충돌이 발생할 경우 사용 가능한 스위치 출력을 통해 추가 MIN으로 유입되는 충돌패킷의 확률(r_{ci})은 식 (3)과 같이 나타낼 수 있다.

$$r_{ci} = 0.25r_i^2 \tag{3}$$

식 (3)에 나타난 기본 MIN에서 충돌로 인해 추가



(그림 2) 성능이 개선된 제안된 MIN 네트워크 블록도

MIN j로 우회된 패킷은 추가 MIN j의 i+1번째 단으로 인가되며, 추가 MIN j로 유입된 총돌 패킷의 확률은 식 (1)과 (2)를 따르게 된다. 그러나 (그림 2)에 나타난 MIN 블록 도에서 기본 MIN과 추가 MIN들을 포함하는 각 스위칭 단으로 인가되는 패킷들은 각각 비총돌 패킷과 총돌 패킷들로 구성되기 때문에 성능개선이 이루어진 MIN의 전체적인 전송확률 PT_i 는 식 (4)와 같다.

$$PT_i = PT_{기본MIN} + \sum_{j=1}^n PT_{추가MINj}$$

$$= X_{기본MIN}^{N-1}(r_i) + \sum_{j=1}^n X_{추가MINj}(r_{c_j}) \quad (4)$$

식 (4)로부터 $X_{기본MIN}^{N-1}(r_i)$ 와 $\sum_{j=1}^n X_{추가MINj}(r_{c_j})$ 는 각각 식 (5)와 식 (5')으로 나타낼 수 있다.

$$X_{기본MIN}^{N-1}(r_i) = (X^{N-2}_{기본MIN}(r_i) + r_{c_{추가MINj}}) - 0.25$$

$$\times X^{N-2}_{기본MIN}(r_i) \times r_{c_{추가MINj}} \quad (5)$$

$$\sum_{j=1}^n X_{추가MINj}(r_{c_j}) = X_{추가MIN1}(r_{c1}) + X_{추가MIN2}(r_{c2}) +$$

$$X_{추가MIN3}(r_{c3}) + X_{추가MIN4}(r_{c4}) + \dots \quad (5')$$

여기서 $X_{추가MINj}(r_{c_j}) = (X_{추가MINj} + r_{c_{기본MINi}}) - 0.25$
 $\times X_{추가MINj} \times r_{c_{기본MINi}}$

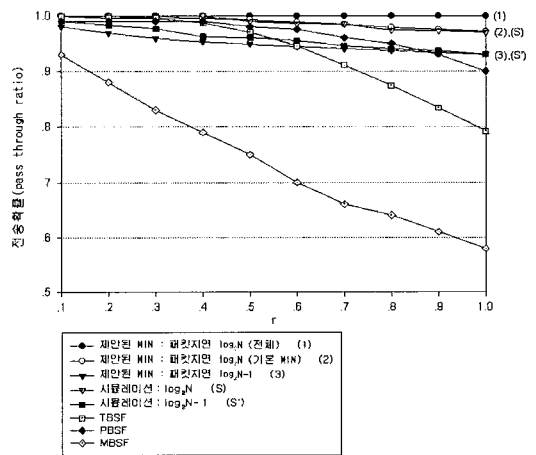
식(4)'에 나타난 식으로부터 $X^{N-2}_{기본MIN}(r_i)$ 와 $r_{c_{추가MINj}}$ 는 각각 기본 MIN의 N-2번째 단의 확률과 추가 MIN j의 N-2번째 단의 출력으로부터 기본 MIN의 N-1번째 단으로 우회된 총돌 패킷의 확률을 나타낸다. 또한

$\sum_{j=1}^n X_{추가MINj}(r_{c_j})$ 는 기본 MIN으로부터 각 추가 MIN j로 우회된 총돌 패킷들의 확률의 합을 나타내며, $X_{추가MINj}(r_{c_j})$ 는 기본 MIN으로부터 추가 MIN j로 우회된 총돌패킷들이, 추가 MIN에서 총돌을 일으키지 않는 패킷의 확률을 나타낸다. 이밖에 $r_{c_{기본MINi}}$ 는 기본 MIN에서 추가 MIN j로 우회된 총돌 패킷들을 나타낸다.

전송 패킷 지연의 경우 MBSF는 $\log_2 N$, PBSF는 $n-1+\log_2 n$ (n은 추가 MIN의 수) 그리고 TBSF는 $n \times \log_2 n$ 이지만, 새로운 경로 설정을 사용하여 성능 개선이 이루어진 제안된 MIN은 MBSF의 경우와 동일하게 최대 $\log_2 N$ 으로서 추가 MIN의 인가에 관계하지 않는 장점을 갖고 있다. 따라서 제안된 MIN은 TBSF 구조와는 달리 패킷 지연이 MIN의 단수에만 관계하기 때

문에 특히 ATM은 물론 멀티프로세서 시스템에서 광범위하게 사용될 수 있다.

(그림 3)에 $N=256$ 인 경우로서 제안된 MIN과 기존의 MBSF, TBSF 그리고 PBSF의 패킷 지연에 따른 $r=0.1$ 에서 $r=1$ 까지의 전송확률의 비와 시뮬레이션의 결과를 나타내었다. (그림 2)에 나타난 성능 개선이 이루어진 새로운 구조의 MIN 블록도의 경우인 기본 MIN의 경우만 $\log_2 N$ (추가 MIN은 $\log_2 N-1$)의 패킷 지연(▽)이 발생할 경우, 모든 입력단자가 패킷 전송을 요청하는 경우인 첫 번째 스위칭 단에 $r=1$ 로 인가되더라도 97% 이상의 확률로 전송되며, 시뮬레이션의 결과는 97.5%이다.

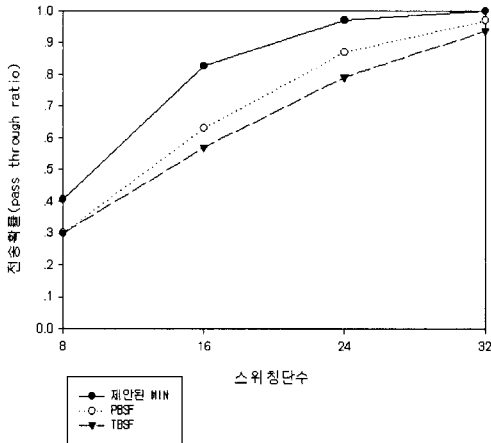


(그림 3) 전송확률의 비교

또한 (그림 2)에서 추가 MIN에 한 단의 스위칭 단을 추가할 경우인 전체적으로 $\log_2 N$ 의 패킷 지연(●)이 발생할 경우 시뮬레이션의 결과도 모두 99.9% 이상의 확률로 전송된다. 그리고 전체적으로 $\log_2 N - 1$ 의 패킷 지연(■)이 발생할 경우는 93%의 패킷 전송확률을 갖고 있으며, 시뮬레이션의 결과는 93.2%의 전송확률을 보유하고 있어 시뮬레이션의 경우 전송확률이 다소 향상되고 있음을 확인하였다.

제안된 MIN이 전체적으로 $\log_2 N - 1$ 의 패킷 지연이 있을 경우 PBSF 구조의 경우 보다 전송확률은 다소 감소되지만 패킷 지연이 문제가 되는 실시간 처리 분야에 적용이 용이할 뿐만 아니라 스위칭 블록의 구조가 간단해질 수 있는 장점을 갖고 있으며, 가격 대 성능의 비 또한 우수한 결과를 갖게된다. (그림 4)에

r=1로 패킷이 인가될 경우에 가격 대 성능 비를 나타내는 스위칭 단수에 따른 전송확률을 비교하였다.



(그림 4) 스위칭 단수에 따른 전송확률의 비교

5. 결 론

제안된 성능의 개선이 이루어진 다중출력을 갖는 MIN 네트워크는 다른 MIN에 비해 다소 복잡하게 보이지만 규칙성을 보유하기 때문에 간단하게 설계할 수 있으며, 충돌 패킷들을 추가된 MIN으로 우회시키고, 추가 MIN에서 다시 충돌이 발생할 경우 충돌 패킷을 기본 MIN으로 우회시켜 충돌 가능성을 줄이는 새로운 경로설정 방법을 제안했다. 따라서 스위칭 블록에 버퍼를 사용하지 않고서도 우수한 전송확률을 보유하고 있다. 제안된 MIN 네트워크는 다른 MIN과 비교하여 낮은 가격으로 구성할 수 있으며, 모든 입력단자들이 전송을 요구하는 경우인 r=1의 경우에도 93%~99% 이상의 우수한 전송확률 비를 갖고 있고, 시뮬레이션의 결과와 거의 일치하고 있음을 확인하였다. 또한 패킷 지연이 TBSF 또는 PBSF MIN과 비교해 볼 때 크게 적어지는 장점을 가지고 있지만 Banyan MIN의 출력 단에 디멀티플렉서를 부가해야 한다. 따라서 제안된 MIN 네트워크 회로는 통신 요구가 매우 빈번한 병렬처리 시스템과 ATM 네트워크의 스위칭 분야에 광범위하게 사용될 수 있을 것이며, 또한 다중경로와 다중출력을 보유하고 있기 때문에 결합-허용 네트워크로 케이블 TV와 주문형 비디오 서비스의 기반이 되는 멀티캐스팅 분야에도 광범위하게 적용될 수 있다.

참 고 문 헌

- [1] L.M.Ni, W.Qiao and M.Yang, "Switches and Switch Interconnects," 4th Int'l Conf. on Massively Parallel Processing using Optical Interconnections, Montreal, Canada, June 1997.
- [2] F.A.Tobagi, "Fast Packet Switch Architectures For Broad-band Integrated Services Digital Networks," Proc. of the IEEE, Vol.78, No.1 pp.133-167, Jan. 1990.
- [3] G.Lee and Sizheng Wei, "Design and Analysis of a Fault-Tolerant Multistage Interconnection Network for Large-Scale Shared Memory Parallel Computers," in Proc. of the Int'l Conf. on Parallel Processing, Vol.1:Architecture, pp.201-204, Aug. 1988.
- [4] Y.Chang and L.Bhuyan, "Extending Multistage Interconnection Networks for Multitasking," 1992 International Conference on Parallel Processing, Vol.1, pp.151-158, Aug. 1992.
- [5] C.Wu and M.Lee, "Performance Analysis of Multistage Interconnection Network Configuration and Operations," IEEE Trans. on Computers, Vol.41, No.1, pp.18-27, Jan. 1992.
- [6] C.T.Lea, "Multi-Log₂N networks and their applications in high-speed electronic and photonic switching systems," IEEE Trans. Comm. Vol.38, No.10, pp.1740-1749, Oct. 1990.
- [7] F.A.Tobagi and T.Kwok, "The Tandem Banyan Switching Fabric : a Simple High-Performance Fast Packet Switch," Proc. INFOCOM 91, Apr. 1991.
- [8] J.Turner and N.Yamanaka, "Architectural Choices in Large Scale ATM Switches," IEICE Transactions 1998.
- [9] T.Hanawa, H.Adamo and Y.Fujikawa, "Multi-stage Interconnection Networks with multiple outlets," Proc. of the 1994 International Conf. on Parallel Procssing, Vol.1. pp.1-8, Aug. 1994.
- [10] 김익수, "다중경로를 갖는 가상병렬 다단계 상호연결 네트워크", 한국정보처리학회 논문지 제4권 제1호, pp.67-75, 1997.

- [11] H.J.Siegel, "Interconnection Networks For Large-Scale Parallel Processing," 2nd ed. McGraw-Hill 1990.
- [12] P.G.Harrison and N.M.Patel, "Performance Modelling of Communication Networks and Computer Architectures," Addison-Wesley 1993.



김 백 현

e-mail : g981723@lion.inchon.ac.kr
 1993년 2월 인천대학교 정보통신공학과
 1993년 8월~1997년 12월 삼성전자 LSI 사업부
 1998년 8월~현재 인천대학교 대학원 정보통신공학과

관심분야 : 멀티미디어, VOD, 멀티캐스팅



우 요 섭

e-mail : yswoo@lion.inchon.ac.kr
 1986년 2월 한양대학교 전자통신공학과
 1988년 2월 한양대학교 대학원 전자통신공학과(공학석사)
 1992년 2월 한양대학교 대학원 전자통신공학과(공학박사)

1992년 3월~1994년 2월 인천대학교 정보통신공학과 조교수

1994년~현재 (시립)인천대학교 정보통신공학과 부교수
관심분야 : 한국어 정보처리, 멀티미디어 정보검색, VOD



김 익 수

e-mail : iskim@lion.inchon.ac.kr
 1978년 2월 동국대학교 전자공학과
 1981년 2월 동국대학교 대학원(공학석사)
 1985년 8월 동국대학교 대학원(공학박사)

1988년 3월~1994년 2월 인천대학교 정보통신공학과 부교수

1993년~1994년 North Carolina State Univ. 객원교수
 1994년~현재 (시립)인천대학교 정보통신공학과 교수
 관심분야 : 병렬처리, 컴퓨터 구조, VOD, 및 ATM 스위치