

Rail-to-rail 출력을 갖는 1[V] CMOS Operational Amplifier 설계 및 IC 화에 관한 연구

論 文
48A - 4 - 15

A Study on The IC Design of 1[V] CMOS Operational Amplifier with Rail-to-rail Output Ranges

全 東 煥*, 孫 尙 熙**
(Dong-Hwan Jun · Sang-Hee Son)

Abstract - A CMOS op amp with rail-to-rail input and output ranges is designed in a one-volt supply. The output stage of the op amp is used in a common source amplifier that operates in sub-threshold region to design a low voltage op amp with rail-to-rail output range. To drive heavy resistor and capacitor loads with rail-to-rail output ranges, a common source amplifier which has a low output resistance is utilized. A bulk-driven differential pair and a bulk-driven folded cascode amplifier are used in the designed op amp to increase input range and achieve 1 V operation. Post layout simulation results show that low frequency gain is about 58 dB and gain bandwidth 1 MHz. The designed op amp has been fabricated in a 0.8 μm standard CMOS process. The measured results show that this op amp provides rail-to-rail output range, 56 dB dc gain with 1 M Ω load and has 0.4 MHz gain-bandwidth with 130 pF and 1 k Ω loads.

Key Words : op amp, rail-to-rail, bulk-driven, low voltage

1. 서 론

최근 전자기술의 발전과 더불어 전자기기가 소형화, 경량화, 고속화 되어가고 있다. 또한 휴대용 전자기기가 각광을 받으면서 저전압, 저전력 및 고주파 영역에서 동작하며 집적화된 회로가 요구되고 있다. 이에 따라 IC 설계 기술의 주된 동향도 저전압, 저전력, 고주파 영역에서 동작할 수 있는 회로 시스템을 표준 CMOS 공정을 이용하여 구현하는 방향으로 향하고 있다. 특히, 표준 CMOS 공정을 이용한 analog-digital 혼합회로에서는 1.5 V이하의 낮은 전원 전압을 요구하고 있다[1]. 그러나 저전압에서 동작하는 혼성 모드 CMOS 회로시스템을 설계하는데 여러 가지 제한 사항들이 있다. 전원 전압의 감소에 따른 가장 심각한 제한 요인은 MOSFET의 문턱전압(threshold voltage)과 핀치오프 전압이 전원전압의 감소에 따라 비례하여 감소하지 않는다는 데 있다. 현시점에서 이러한 문제점을 해결할 수 있는 방법은 문턱 전압과 핀치오프 전압을 낮춘 새로운 소자를 개발하여 회로를 설계하거나, 새로운 회로시스템 설계 기술을 사용하는 방법이 있다. 그러나 전자의 새로운 소자개발은 새로운 소자를 위한 공정라인의 개발과 소자개발에 따른 비용 및 새로운 회로 설계까지 많은 시간이 소요되며, 이에 따른 부대 비용도 간과할 수 없는 문제이다. 그러므로 기존의

CMOS 공정을 활용하면서 회로 설계의 최적화를 도모하여 전원전압의 감소에 따른 문제점을 극복하는 것이 최선의 방법이라 할 수 있다. 따라서, 1 V와 같이 낮은 전원 전압 하에서 동작할 수 있는 회로시스템을 표준 디지털 CMOS 공정을 이용하여 구현할 경우 새로운 회로시스템 설계 기법이 반드시 필요하며, 이와 같이 저전압 저전력 회로시스템 구현을 위한 설계기술 연구가 최근 활발히 이루어지고 있다.

본 논문에서는 저전압 회로 시스템의 요구에 의해 저전압에서 저항성 및 용량성 부하를 rail-to-rail 출력폭을 가지면서 구동하는 op amp를 다음과 같은 방법으로 설계, 제작하였다. 저전압에서 저항성 부하를 구동하기 위해 출력 저항이 낮으며 문턱 전압이하 영역에서 동작하는 공통 소스 증폭기로 출력단을 설계하였고, 입력단은 folded cascode 증폭기로 설계하였다.

2. Unbuffered op amp

앞서 언급하였듯이 저전압하에서 동작하는 아날로그 MOSFET회로의 가장 중요한 제한요인은 문턱전압이다. 일반적으로 특별한 설계 기법을 사용하지 않는 한 전원 전압은 적어도 NMOS 및 PMOS의 문턱전압의 합과 같은 전원 전압이 필요하다. 문턱 전압을 극복하기 위해 본 논문에서는 bulk-driven MOSFET을 채용하였다[2]. Bulk-driven MOSFET은 게이트에 VDD 또는 VSS를 인가하고 bulk와 source 사이의 전압차를 이용해 드레인 전류를 조절하는 것이다. 그림 1에 벌크로 구동되는 PMOS와 게이트로 구동되는 PMOS의 모의실험 결과를 나타냈다. 그림 1은 게이트 소스 전압차로 트랜지스터를 구동할 때는 벌크에 VDD를 가

* 準 會 員 : 淸州大 大學院 電子工學科 碩士課程

** 正 會 員 : 淸州大 工大 電子·情報通信·半導體工學科
副教授·工博

接受日字 : 1998年 8月 14日

最終完了 : 1999年 3月 8日

하고 벌크 소스 전압차로 구동할 때는 PMOS의 게이트에 회로에서 가장 낮은 전압인 VSS 전압을 인가하고 모의 실험한 그래프이다. 그림 1에서 알 수 있듯이 드레인 전류가 V_{SB} 가 전원 전압의 전범위에서 흐르므로 전원 전압 1 V에서 동작이 가능할 뿐만 아니라 전원 전압의 전범위에 걸쳐서 출력을 얻을 수 있으므로 rail-to-rail 입력 범위를 가질 수 있음을 알 수 있다.

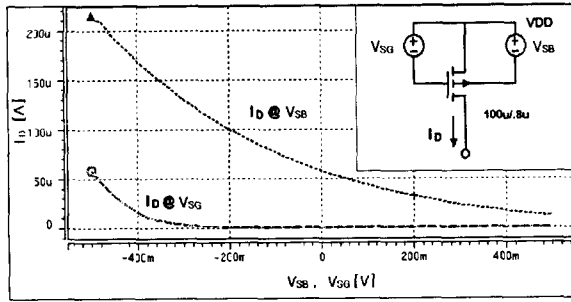


그림 1 게이트 소스 전압차 및 벌크 소스 전압차에 따른 드레인 전류 (VDD = 0.5 V)
 Fig. 1 Drain current as a function of the bulk-source voltage and gate-source voltage (VDD = 0.5 V)

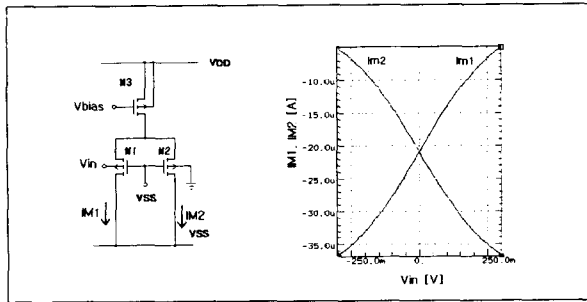


그림 2 Bulk-driven MOSFET 입력쌍 회로도와 이의 전류-전압 특성

Fig. 2 Bulk-driven input differential pair schematic and current-voltage characteristics

Bulk에 대한 채널 트랜스컨덕턴스(g_{msb})는 게이트에 대한 채널 트랜스컨덕턴스(g_m)와의 1차적인 이론 관계식(1)과 같이 얻어질 수 있다.

$$g_{msb} = \frac{\gamma g_m}{2\sqrt{2\phi_F + V_{SB}}} \quad (1)$$

여기서, γ 는 body effect factor, ϕ_F 는 표면 전위(surface potential), V_{SB} 는 bulk source 전압차이다. 본 논문에서는 그림 2의 모의 실험 결과와 같이 바이어스 전류가 $40 \mu A$ 일 때 벌크로 구동되는 입력 MOS의 트랜스컨덕턴

스는 약 $75 \mu S$ 이고, 입력쌍(bulk-driven input pair) MOS의 트랜스컨덕턴스는 약 $150 \mu S$ 로 설계하였다. 설계는 표준 CMOS 공정인 n-well 공정을 목표로 설계하였으므로 PMOS bulk를 입력단으로 사용하였다.

Bulk-driven MOSFET 설계시 bulk-source 접합의 절연과 bulk-driven MOSFET들 사이의 절연에 주의하여 설계하였다. Bulk-source 접합의 절연은 V_{SB} 가 +0.5 V 보다 작으면 벌크 소스간 p-n 접합 다이오드가 꺼진 상태이므로 충분히 큰 저항을 갖게되어 절연되었다고 할 수 있다. 또한 입력 트랜지스터 M1, M2 사이의 절연은 n-well 사이에 p-well을 두어 절연 하였다. 벌크로 흐르는 전류의 모의 실험결과 V_{SB} 가 0.5 V이하에서는 수 nA이하로서 벌크 소스간 p-n 접합 다이오드가 절연되었다고 할 수 있다. M1, M2 트랜지스터간의 절연은 그림 3에 보인 것과 같이 n-well 사이에 p-well로 가드링(guardring)하여 구현하였다. 즉, P-sub와 n-well 사이에 생기는 다이오드가 역바이어스 상태이므로 왼쪽 bulk-driven MOSFET와 오른쪽의 bulk-driven MOSFET가 절연 될 수 있다. 그러므로 1 V 저전압에서 동작할 수 있다.

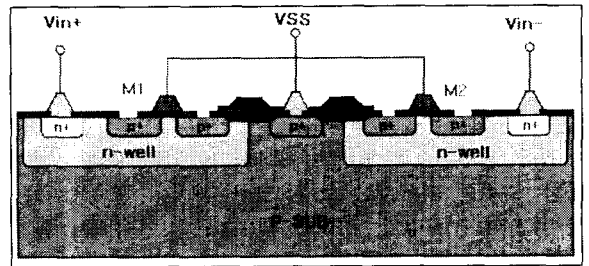


그림 3 Bulk-driven 차동 입력쌍의 공정 단면도
 Fig. 3 The cross-section view of the bulk-driven input differential pair

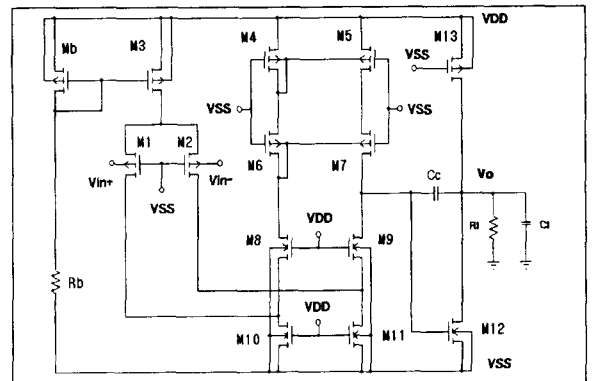


그림 4 1 V CMOS op amp 전체 회로도
 Fig. 4 The schematic of 1 V CMOS op amp

입력 트랜지스터에 연결한 능동 부하는 저전압에 적합한 folded cascode 구조를 이용하였다. folded cascode 구조를

선택한 이유는 unfolded cascode 구조에 비해 전원 사이에 트랜지스터를 더 작은 개수로 구성하므로 저전압에 적합하기 때문이다. 또한 bulk-driven cascode 전류 미러를 사용함으로써 1 V와 같은 저전압에서도 동작이 가능하게 설계하였다[3]. 그림 4에 설계한 op amp 전체 회로도도 그렸다. 그림 4에서 M1, M2는 입력 트랜지스터이고 M4 ~ M11은 bulk-driven cascode 전류 미러로 구성된 folded cascode 구조의 능동 부하이다.

3. 공통 소스 증폭기

전원 전압이 낮아짐에 따라 회로의 출력단에 생기는 문제점은 구동전류가 작아 큰 부하를 충분히 구동하기 어려울 뿐만 아니라 출력 스윙 폭이 작아진다는 점이다. 더구나 출력 스윙폭은 전원 전압이 낮아짐에 따라 상대적인 스윙폭이 더욱 작아져서 회로의 노이즈 마진을 감소시킨다. 그래서 본 논문에서는 첫단의 unbuffered op amp에서 증폭된 신호를 출력단에서 전류 및 전압을 증폭시켜 보다 높은 전압 이득을 얻고 또한 큰 부하를 구동 가능하게 했다. 전력소비 측면에서는 class AB의 출력단이 바람직하지만 class AB의 출력단을 구성하기 위해서는 각각 NMOS, PMOS 문턱전압 합 이상의 전원전압이 필요하므로 1 V 전원 전압에서는 동작이 불가능하다. 그래서 본 논문에서는 출력단을 class A 형태의 공통 소스 증폭기로 구성하였다. 저전압에서 동작할 뿐만 아니라 rail-to-rail 출력폭으로 설계하기 위해 공통 소스 증폭기를 구성하는 트랜지스터 M12를 문턱 전압 이하 영역에서 동작하도록 설계하였다. 문턱 전압 이하 영역에서 동작하는 M12는 저전력을 소모할 뿐만 아니라 드레인 소스 전압 강하가 매우 작으므로 rail-to-rail 출력을 얻을 수 있다. 또한 포화영역에서 동작하는 트랜지스터에 비해 같은 드레인 전류에서 상대적으로 큰 전압 이득을 얻을 수 있다. 이는 포화영역에서 동작하는 트랜지스터의 트랜스컨덕턴스가 드레인 전류의 제곱근에 비례하는 것과는 달리 문턱 전압 이하 영역에서 동작하는 트랜지스터의 트랜스컨덕턴스는 드레인 전류에 비례하기 때문이다. 그러므로 포화영역에서 동작시키는 것보다 문턱 전압 이하 영역에서 동작시키는 것이 상대적으로 전압 이득이 높다. 큰 저항성 및 용량성 부하를 구동하기 위해 공통 소스 증폭기의 부하 저항을 작게 설계하였다. 이는 부하 트랜지스터 M13의 게이트에 -0.5 V 전압을 가해 낮은 on 저항을 갖게 설계하였다.

그림 4의 op amp의 회로를 블록별로 설명하면 다음과 같다. 그림 4에서 Mb, Rb로 이루어진 회로는 바이어스 회로이며, M1~M11은 unbuffered op amp, M12, M13은 공통 소스 증폭기 회로를 구성하고 있다. 즉, 설계한 op amp는 unbuffered op amp와 버퍼인 공통 소스 증폭기로 이루어진 전형적인 2단 op amp이다. Cc는 주파수 보상 커패시터이다.

설계한 op amp의 전압 이득은 folded cascode 구조의 unbuffered op amp의 이득과 공통 소스 증폭기 이득의 곱으로서 다음과 같다.

$$A_v = g_{msb} g_{m12} R_{o1} R_{o2} RL \quad (2)$$

여기서, g_{msb} 는 차동 입력단의 소스-벌크 트랜스컨덕턴스, g_{m12} 는 출력단 NMOS의 게이트-소스 트랜스컨덕턴스, R_{o1} 은 M9 드레인 노드에서 소신호 출력저항, R_{o2} 은 M12 드레인 노드에서의 출력저항이다. R_{o2} 는 저항성 부하를 구동하기 위해 부하저항 RL 보다 작은 값으로 설계하였다. 이는 앞서 설명했듯이 M13을 선형 영역에서 동작하게 설계하여 작은 R_{o2} 를 구현 하였다.

설계한 op amp의 이득대역폭(GBW)은 주파수 보상 커패시터(Cc)와 입력단 트랜지스터 트랜스컨덕턴스로부터 다음식을 이용하여 구할 수 있다.

$$GBW \approx \frac{g_{msb}}{A_c C_c} \quad (3)$$

여기서, A_c 는 공통 소스 증폭기의 전압 이득이고 $A_c C_c$ 는 밀러 효과를 고려한 공통 소스 증폭기의 입력 단자인 M12의 게이트에서 커패시턴스이다.

4. 모의 실험 결과

Op amp 설계는 SPICE 모의실험 및 layout 후 추출한 파라미터로 post layout 모의 실험을 수행하였다. Post layout 모의 실험 결과가 SPICE 모의 실험 결과와 비교하여 오차가 클 경우 트랜지스터의 크기를 조절하여 충분한 결과를 얻은 후 이를 다시 layout 하고 post layout 모의 실험을 다시 수행하는 반복과정을 거쳤다.

그림 5는 op amp 출력 범위를 모의 실험한 회로도 및 DC 특성이다. 전압 이득이 -10으로 하였을 때 -10의 기울기를 갖는 출력 전압 범위가 1 V로서 rail-to-rail 출력폭을 가짐을 알 수 있다. 그림 6은 출력 저항을 모의 실험한 결과로서, 개방회로에서 부하가 없을 때와 부하 RL 을 달았을 때 전압차를 알면 다음식을 이용하여 출력 저항을 알 수 있다.

$$R_{o2} = RL \left(\frac{V_{O_{unloaded}}}{V_{O_{loaded}}} - 1 \right) \quad (4)$$

그림 6과 식 (4)를 이용하면, R_{o2} 은 약 2 k Ω 임을 알 수 있다 (여기서, $RL = 1$ k Ω , $V_{O_{unloaded}}$ 는 입력 전압이 100 μ V 일 때 약 200 mV, $V_{O_{loaded}}$ 는 입력 전압이 100 μ V 일 때 약 100 mV 이다). 이는 op amp가 작은 출력 저항을 가지므로 큰 저항성 부하 구동이 가능하다는 것을 의미한다. 즉 1 k Ω 정도의 큰 저항성 부하도 낮은 이득 변화를 가지면서 증폭을 할 수 있다. 그림 7은 post layout 주파수 모의 실험 결과이며, $CL = 150$ pF, $RL = 1$ k Ω 의 큰 부하에서도 저주파 이득이 약 58 dB, 이득대역폭(GBW)은 약 1 MHz, 위상 마진은 약 55° 이상임을 알 수 있다. 이는 큰 저항성 및 용량성 부하를 구동할 수 있다는 것을 의미한다.

그림 8은 op amp 칩 사진으로서 능동 및 수동 소자 모두 $0.8\ \mu\text{m}$ n-well 표준 CMOS 공정을 이용하여 원 칩화하였다. 칩 제작은 반도체설계교육센터(IDECE)로부터의 부분적인 지원을 받아 제작하였다.

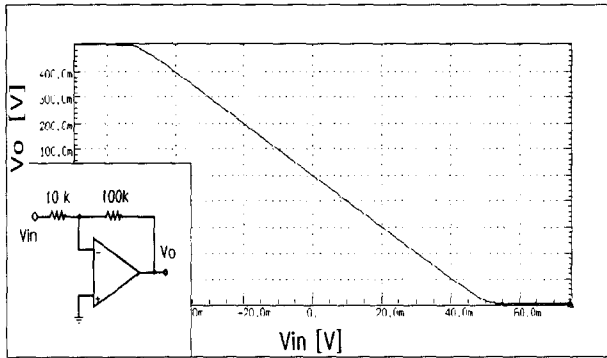


그림 5 Op amp 출력폭 모의 실험 결과
Fig. 5 The op amp output range simulation result

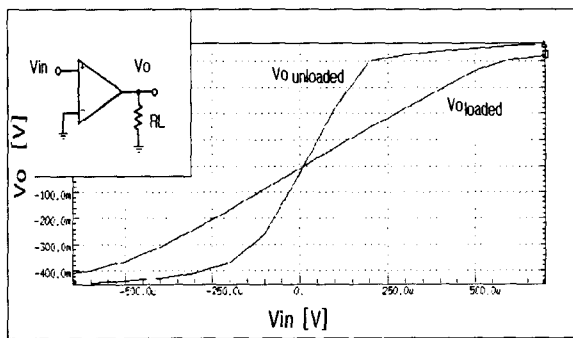


그림 6 출력 저항 추출 모의 실험 결과
Fig. 6 The op amp output resistance simulation result

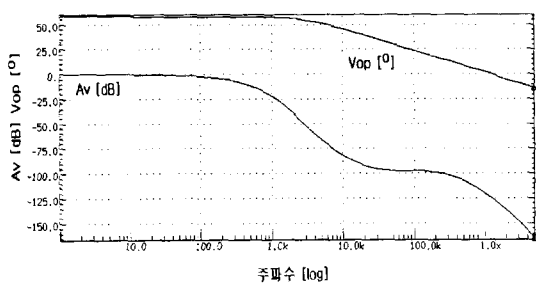


그림 7 Layout 후 op amp 주파수 특성 모의 실험 결과
($CL=150\ \text{pF}$, $RL=1\ \text{k}\Omega$)
Fig. 7 Post layout simulation result of the ac open loop frequency response of the op amp ($CL=150\ \text{pF}$, $RL=1\ \text{k}\Omega$)

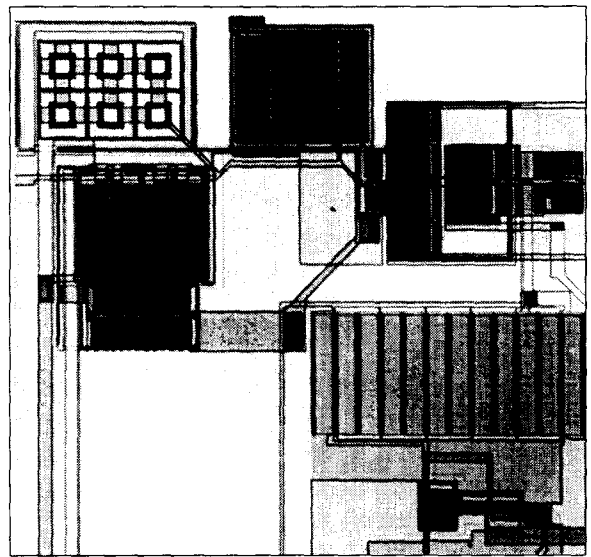


그림 8 1 V CMOS op amp 전체 칩 사진
Fig. 8 Die photo of 1 V CMOS op amp

5. 측정 결과 및 분석

그림 9는 제작한 op amp의 개방 루프 전달 특성이다. 그림 9에서 저주파 이득이 약 56 dB이고, rail-to-rail 출력 범위를 가지며, 오프셋 전압은 약 2 mV이다. 그림 10은 op amp의 입·출력폭을 측정된 것으로서 비반전 단일 이득 구성한 op amp의 입·출력 특성이다. 입력의 전 범위에 걸쳐 출력 전압 이득이 1이므로 rail-to-rail 입·출력 특성을 보임을 알 수 있다. DC 특성 측정은 HP 4156으로 측정하였다.

그림 11은 주파수 특성을 측정 결과 그래프이다. 주파수 특성 측정은 op amp를 그림 5의 회로와 같이 op amp를 반전 피드백 구성한 뒤 저항을 가변하여 전압 이득을 가변시키면서 입력 주파수를 가변시켜 출력을 측정하였다. 측정 결과와 post layout 모의 실험 결과를 비교해 보면 이득 대역폭에 차이가 있음을 알 수 있다. 이는 설계한 보상 커패시터 C_c 의 모의 실험 값과 실제 실험시 사용한 값과의 차이 때문이다. 즉, 주파수 보상용 커패시터의 값을 5 pF 설계하였는데 측정시 값은 20 pF으로 크게 하였다. 왜냐하면 위상 마진이 설계치 보다 작아져서 op amp가 불안정해졌고 이를 보상하기 위해 주파수 보상 커패시터를 4배 크게 했기 때문이다. C_c 가 4배 커짐에 따라 측정된 GBW는 모의 실험 결과와 비교하면 약 1/4 감소하였다. 이 결과는 식 (3) $GBW \approx g_{msb}/A_c C_c$ 에 의한 예상과도 일치한다. 측정시 op amp가 불안정해진 원인은 측정을 고려해 블록 단위로 layout을 한 결과 외부 단자에 연결하는 패드 및 긴 도선의 기생 커패시턴스가 주파수 및 위상 특성을 저하시켜 발진을 유발한 것으로 추정된다. 그림 11과 그림 12는 op amp의 비반전 구성시 사인과 출력과 slew rate을 각각 측정된 것으로 slew rate은 약 $0.2\ \text{V}/\mu\text{sec}$ 임을 알 수 있다. 표 1에 측정된 op amp 특성을 요약 하였다.

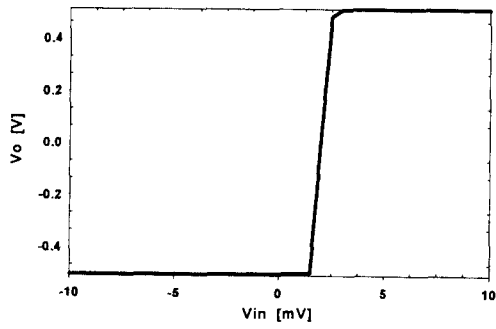


그림 9 측정된 op amp의 개방 루프 전달 특성 (RL=1 MΩ)

Fig. 9 Measured open loop transfer characteristic of the op amp (RL=1 MΩ)

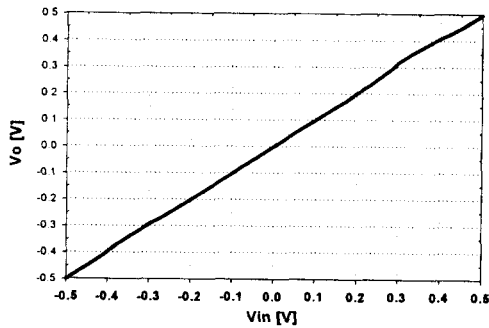


그림 10 Op amp의 단일 이득 전달 특성

Fig. 10 Measured unity-gain transfer characteristic of the op amp

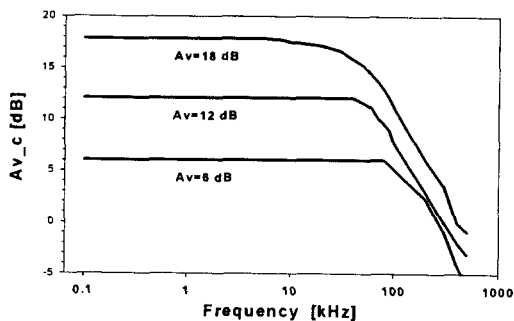


그림 11 서로 다른 이득일 때 측정된 op amp 주파수 특성 (RL=1 kΩ, CL=130 pF)

Fig. 11 Measured frequency response of the op amp at different gains (RL=1 kΩ, CL=130 pF)

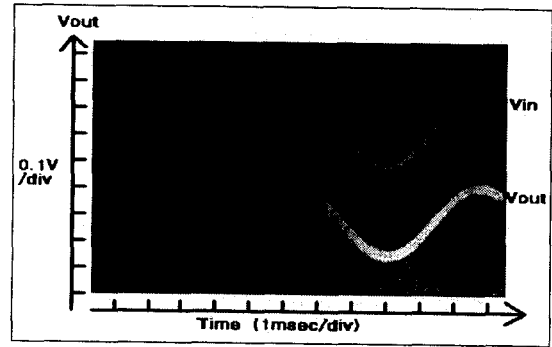


그림 12 Op amp 입·출력 사인파의 사진 (RL=1 kΩ, CL=130 pF)

Fig. 12 Experimental oscilloscope photograph of input and output sine waves (RL=1 kΩ, CL=130 pF)

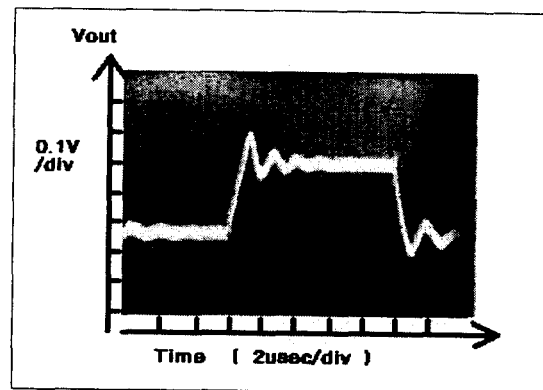


그림 13 Slew rate 측정 파형 (CL=130 pF)

Fig. 13 Experimental oscilloscope photograph for slew rate measurement (CL=130 pF)

표 1 1 V CMOS op amp의 특성 측정 결과
Table 1 Measured results of 1 V CMOS op amp

전원전압	± 0.5 V
저주파 전압 이득	56 dB (RL=1 MΩ)
이득 대역폭	0.4 MHz (RL=1 kΩ, CL=130 pF)
오프셋 전압	2.5 mV
출력폭	-0.5 V ~ 0.5 V
위상 여유	55° (RL=1 kΩ, CL=130 pF)
슬루율	0.2 V/μs (CL=130 pF)
전력소비	235 μW

6. 결 론

본 논문에서는 1 V의 저전압에서 동작하면서 입·출력폭이 넓은 CMOS op amp를 설계, 제작 및 측정하였다. 저전압에서 동작하는 rail-to-rail 출력 op amp를 설계하기 위해 문턱 전압이하 영역에서 동작하는 공통 소스 증폭기를 저전력으로 설계하였다. 설계한 공통 소스 증폭기는 큰 저항성 및 용량성 부하를 구동하기 위해 작은 출력 저항으로 설계하였다. 또한 1 V 전원전압에서 문턱 전압에 의한 op amp의 입력폭 감소를 극복하기 위해 벌크로 구동되는 차동 입력쌍과 folded cascode 증폭기를 채용하여 설계하였다. 설계한 op amp의 post layout 모의 실험 결과 저주파 이득이 약 58 dB, 이득 대역폭이 약 1 MHz였다. 칩 제작은 국내 반도체사의 0.8 μm n-well CMOS 표준 공정을 이용하여 제작하였다. 제작된 op amp의 특성 측정 결과 1 M Ω 의 부하에서 전압 이득이 약 56 dB, rail-to-rail 출력폭을 가지며 1 k Ω , 130 pF의 큰 부하에서 이득 대역폭이 약 0.4 MHz로 측정되었다.

본 op amp의 응용 가능 분야로는 저전압을 요구하는 analog circuit blocks, 저전압 mixed mode IC등에 이용 할 수 있으리라 기대된다.

본 연구는 '97년도 교육부 반도체분야 학술 연구 조성비 (ISRC 97-E-2037)에 의하여 연구 되었습.

참 고 문 헌

- [1] Chandrakasan, A., et al., "Low-Power CMOS Digital Design," IEEE JSSCC, vol.27, No.4, pp.473-484, April, 1992.
- [2] P.E. Allen, B. J. Blalock, and G. A. Rincon, "A 1V CMOS op-amp. using bulk-driven MOSFETs", in Dig. ISSCC '95, Feb. 1995, San Francisco, CA, pp.192-193.
- [3] B.J. Blalock and P.E. Allen, "A One-Volt, 120uW, 1-MHz OTA for standard CMOS Technology", ISCAS '96, pp.305-307

저 자 소 개



전 동 환(全 東 煥)
 1973년 1월 19일 생. 1998년 청주대학교 이공대 반도체공학과 졸업. 현재 동 대학원 전자공학과 석사과정

Tel : (0431) 229-8464
 E-mail : dhjun@wslab.chongju.ac.kr



손 상 희(孫 尙 熙)
 1960년 3월 25일 생. 1983년 한양대학교 전자공학과 졸업. 1985년 동 대학원 전자공학과 졸업(석사). 1988년 동 대학원 전자공학과 졸업(공학박). 1988년~1991년 순천향대 전산학과 전임강사. 1991년~ 현재 청주대 이공대 전자·정보통신·반도체공학과 부교수

Tel : (0431)-229-8464
 E-mail : shson@chongju.ac.kr
 shson@wslab.chongju.ac.kr

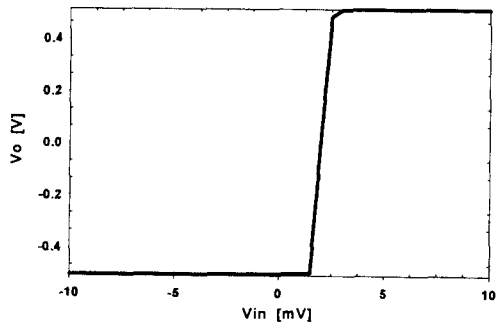


그림 9 측정된 op amp의 개방 루프 전달 특성 (RL=1 MΩ)

Fig. 9 Measured open loop transfer characteristic of the op amp (RL=1 MΩ)

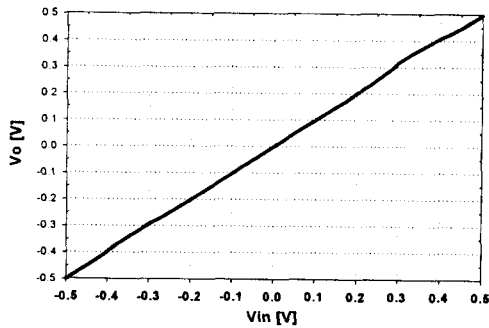


그림 10 Op amp의 단일 이득 전달 특성

Fig. 10 Measured unity-gain transfer characteristic of the op amp

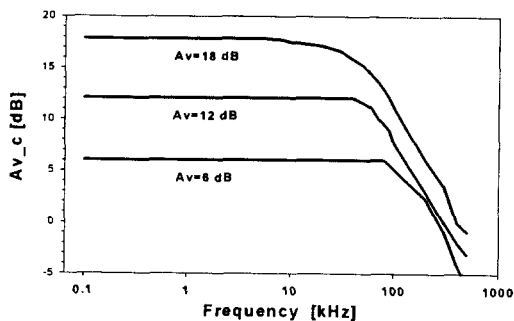


그림 11 서로 다른 이득일 때 측정된 op amp 주파수 특성 (RL=1 kΩ, CL=130 pF)

Fig. 11 Measured frequency response of the op amp at different gains (RL=1 kΩ, CL=130 pF)

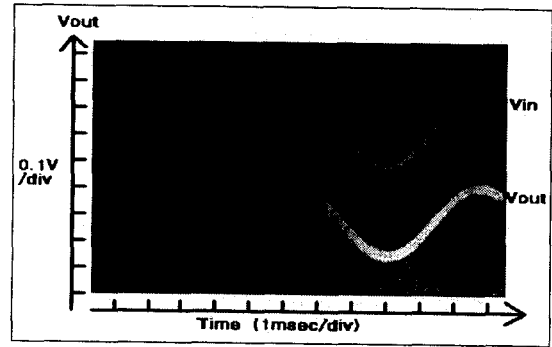


그림 12 Op amp 입·출력 사인파의 사진 (RL=1 kΩ, CL=130 pF)

Fig. 12 Experimental oscilloscope photograph of input and output sine waves (RL=1 kΩ, CL=130 pF)

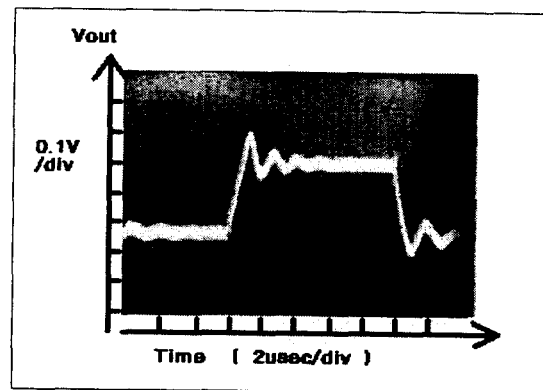


그림 13 Slew rate 측정 파형 (CL=130 pF)

Fig. 13 Experimental oscilloscope photograph for slew rate measurement (CL=130 pF)

표 1 1 V CMOS op amp의 특성 측정 결과
Table 1 Measured results of 1 V CMOS op amp

전원전압	± 0.5 V
저주파 전압 이득	56 dB (RL=1 MΩ)
이득 대역폭	0.4 MHz (RL=1 kΩ, CL=130 pF)
오프셋 전압	2.5 mV
출력폭	-0.5 V ~ 0.5 V
위상 여유	55° (RL=1 kΩ, CL=130 pF)
슬루율	0.2 V/μs (CL=130 pF)
전력소비	235 μW

6. 결 론

본 논문에서는 1 V의 저전압에서 동작하면서 입·출력폭이 넓은 CMOS op amp를 설계, 제작 및 측정하였다. 저전압에서 동작하는 rail-to-rail 출력 op amp를 설계하기 위해 문턱 전압이하 영역에서 동작하는 공통 소스 증폭기를 저전력으로 설계하였다. 설계한 공통 소스 증폭기는 큰 저항성 및 용량성 부하를 구동하기 위해 작은 출력 저항으로 설계하였다. 또한 1 V 전원전압에서 문턱 전압에 의한 op amp의 입력폭 감소를 극복하기 위해 벌크로 구동되는 차동 입력쌍과 folded cascode 증폭기를 채용하여 설계하였다. 설계한 op amp의 post layout 모의 실험 결과 저주파 이득이 약 58 dB, 이득 대역폭이 약 1 MHz였다. 칩 제작은 국내 반도체사의 0.8 μm n-well CMOS 표준 공정을 이용하여 제작하였다. 제작된 op amp의 특성 측정 결과 1 M Ω 의 부하에서 전압 이득이 약 56 dB, rail-to-rail 출력폭을 가지며 1 k Ω , 130 pF의 큰 부하에서 이득 대역폭이 약 0.4 MHz로 측정되었다.

본 op amp의 응용 가능 분야로는 저전압을 요구하는 analog circuit blocks, 저전압 mixed mode IC등에 이용 할 수 있으리라 기대된다.

본 연구는 '97년도 교육부 반도체분야 학술 연구 조성비 (ISRC 97-E-2037)에 의하여 연구 되었습.

참 고 문 헌

- [1] Chandrakasan, A., et al., "Low-Power CMOS Digital Design," IEEE JSSCC, vol.27, No.4, pp.473-484, April, 1992.
- [2] P.E. Allen, B. J. Blalock, and G. A. Rincon, "A 1V CMOS op-amp. using bulk-driven MOSFETs", in Dig. ISSCC '95, Feb. 1995, San Francisco, CA, pp.192-193.
- [3] B.J. Blalock and P.E. Allen, "A One-Volt, 120uW, 1-MHz OTA for standard CMOS Technology", ISCAS '96, pp.305-307

저 자 소 개



전 동 환(全 東 煥)
 1973년 1월 19일 생. 1998년 청주대학교 이공대 반도체공학과 졸업. 현재 동 대학원 전자공학과 석사과정

Tel : (0431) 229-8464
 E-mail : dhjun@wslab.chongju.ac.kr



손 상 희(孫 尙 熙)
 1960년 3월 25일 생. 1983년 한양대학교 전자공학과 졸업. 1985년 동 대학원 전자공학과 졸업(석사). 1988년 동 대학원 전자공학과 졸업(공학박). 1988년~1991년 순천향대 전산학과 전임강사. 1991년~ 현재 청주대 이공대 전자·정보통신·반도체공학과 부교수

Tel : (0431)-229-8464
 E-mail : shson@chongju.ac.kr
 shson@wslab.chongju.ac.kr