

다양한 공정 방법으로 제작된 다결정 실리콘 박막 트랜지스터 단위 CMOS 회로의 특성

論 文
48C-5-10

Characteristics of Polycrystalline Silicon TFT Unitary CMOS Circuits Fabricated with Various Technology

柳俊錫* · 朴喆民* · 全宰弘* · 韓民九**
(Juhn-Suk Yoo · Cheol-Min Park · Jae-Hong Jeon · Min-Koo Han)

Abstract - This paper reports the characteristics of poly-Si TFT unitary CMOS circuits fabricated with various techniques, in order to investigate the optimum process conditions. The active films were deposited by PECVD and LPCVD using SiH_4 and Si_2H_6 as source gas, and annealed by SPC and ELA methods. The impurity doping of the source and drain electrodes was performed by ion implantation and ion shower. In order to investigate the AC characteristics of the poly-Si TFTs processed with various methods, we have examined the current driving characteristics of the poly-Si TFT and the frequency characteristics of 23-stage CMOS ring oscillators. It has been observed that the circuits fabricated using Si_2H_6 with low-temperature process of ELA exhibit high switching speed and current driving performances, thus suitable for real application of large area electronics.

Key Words : polycrystalline silicon, thin film transistor, peripheral driving circuits, ELA, SPC

1. 서 론

박막 트랜지스터(TFT; Thin Film Transistor)의 개발로 평판 AMLCD(Active Matrix Liquid Crystal Display) 패널의 제작 공정이 발달하였고 디스플레이 화질이 매우 개선되었다[1,2]. 전계 효과 이동도가 비정질 실리콘 박막 트랜지스터(a-Si TFT)에 비해 높은 ($30\text{cm}^2/\text{Vsec}$ 이상) 다결정 실리콘 박막 트랜지스터(poly-Si TFT)를 이용하여 액정 패널의 화소 어레이와 주변 구동 회로를 한 기판에 동시에 집적하는 기술이 개발되어 구동 IC가 차지하는 생산 단가를 줄여 공정 효율을 높일 수 있게 되었다[3,4]. 최근, 비정질 실리콘 박막 증착 방법에 있어 기존의 monosilane(SiH_4) 소오스 대신 증착 온도가 낮고, 핵생성률이 낮은 disilane(Si_2H_6)[12]에 대한 연구가 진행되고 있으며, 활성 박막 재결정 방법에 있어서는 고온 공정 (600°C 이상)의 고상 결정화 (SPC, Solid Phase Crystallization)[7] 대신 저온 공정이 가능한 엑시머 레이저 열처리 (ELA, Excimer Laser Annealing)[8]에 대한 연구가 활발히 진행 중이다. 또한, 소오스 및 드레인 전극의 불순물 도핑은 기존의 이온 주입(ion implant) 방법 대신 저온 대면적 공정이 가능한 이온 샤워어(ion shower)[9] 방법이 연구되고 있다. 다결정 실리콘 활성 박막의 제작 방법에 따른 물성적 특성은 소자 및 구동 회로의 성능에 큰 영향을 미치며 디스플레이 화질을 결정하는 요인으로 작용한다[5,6]. 따라서, 액정 디스플레이 패널의 최적 설계와 생산성 향상을 위하여 다결정 실리콘 박막 트랜지스터 제작 방법과 소자 및 회로 특성에 대한 연구가 요구된다.

본 논문에서는 다결정 실리콘 박막 트랜지스터 및 단위 구동 회로의 제작에 있어 최적 공정 조건을 확립하고자 다양한 공정을 수행하였다. 고온 열처리 공정인 600°C 고상 결정화와 저온의 엑시머 레이저 열처리를 포함하여 활성 박막 증착 방법 및 불순물 도핑 방법에 따른 단위 소자의 정특성(DC characteristics)과 구동 회로의 동특성(AC characteristics)을 검토하였다. 다결정 실리콘 박막 트랜지스터 단위 소자 및 단위 구동 회로인 CMOS ring oscillator를 제작하고 동작 특성을 비교 분석하였다. 다결정 실리콘 박막 트랜지스터의 전류 구동 능력을 조사하고 ring oscillator의 공급 전압 대 동작 주파수를 측정하였다.

2. 다결정 실리콘 TFT 단위 구동회로 제작

다결정 실리콘 활성 박막의 물성에 따른 박막 트랜지스터의 특성을 분석하기 위하여 다양한 공정 방법으로 다결정 실리콘 박막 트랜지스터 및 단위 구동 회로를 제작하였다. 공정 수행 온도는 600°C 이하의 고온 공정과 450°C 이하의 저온 공정으로 그림 1과 같이 분류하여 진행하였다. 각 sample을 제작한 후 300°C , 700mT 에서 수소 플라즈마 처리를 90분간 수행하였다.

비정질 실리콘 활성 박막 증착을 위하여 사용한 가스는 SiH_4 (silane)과 Si_2H_6 (disilane)이고, 증착 장비는 LPCVD와 PECVD를 이용하였다. 고상 결정화(SPC)와 엑시머 레이저 열처리(ELA) 방법으로 활성 박막 재결정화를 수행하였다. 게이트 산화막 증착은 APCVD를 이용하여 수행하였다. 소오스 및 드레인 전극의 불순물 도핑은 이온 주입(ion implant) 및 이온 샤워어(ion shower)를 이용하여 수행하였고[9], 도판트 활성화는 고온(600°C) 열처리 및 엑시머 레이저 조사 방법으로 수행하였다. 본 실험에서 제작한 각 sample의 공정 조건을 표 1에 명시하였다.

* 正 會 員 : 서울大 電氣工學科 博士課程

** 正 會 員 : 서울大 電氣工學科 教授, 工博

接受日字 : 1998年 10月 27日

最終完了 : 1999年 3月 19日

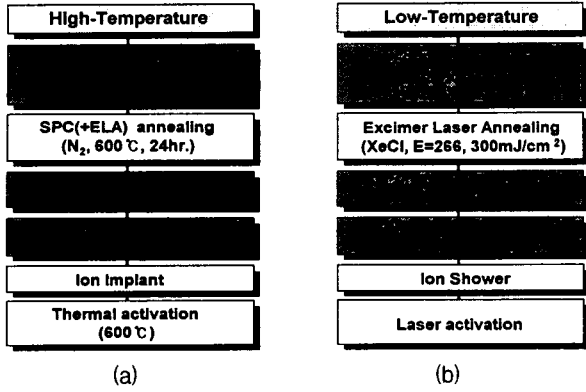


그림 1 고온 공정(a)과 저온 공정(b)의 주요 개략도
 Fig 1 Schematic diagram of High-temperature(a) and Low-temperature(b) fabrication process

표 1 다양한 공정 방법으로 제작한 다결정 실리콘 TFT 및 단위 회로의 sample별 공정 조건.
 Table 1 Process conditions of poly-Si TFT device and unitary circuit samples fabricated using various methods.

Sample ID	Deposition method	Annealing method	S/D Doping method	Film thickness
S1	LPCVD SiH ₄	SPC	Ion implant	1000 Å
S1'	LPCVD SiH ₄	SPC	Ion implant	500 Å
S2	PECVD SiH ₄	ELA 266mJ/cm ²	Ion shower	1000 Å
S2'	PECVD SiH ₄	ELA 266mJ/cm ²	Ion shower	500 Å
S3	PECVD SiH ₄	ELA 300mJ/cm ²	Ion shower	500 Å
S4	LPCVD Si ₂ H ₆	SPC	Ion implant	1000 Å
S5	LPCVD Si ₂ H ₆	SPC+ELA 300mJ/cm ²	Ion implant	1000 Å
S6	LPCVD Si ₂ H ₆	ELA 300mJ/cm ²	Ion shower	500 Å

3. 다결정 실리콘 TFT 단위 구동회로의 특성

다양한 방법으로 제작한 다결정 실리콘 박막 트랜지스터의 전기적 이동도, 문턱 전압, 문턱 전압 이전 기울기 특성 및 도핑된 다결정 실리콘 박막의 판저항을 표2에 제시하였다.

본 연구에서는 다양한 방법으로 제작한 다결정 실리콘 박막 트랜지스터의 동적 특성(AC characteristics)을 분석하기 위하여 단위 구동회로를 제작하였다. 특히, 다결정 실리콘 AMLCD의 구동 회로는 주로 inverter와 transmission gate으로 구성된 디지털 회로이므로 23단 CMOS inverter chain (ring oscillator)의 주파수 특성을 측정하였다. 23단 ring oscillator의 회로도들 그림2에 제시하였고, 각 inverter의 경우 nMOS와 pMOS의 크기를 각각 W/L= 20µm/10µm과 50µm/10µm으로 설계하였다. 각 ring oscillator의 구동 전압 대 주파수 특성 곡선은 그림3에 제시하였다.

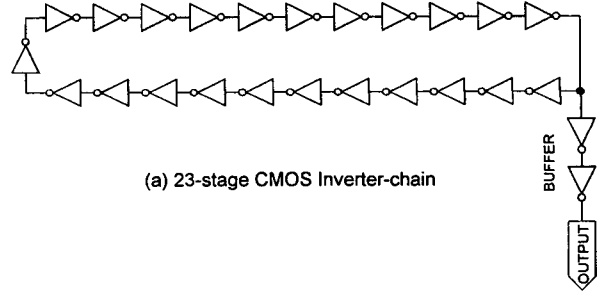


그림 2. 다결정 실리콘 TFT 23단 CMOS inverter chain (ring oscillator)의 회로도. nMOS와 pMOS의 크기는 각각 W/L= 20µm/10µm과 50µm/10µm.

Fig 2. Schematics of the poly-Si TFT 23-stage CMOS inverter chain. Size of nMOS and pMOS are W/L= 20µm/10µm과 50µm/10µm respectively.

표 2 제작된 다결정 실리콘 박막 트랜지스터의 전계 효과 이동도, 문턱 전압, 문턱 전압 이전 기울기, 도핑된 다결정 실리콘 박막의 판저항 특성 (표1 참조).

Table 2 Field effect mobility, threshold voltage, sub-threshold factor of the fabricated poly-Si TFTs and sheet resistance of the doped poly-Si thin film.

Sample ID		Field effect mobility (cm ² /Vsec)	Threshold voltage (V)	Sub-threshold factor (V/dec)	Rs of doped poly-Si (Ω/□)
S1	N	9.5	7.5	2.62	524
	P	1.1	-18.5	2.35	807
S1'	N	8.7	8.0	2.67	618
	P	0.6	-18.5	2.38	893
S2	N	15.7	6.0	1.60	218
	P	3.1	-15.5	1.38	592
S2'	N	14.5	6.5	1.67	621
	P	2.7	-16.5	1.45	759
S3	N	19.4	-1.5	0.75	2101
	P	8.3	-0.5	0.50	2431
S4	N	9.7	3.5	1.01	365
	P	27.1	-4.5	0.50	529
S5	N	22.9	0.5	0.57	5019
	P	40.0	-2.0	0.38	3252
S6	N	25.1	0.5	0.59	830
	P	76.7	-2.5	0.31	583

Ring oscillator의 주파수 특성은 제작 공정 방법에 따른 구성 단위 소자의 전기적 이동도, 문턱 전압, 문턱 전압 이전 기울기 및 ON-전류 등에 의해 좌우된다. 각 ring oscillator의 주파수 특성에 대하여 활성 박막의 열처리 방법, 박막 두께, 증착 가스 및 소오스 드레인 불순물 도핑 방법의 영향을 분석하였다.

3.1. 활성 박막 열처리 방법

고상 결정화 방법으로 제작된 활성 박막은 액체로의 상변화가 일어나지 않고 원자간 재배치에 의해 그래인이 생성되므로 그래인 내부에 결점 상태 밀도가 높다[7]. 반면, 엑시머 레이저 열처리 방법은 비정질 상태의 활성 박막을 액체 상태로 변화시키고, 다시 다결정 실리콘으로의 상변

화를 통해 재결정화 시키는 방법으로 고상 결정화 방법에 비해 그레인 내부의 결점 상태 밀도가 낮다[8,10]. 복합 열처리 방법은 고상 결정화 수행 후 엑시머 레이저를 조사하는 방법이다[11]. 본 실험의 경우, 고상 결정법으로 제작한 소자의 이동도가 $20\text{cm}^2/\text{Vs}$ 이하이고 레이저의 에너지 밀도를 $300\text{mJ}/\text{cm}^2$ 로 조사하여 제작한 소자는 $40\text{cm}^2/\text{Vs}$ 이상으로 나타났다.

제작된 박막 회로의 주파수 특성을 보면(그림3) 활성 박막의 열처리 방법에 따라 회로의 동작 속도가 크게 변함을 알 수 있다. 엑시머 레이저 열처리로 제작한 회로의 동작 주파수가 $25\text{MHz}/\text{stage}$ ($V_{DD}=15\text{V}$) 이상으로 고상 결정화로 제작한 회로보다 월등히 높고, 레이저 에너지 밀도 $300\text{mJ}/\text{cm}^2$ 로 열처리한 경우가 $266\text{mJ}/\text{cm}^2$ 일 경우보다 더 높다. 소자의 전기적 이동도 및 구동 전류가 높을수록 다음 단 입력부의 게이트 정전 용량에 전하가 빠르게 충전되어 inverter의 과도 지연 시간이 감소된다[6]. 또한, 박막 소자의 문턱전압이 낮기 때문에 $V_{DD}=5\text{V}$ 미만에서도 동작 가능하다.

3.2. 활성 박막 증착 방법

Disilane으로 비정질 실리콘 박막을 증착할 경우 silane에 비해 증착 속도가 높고 핵생성률(nucleation rate)이 낮으므로 다결정 실리콘 재결정시 그레인의 크기가 크고 그레인 경계의 결점 상태 밀도가 낮다[12]. 따라서, 활성 박막을 disilane으로 증착한 소자의 전기적 이동도가 silane로 증착한 소자에 비해 더 높은 것을 알 수 있다. 그림3의 (a)와 (b)를 비교하면, 활성 박막을 disilane으로 증착하고 고상 결정화와 엑시머 레이저 열처리하여 제작한 회로의 동작 주파수가 각각 silane으로 증착하여 제작한 박막 회로보다 70% 이상 향상되었음을 볼 수 있다.

3.3. 활성 박막의 두께

다결정 실리콘 활성 박막의 두께가 회로에 미치는 영향을 분석하기 위하여 고상 결정화와 엑시머 레이저 $266\text{mJ}/\text{cm}^2$ 로 열처리한 활성 박막의 두께를 각각 500\AA , 1000\AA 으로 제작하여 주파수 특성을 조사하였다. 그림4에서와 같이 고상 결정화로 제작한 회로의 경우 활성 박막의 두께가 1000\AA 인 회로의 동작 속도가 높은 것을 알 수 있다. 엑시머 레이저로 열처리하여 제작한 회로의 경우에는 고상 결정화의 경우와 다른 경향이 나타나는데, 낮은 구동 전압($V_{DD} < 8\text{V}$)이 인가되었을 때의 ring oscillator 동작 주파수는 활성 박막 두께 500\AA 인 경우가 더 높고, 높은 구동 전압($V_{DD} > 8\text{V}$)을 인가하였을 때는 박막 두께 1000\AA 인 경우가 더 높다.

엑시머 레이저로 활성 박막을 열처리하여 재결정화할 때 박막의 두께에 따라 다결정 실리콘의 결정화도가 달라진다[10]. 엑시머 레이저를 조사할 때 박막의 두께가 두꺼울수록 열이 흡수되는 깊이가 박막의 두께보다 얇기 때문에 활성 박막이 완전히 용융되지 않아 결정화도가 낮아진다. 다결정 실리콘 활성 박막의 결정화도가 낮으면 그레인 경계에 불안정 결합(dangling bond) 및 국부적 비정질 상태가 다수 존재하므로 소자의 전기적 이동도 감소 및 문턱전압 증가를 초래한다. 일반적으로 1000\AA 두께의 박막보다 500\AA 두께의 박막이 엑시머 레이저로 열처리 시 결정화도가 높고 결점 상태 밀도가 낮은 점에서 더 효과적이다. 그러나, 다결정 실리콘 활성 박막의 두께가 500\AA 이하

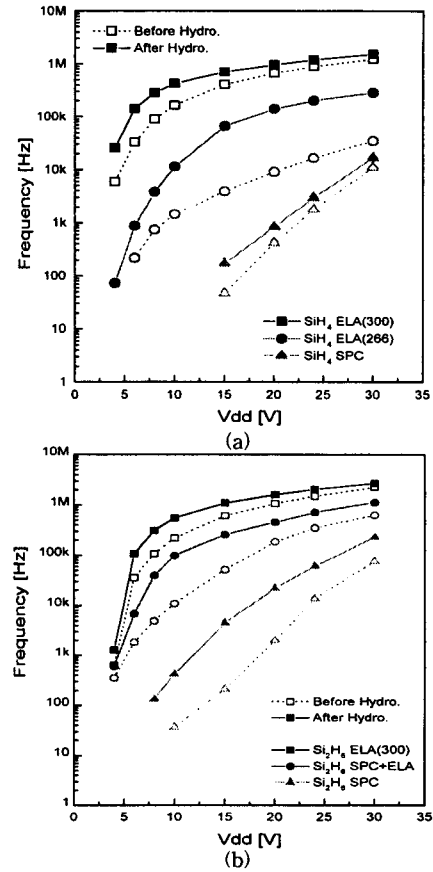


그림 3. 다결정 실리콘 TFT 23단 CMOS inverter chain의 공급 전압 대 동작 주파수. (a) 활성 박막을 SiH₄로 증착하고 각각 SPC, ELA (266mJ/cm²), ELA (300mJ/cm²)로 열처리. (b) 활성 박막을 Si₂H₆로 증착하고 각각 SPC, SPC+ELA (300mJ/cm²), ELA (300mJ/cm²)로 열처리.

Fig 3. Oscillation frequency vs supply voltage(V_{DD}) of the poly-Si TFT 23-stage CMOS inverter chain. (a) Active film deposited using SiH_4 and annealed by SPC, ELA ($266\text{mJ}/\text{cm}^2$), ELA ($300\text{mJ}/\text{cm}^2$). (b) Active film deposited using Si_2H_6 and annealed by SPC, SPC+ELA ($300\text{mJ}/\text{cm}^2$), ELA ($300\text{mJ}/\text{cm}^2$).

인 경우 contact hole을 형성할 때 소오스 및 드레인 전극 부분이 과도 식각되어 이 부분의 저항이 매우 높아질 수 있다. 특히, 이온 샤워어로 불순물 도핑을 하면 도핑 깊이가 얇아 전극 부분의 과도 식각에 의한 저항 증가로 소자의 구동 전류가 포화되는 현상이 나타난다.

활성 박막의 두께가 1000\AA 인 박막 소자는 높은 문턱전압과 낮은 전계효과 이동도를 가지므로 구동전압이 낮을 때는 동작속도가 느리다. 그러나, 높은 구동 전압을 인가할수록 소오스 드레인 전극의 기생 직렬 저항이 낮고 구동 전류가 높은 1000\AA 두께의 박막 소자로 구성된 회로의 동작 속도가 빠르다. 이것은 매우 높은 동작 주파수를 갖는 박막 회로를 제작할 때 박막 전극의 직렬 저항이 매우 낮아야 함을 의미한다.

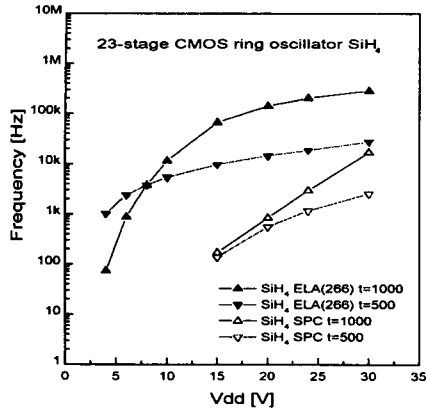


그림 4. 다결정 실리콘 TFT 단위 회로 23단 CMOS inverter chain의 공급 전압 대 동작 주파수. 활성 박막을 SiH₄ 가스를 이용하여 500 Å과 1000 Å 두께로 증착하고 각각 SPC와 ELA (266mJ/cm²)로 열처리하여 제작.

Fig 4. Oscillation frequency vs supply voltage(V_{DD}) of poly-Si TFT 23-stage CMOS inverter chain. Active thin film deposited 500 Å and 1000 Å thick using SiH₄ and annealed by SPC and ELA(266mJ/cm²).

3.4. 불순물 도핑 방법

다결정 실리콘 박막 트랜지스터의 전기적 이동도 특성 그래프(표2)에서 볼 수 있듯이 고온 공정인 고상 결정화와 복합 열처리로 제작한 소자의 경우 nMOS의 전기적 이동도가 pMOS보다 크게 나타난 반면, 저온 공정인 레이저 열처리로 제작한 소자의 경우 pMOS의 전기적 이동도가 오히려 nMOS보다 크게 나타났다.

고온 공정의 경우 이온 주입으로 불순물 도핑을 수행하고 600°C에서 열처리하여 도판트 활성화를 수행하였으며, 저온 공정의 경우 상온에서 수소 플라즈마를 이용하여 이온 샤워를 수행하고 레이저를 조사하여 도판트 활성화를 수행하였다. 이온 샤워 도핑은 저온에서 수소와 불순물 이온의 플라즈마를 이용하기 때문에 불순물 활성화가 충분히 이루어지지 않고, 도핑 깊이가 약 100 Å으로 얇으며 다량의 수소 이온이 함유된다[9]. 엑시머 레이저로 불순물 활성화 과정에서 도핑된 박막의 온도가 순간적으로 상승하여 박막에 함유된 수소가 유출되면서 박막 내에 공극이 발생한다. P-type으로 도핑된 박막의 경우 보론 이온(B₂H₆⁺)을 중화시키는 수소 이온이 제거되면서 전기 전도도가 증가하는 반면, N-type (PH₃⁺)으로 도핑된 박막의 경우 수소 유출에 의한 공극 결합의 생성으로 전기 전도도가 감소하게 된다[9]. 표2에 각 웨이퍼의 n-type과 p-type으로 도핑된 박막의 판저항(sheet resistance)을 도식하였다. 고온 공정으로 제작한 박막의 경우 전자의 이동도가 홀의 이동도보다 크기 때문에 n-type 박막의 판저항이 p-type 박막에 비해 작은 반면, 저온 공정으로 제작한 박막의 경우 탈수소화의 영향으로 n-type 도핑 박막의 판저항이 p-type 도핑 박막에 비해 크게 나타났다. 따라서, 고온 공정으로 제작한 박막 소자의 이동도는 pMOS보다 nMOS가 크게 나타나고, 저온 공정으로 제작한 경우는 nMOS보다 pMOS가 더 크게 나타났다. 이와 같이 소오스 드레인 전극의 저항은 소자의 이동도는 물론

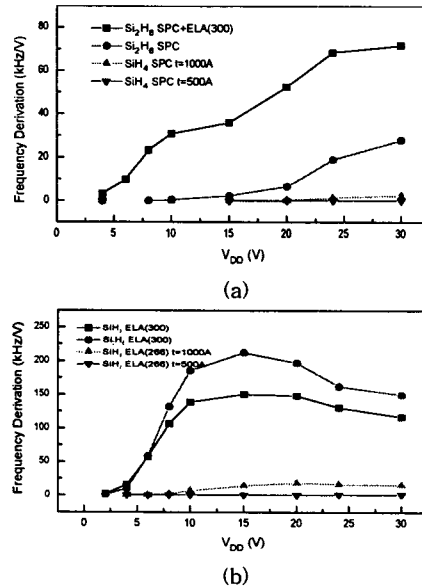


그림 5. 고온 공정인 이온 주입 도핑(a)과 저온 공정인 이온 샤워 도핑(b)으로 제작한 ring oscillator의 구동 전압 대 주파수 증가율.

Fig 5. The rate of frequency increase vs supply voltage(V_{DD}) of ring oscillator fabricated using high-temperature ion implant(a) and low-temperature ion shower(b) doping process.

구동 회로의 특성에도 중요한 영향을 미친다.

그림5는 각 ring oscillator의 구동 전압 대 주파수 증가율을 도식한 그래프이다. 고온 공정으로 제작한 ring oscillator의 출력 주파수 증가율은 구동 전압에 대해 계속 증가하는 반면, 저온 공정으로 제작한 ring oscillator의 주파수 증가율은 V_{DD}=15V 이상에서 감소함을 알 수 있다.

낮은 구동 전압에서는 채널층의 전기 전도도가 소오스 드레인 전극의 전기 전도도보다 매우 낮기 때문에 박막 회로의 동작 주파수는 활성 박막의 전기적 이동도에 의해 지배적인 영향을 받지만, 구동 전압이 증가할수록 활성 박막의 전기적 이동도와 더불어 소오스 드레인 전극의 전기 전도도에 의해서도 크게 영향을 받는다. 특히, 저온에서 이온 샤워 도핑 공정으로 제작한 박막 소자의 경우, 높은 구동 전압에서의 채널층 저항이 소오스 드레인 전극의 저항에 비해 그리 크지 않기 때문에 이 두 직렬 저항이 구동 전류를 포화시킨다. 즉, 전극의 저항이 채널층의 저항에 비해 크게 낮지 않으면 구동 전압을 증가시켜도 소자의 구동 전류가 포화되어 회로의 주파수 증가율은 오히려 감소한다. 이온 주입 도핑 후 고온(600°C) 열처리로 도판트 활성화를 수행하여 제작한 박막 소자는 활성 박막의 전기적 이동도가 낮은 반면 소오스 드레인 전극의 저항이 작기 때문에 구동 전압이 증가함에 따른 회로의 동작 주파수 포화 현상이 나타나지 않았다.

4. 결론

다결정 실리콘 박막 트랜지스터와 구동회로의 성능을 최적화하고자 다양한 공정 방법으로 단위 소자와 단위 CMOS 회로를 제작하였으며 그 특성을 분석하였다. CMOS ring oscillator의 진동 주파수는 ELA 300mJ/cm²,

ELA 266mJ/cm², 복합 열처리(SPC+ELA), 고상 결정화 순으로 높게 나타났다. 엑시머 레이저 열처리로 제작한 다결정 실리콘 박막은 고상 결정화로 제작한 박막보다 그레이너 내부 결합 밀도가 낮기 때문에 박막 소자의 전계 효과 이동도가 매우 높게 나타났다. 실험 결과와 같이 박막 두께가 500Å인 경우 엑시머 레이저 에너지 밀도는 약 300mJ/cm² 정도가 최적이다. 레이저 열처리된 활성 박막의 결정화도는 박막의 두께가 두꺼울수록 낮아지지만 박막의 두께가 매우 얇을 경우 소오스 드레인 전극의 저항 및 contact 저항이 커진다. 박막의 두께가 얇은 단위 회로는 박막의 두께가 두꺼운 단위 회로에 비해 높은 결정화도 특성으로 인하여 동작 주파수가 높은 반면, 구동 전압이 증가할수록 전극의 직렬 저항의 영향으로 오히려 동작 주파수가 낮아진다. 따라서, 10V 미만의 낮은 구동 전압에서 동작시킬 경우 활성 박막의 두께는 약 500Å 정도로 형성하는 대신 소오스 드레인 전극은 1000Å 이상 두껍게 형성하는 구조가 적합하다.

저온에서 수행한 이온 샤워어의 경우 레이저로 불순물 활성화 시 탈수산화 영향으로 n-type으로 도핑된 박막의 저항이 p-type으로 도핑된 박막의 저항보다 크게 나타나 nMOS의 이동도 특성을 저해하는 요인으로 작용하였다. 이러한 현상은 구동 전압 증가에 따른 단위 회로의 주파수 증가율을 감소시켜 동작 속도 포화를 초래하였다. 따라서, 저온 공정인 ELA로 다결정 실리콘 TFT 구동 회로를 제작할 때 효과적인 불순물 도핑 방법과 활성 박막의 두께에 대한 최적화 설계가 요구된다.

참 고 문 헌

[1] C. Tuan, "Amorphous silicon thin film transistors and application to large-area electronics," MRS Symp. On Comparison of TFT and SOI Technologies, pp. 246, 1984.
 [2] Ibaraki, "a-Si TFT Technology for AM-LCDs", Mat. Res. Soc. Symp. Proc. Vol. 345, pp. 3-10, 1994.
 [3] H. Firester, W. R. Roach, and R. Stewart, "poly-Si TFT devices and their application to LCDs," Japan Display 92, pp. 557, 1992.
 [4] Y. Nishida, S. Yamamoto, S. Yamada, T. Hikichi, I. Asai and T. Hamano, " Fully Integrated Poly-Si TFT CMOS Drivers for Self-Scanned Light Valve", SID 92 Digest, pp. 609-612, 1992.
 [5] I. Wei, A. G. Lewis, and A. Chiang, "Performance of Polysilicon TFT Digital Circuits Fabricated with Various Processing Techniques and Device Architectures", SID 90 Digest, pp. 307, 1990.
 [6] G. Lewis, D. D. Lee, and R. H. Bruce, "Polysilicon TFT circuit design and performance," IEEE J. Solid-State Circuits, vol. 27, pp. 1833, 1992.
 [7] Y. Masaki, P. G. LeComber and A. G. Fitzgerald, " Solid Phase Crystallization of Thin Films of Si Prepared by Plasma-Enhanced Chemical Vapor Deposition", J. Appl. Phys. Vol. 74, No. 1, pp. 129-134, 1993.
 [8] R. Z. Bachrach, K. Winer, J. B. Boyce, S. E. Ready, R. I. Johnson and G. B. Anderson, "Low Temperature Crystallization of Amorphous Silicon Using an Eximer Laser", J. Elec. Mat. Vol. 19, No.

3, pp. 241-248, 1990.

[9] H. J. Lim, B. Y. Ryu and J. Jang, " N-channel Polycrystalline Silicon Thin Film Transistors Using As-deposited Polycrystalline Silicon and Ion Doping", Appl. Phys. Lett. Vol. 66, No. 21, pp. 2888-2890, 1995.
 [10] J. S. Im and H. J. Kim, "Super Lateral Growth Phenomenon Observed in Excimer Laser-Induced Crystallization of Thin Si Films", Appl. Phys. Lett. Vol. 64, No. 17, pp. 2303-2305, 1994.
 [11] T. Noguchi, "High Performance TFT by Excimer Laser Annealing after Solid Phase Crystallization", EMICON/KOREA 92 Technical Proceeding II, pp. 19, 1992.
 [12] Colinge, H. Morel, and J. P. Change, "Field effect in large grain polycrystalline silicon," IEEE Trans. Electron Devices, vol. ED-30, pp. 1518, 1983.

저 자 소개



유 준 석 (柳 俊 錫)

1971년 9월 21일 생. 1995년 서울대학교 전기공학과 졸업. 1997년 동대학교 대학원 전기공학부 졸업(석사). 현재 동대학교 대학원 전기공학부 박사과정.

Tel : (02) 880-7992

E-mail : jsyoo@emlab.snu.ac.kr



박 철 민 (朴 喆 民)

1971년 1월 21일 생. 1994년 서울대학교 전기공학과 졸업. 1996년 동대학교 대학원 전기공학부 졸업(석사). 현재 동대학교 대학원 전기공학부 박사과정.

Tel : (02) 880-7992

E-mail : cmpark@emlab.snu.ac.kr



전 재 홍 (全 宰 弘)

1972년 7월 12일 생. 1995년 서울대학교 전기공학과 졸업. 1997년 동대학교 대학원 전기공학부 졸업(석사). 현재 동대학교 대학원 전기공학부 박사과정.

Tel : (02) 880-7992

E-mail : jjh@emlab.snu.ac.kr

한 민 구 (韓 民 九)

전기학회논문지 제48C권 3호 참조

Tel : (02) 880-7248

E-mail : mkh@emlab.snu.ac.kr