

DLC-coated Si-tip FEA 제조에 있어서 Al 희생층을 이용한 게이트 누설 전류의 감소

速報論文
48C-8-4

Decrease of Gate Leakage Current by Employing Al Sacrificial Layer in the DLC-coated Si-tip FEA Fabrication

朱炳權*·李相祚*·金勳*·李允熙*·吳明煥*

(Byeong-Kwon Ju · Sanjo Lee · Hoon Kim · Yun-Hi Lee · Dong-Ryul Jeon · Myung-Hwan Oh)

Abstract - DLC film remaining on device surface could be removed by eliminating Al sacrificial layer as a final step of lift-off process in the fabrication of DLC-coated Si-tip FEA. The field emission properties(I-V curves, hysteresis, and current fluctuation etc.) of the processed device were analyzed and the process was employed to 1.76 inch-sized FEA panel fabrication in order to evaluate its FED applicability.

Key Words : Si-tip field emitter, DLC, gate-leakage current, sacrificial layer, field emission, field emission display

1. 서론

앞선 연구를 통하여, lift-off 공정을 이용하여 Si-tip FEA (field emitter array)를 제조하였으며[1], 마지막 단계에서 전면(全面)에 DLC(diamond-like carbon) 박막을 coating함으로써 turn-on 전압과 전계 방출 전류를 향상시킬 수 있었다[2]. 그러나, DLC가 tip 뿐만 아니라 게이트 전극 상부나 게이트 절연막의 측면 등에도 증착됨으로써 소자의 동작 영역에서 방출 전류의 30% 이상에 해당할 정도로 게이트 누설 전류가 증가하고 이로 인해 소자의 전기적인 손상, 동작 특성의 불안정 등이 문제가 되었다.

본 연구에서는 게이트 전극 상부나 게이트 절연막의 측면에 DLC가 coating되는 것을 가능한 방지하기 위하여 희생층(sacrificial layer)을 사용하는 공정을 제안하였다. 즉, 1차 lift-off 공정 후에 DLC를 tip과 희생층 상에 coating되도록 하고, 2차 lift-off 공정에 의한 희생층 제거를 통해 게이트 홀 바깥 부분의 DLC를 제거함으로써 가능한 tip 상에 증착되는 DLC만 잔류 시켰으며 이로써 게이트 누설 전류를 감소시킬 수 있고 동시에 소자의 손상을 가능한 방지할 수 있었다.

2. 실험 방법

본 실험에 사용된 Si-tip FEA의 규격은 앞서 보고된 바 있다[1,2]. 그림 1(a)은 2회의 lift-off 공정을 통하여 DLC-

coated Si-tip FEA를 제조하는 과정을 보인 것이다. 산화막 마스크 패터닝-oxidation sharpening-게이트 절연막(SiO₂) 및 전극(Mo) 증착 과정까지는 앞서 기술한 바와 같으며, 게이트 전극 증착 후에 Al 희생층을 증착하였다. 다음으로 PA-CVD 방법으로 100Å 두께의 DLC를 전면 증착한 뒤, 마지막 단계로 Al 희생층을 H₃PO₄:HNO₃ : CH₃COOH : H₂O (80:5:5:10) 용액 내에서 습식 식각함으로써 게이트 홀 내부를 제외한 전 영역의 DLC를 제거하게 된다. 이 과정을 통하여 제조된 DLC-coated Si-tip FEA를 그림 1(b)에 보였다.

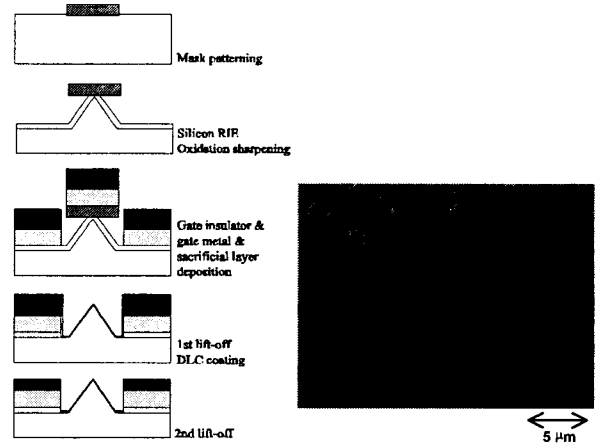


그림 1 2단계 lift-off 공정을 이용한 DLC-coated Si-tip FEA의 제조 공정도(a) 및 제조된 소자의 모양(b)

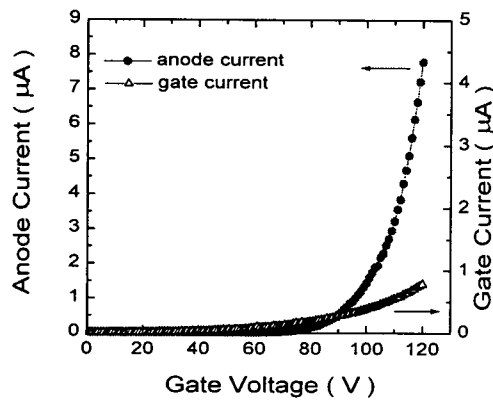
Fig. 1 Fabrication process(a) and device structure(b) of DLC-coated Si-tip FEA using 2 step lift-off process

*正會員 : KIST 情報材料·素子研究센터
學生研究員/先任研究員/責任研究員

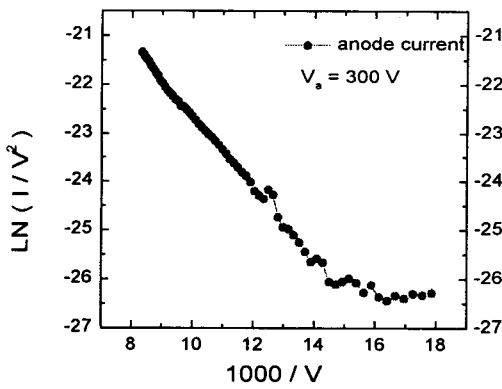
接受日子 : 1999年 3月 16日
最終完了 : 1999年 7月 12日

3. 동작 특성 평가

제조된 DLC-coated Si-tip FEA에 대하여 안정화 과정을 거친 뒤, Keithley 237 SMU-UHV test station 시스템을 이용하여 10^{-8} Torr의 진공도에서 전계 방출 특성을 평가하여 보았다. 이때 양극으로는 ITO 막 상에 ZnO:Zn 형광체가 도포되어 있는 유리 기판을 사용하였고, tip과 양극간의 거리는 스페이서를 사용하여 1.5mm로 유지하였다. 그림 2(a)는 안정화 과정을 거친 소자에 대해 양극 전압을 300V로 고정시킨 상태에서 gate 전압에 따른 방출 전류의 변화를 측정된 결과이며, 그림 2(b)는 이에 대한 Fowler-Nordheim plot(F-N plot)에 해당하는데, 이로부터 turn-on 전압은 약 63V 정도로 얻어졌다.



(a)



(b)

그림 2. DLC-coated Si-tip FEA의 전류-전압 특성(a) 및 Fowler-Nordheim plot(b)

Fig. 2. I-V curve(a) and Fowler-Nordheim plot(b) of the DLC-coated Si-tip FEA

아울러 gate 전압을 110V로 일정하게 유지한 상태에서 양극 전압을 500V에 이르기까지 변화 시키면서 방출 전류의 변화를 측정된 결과 그림 3에 보인 바와 같이 나타났는데, 양극 전압이 게이트 전압과 유사해지면서 양극 쪽으로 흐르는 방출 전류가 포화되는 양상을 띄었다. 포화 영역에서 방출 전류에 대한 gate 누설 전류의 비율은 15~20% 정도로

나타났으며, turn-on 전압에 해당하는 63V에서부터 120V에 이르는 동작 영역에서 gate 누설 전류 비율은 1~20% 범위를 가지고 있었다. 이는 회생층을 사용하지 않은 경우에 비해 10% 이상 감소한 값에 해당한다.

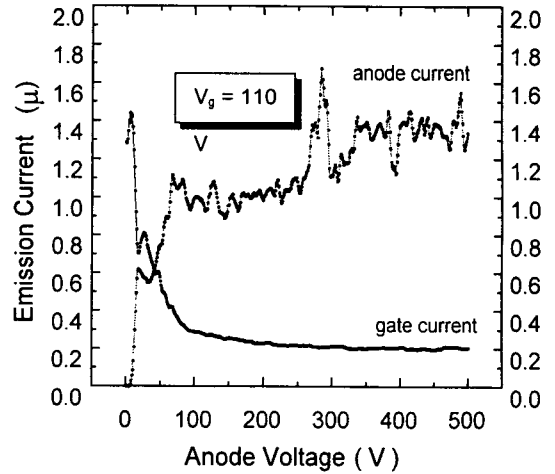


그림 3. DLC-coated Si-tip FEA의 방출 전류-양극 전압간의 관계

Fig. 3. Relationship between emission current and anode bias for the DLC-coated Si-tip FEA

Gate 전압을 90~120V 범위 내에서 변화 시켜 가면서 25분 동안의 전류 변동 특성을 측정된 결과를 그림 4에 나타내었다. 방출 전류가 증가하면서 전류 변동이 심해지는 것으로 나타났는데, 이는 DLC와 Si 간의 계면 및 DLC 내부에서의 전자 전송을 고려하여 해석되어야 할 것으로 생각된다.

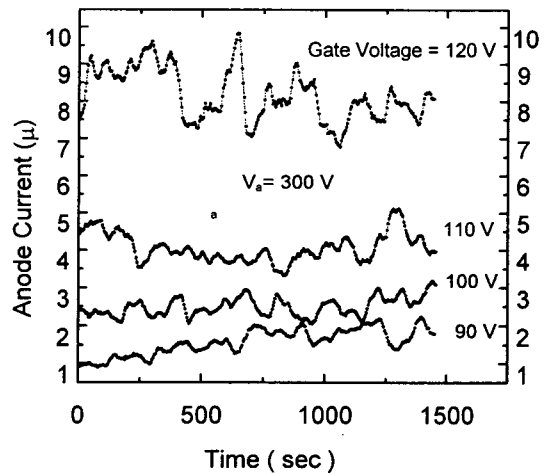
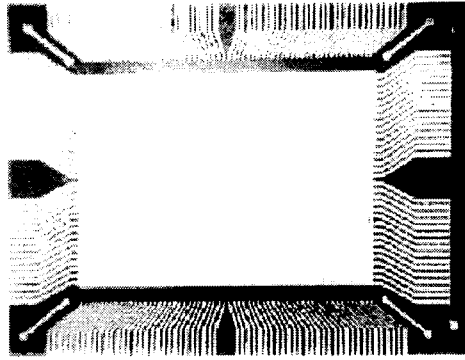


그림 4. DLC-coated Si-tip FEA의 전류 변동 특성

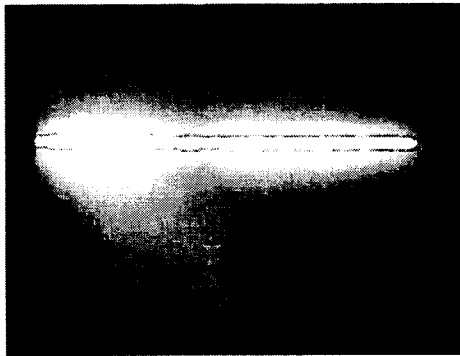
Fig. 4. Current fluctuation behaviors of DLC-coated Si-tip FEA

본 연구를 통해 제안된 2단계 lift-off 공정을 적용하여 1.76 인치급 DLC-coated Si-tip FEA 패널을 제조하였으며, 이의 모양을 그림 5(a)에 보였다. 게이트 전극 표면 상에

잔류하는 DLC 층이 제거됨으로써 소자 표면이 청정도를 유지하고 있음을 알 수 있다. 그림 5(b)는 이를 이용한 line 발광을 보인 것으로 DLC가 표면 상에 잔류한 경우의 발광 패턴에 비하여[2], 상대적으로 완전한 line pattern을 얻을 수 있었으며, 이로서 게이트 홀 내부를 제외한 영역의 DLC를 제거함으로써 emitter들의 손상을 방지하여 수율을 높일 수 있는 것으로 확인되었다.



(a)



(b)

그림 5. DLC가 코팅된 1.76 inch 급 Si-tip FEA(a) 및 FED line 발광 모양(b)

Fig. 5. 1.76 inch-sized DLC-coated Si-tip FEA(a) and FED line emission pattern(b)

4. 결 론

Si-tip FEA 상에 DLC를 coating함에 있어서, 게이트 전극 표면과 게이트 절연막의 측면 등에도 DLC가 coating되어 게이트 누설 전류 증가 및 emitter 수율 을감소시키는 문제점이 있었으며, 이를 해결하기 위하여 Al 희생층을 적용한 2단계 lift-off 공정을 시도하여 보았다. 제조된 DLC-coated Si-tip FEA의 동작 특성을 분석한 결과 다음과 같은 결과들을 얻었다.

1) Al 희생층을 사용하지 않은 경우에 비하여 누설 전류가 소자의 동작 영역을 기준으로 할 때 방출 전류 대비 30% 이상에서 20% 이하로 감소되는 것을 확인하였다. 누설 전류가 수 % 이하로 충분히 감소하지 못한 이유는 Al 희생층 제거를 통하여 gate 전극 표면 상에 잔류하는 DLC들은 제거되었으나, 게이트 홀 내부의 절연막의 측면에 존재하는 DLC가 완전히 제거되지 않은 것으로 볼 수 있다.

2) Gate 표면 상의 DLC 제거로 상대적으로 향상된line 발광을 얻을 수 있었으며 이는 emitter의 수율이 증가한 결과로 사료된다.

다음 단계의 연구로 게이트 절연막 측면에 DLC가 coating되는 것을 방지하기 위한 희생층 적용 공정이 수행될 예정이다.

참 고 문 헌

- [1] 주병권, 이상조, 이윤희, 전동렬, 오명환, Si-tip FEA의 제조 및 동작 특성 평가, 전기학회논문지 (투고중)[1]
- [2] 주병권, 이상조, 이윤희, 전동렬, 오명환, Si-tip FEA에 있어서 DLC 코팅이 전계 방출 특성에 미치는 영향, 전기학회논문지 (투고중)