

## Co/내열금속/다결정 Si 구조의 실리사이드화와 열적안정성

권영재 · 이종무  
인하대학교 금속공학과  
(1999년 1월 15일 접수)

### Silicidation and Thermal Stability of the Co/refractory Metal Bilayer on the Doped Polycrystalline Si Substrate

Young Jae Kwon and Chong Mu Lee

Department of Metallurgical Engineering, Inha University, Incheon 402-751, Korea  
(Received January 15, 1999)

#### 초 록

P가 고농도로 도핑된 다결정 Si 기판 위에 Co/내열금속 이중층막을 스퍼터 증착하고 급속열처리 함으로써 얻어지는 실리사이드 층구조, 실리사이드막의 표면과 계면에서의 morphology의 변화 등을 단결정 Si 기판 위에서 그것들과 비교하여 조사하였다. 다결정 Si 기판 위에 형성한 Co/내열금속 이중층을 열처리할 때 단결정 기판에서의 경우보다  $\text{CoSi}_2$ 로의 상전이 온도 더 낮은 온도에서 시작되며, 고온에서 막의 morphology 변화는 더 심하게 일어나게 된다. 특히, 중간층으로 사용된 금속재료의 종류에 따라 실리사이드화 열처리후에 얻어지는 최종 층구조와 막의 morphology에 차이가 나타났다. 그리고 최종 열처리후의 전체적인 층구조는 Hf의 경우는 Hf 화합물층/코발트 실리사이드/다결정질 실리콘이며, Nb 중간층의 경우 코발트 실리사이드/Nb 실리사이드/코발트 실리사이드/다결정질 실리콘의 구조를 보였다.

#### ABSTRACT

Silicide layer structures and morphology degradation of the surface and interface of the silicide layers for the Co/refractory metal bilayer sputter-deposited on the P-doped polycrystalline Si substrate and subjected to rapid thermal annealing were investigated and compared with those on the single Si substrate. The  $\text{CoSi}$ - $\text{CoSi}_2$  phase transition temperature is lower and morphology degradation of the silicide layer occurs more severely for the Co/refractory metal bilayer on the P-doped polycrystalline Si substrate than on the single Si substrate. Also, the final layer structure and the morphology of the films after silicidation annealing was found to depend strongly upon the interlayer metal. The layer structure after silicidation annealing of Co/Hf/doped-poly Si is Co-Hf alloy/polycrystalline  $\text{CoSi}_2$ /poly Si substrate, while that of Co/Nb is polycrystalline  $\text{CoSi}_2$ /Nb $\text{Si}_2$ /polycrystalline  $\text{CoSi}_2$ /poly Si.

**Key words :** Co/M bilayer, Co silicide, Thermal stability, Polycrystal

#### 1. 서 론

코발트 실리사이드(silicide)는 최근 티타늄 실리사이드를 대신하여 초고밀도 집적회로(ULSI)에 사용될 전극재료로서 많은 관심을 끌고 있다.<sup>1)</sup> 이것은 코발트 실리사이드가 티타늄 실리사이드에 비해 고온에서 도펀트들과 화합물을 잘 형성하지 않고 좁은 선평에서도 균일한 실리사이드의 형성이 가능하며,<sup>2)</sup> Hf 수용액과 건식예칭에 대한 내성이 비교적 크다는 등의 장점을 지니고 있어서 실제 공정예의 적용이 보다 더 용이하기 때문이다.<sup>3,4)</sup> 특히, MOS(metal oxide semiconductor) 트랜지스터에서 다결정질 실리콘과 코발트 실리사이드의 이중층으로된 폴리사이드(polycide) 구조를 사용할 경우 실리사이드의

비저항이 도핑된 다결정질 실리콘에 비하여 더 낮기 때문에 다결정 실리콘 단일층을 사용할 경우보다 더 빠른 작동속도를 얻을 수 있다.<sup>5)</sup>

그러나 반도체 소자의 집적도가 급격히 증대되어 안정한 구조의 얇은 접합(shallow junction,  $X_j \leq 1000 \text{ \AA}$ )의 형성이 소자제조에 중요한 전제조건이 됨에 따라 전체 증착막들의 두께는 더욱 얇아지게 되었으며, 따라서 소자의 전기적 특성은 막표면과 계면의 morphology 변화에 매우 민감하게 되었다.<sup>6)</sup> 특히 코발트 실리사이드를 다결정질 기판 위에 형성시킬 경우에는 고온에서 표면이 매우 거칠어지는 경향이 있다. Schreutelkamp 등<sup>7)</sup>에 따르면, 특히,  $800^\circ\text{C}$  이상에서 열처리할 경우에 실리사이드막이 응집(agglomeration)되어 막의 전기적 특성이 크

게 떨어지는 문제가 있다고 한다. 그밖에 실리사이드화 열처리중 다결정질 실리콘 기판의 결정성장이 일어나서 실리사이드화 반응중 이런 결정립들 사이로 실리사이드층이 침입(protrusion)하고 층역전(inversion)이 일어남으로써 누설전류가 증가하여 소자의 기능이 떨어지기도 한다.<sup>9)</sup>

최근 MOS 트랜지스터의 소스/드레인과 게이트 전극을 동시에 실리사이드화 하는 셀리사이드(salicide) 공정에서 전극재료로 코발트 실리사이드를 사용할 때 전극의 열적안정성과 전기적 특성을 개선하기 위한 방안으로 각 전극에 코발트와 내열금속을 이중층으로 증착하고 급속 열처리하여 단결정 실리콘 기판과 에피택셜(epitaxial) 관계를 갖도록 성장시키는 TIME(Titanium Inter-layer Mediated Epitaxy) 방법이 제안된 바 있다.<sup>9,10)</sup> 이 경우 Ti 외에 Ta, Nb, Hf 등의 내열금속들도 이러한 목적으로 사용될 수 있다.<sup>11,12)</sup> 그런데 이 때 게이트 전극부에서는 코발트/내열금속 이중층막이 다결정 실리콘막 위에 증착되어 실리사이드화 열처리가 이루어지게 되는데, 단결정 실리콘 위에서 실리사이드화가 이루어지는 소스/드레인 전극부와 비교할 때 최종막구조와 표면 morphology 등의 면에서 차이가 있을 것으로 생각된다. 그러므로 본 논문에서는 P가 주입된 다결정질 실리콘 기판 위에 Co와 Nb 또는 Hf의 내열금속막을 차례로 증착하고 이어 열처리함으로써 실리사이드를 형성할 때, 그 층구조 및 표면의 거칠기와 면저항의 변화를 단결정 기판의 경우와 비교하여 보고하고자 한다.

## 2. 실험방법

N형 (100) 실리콘 기판 위에 500 Å의 열산화막을 성장시키고 이어서 LPCVD를 이용하여 3000 Å의 다결정 실리콘을 증착하였다. 그리고 이 다결정 실리콘 기판에  $\text{POCl}_3$ 을 증착하고(50Ω/□ on bare wafer), 100:1 BHF에서 8분간 deglazing 처리를 하여 P가 주입된 다결정 실리콘 기판( $\sim 10^{21}$  atoms/cc)을 형성하였다. 이상과 같이 준비된 기판 위에 스퍼터링(sputtering) 방법을 사용하여 Hf와 Nb의 내열금속층을 각각 100 Å 두께로 증착한 데 이어 150 Å의 코발트 박막을 증착함으로써 Co/refractory metal/polycrystalline Si 이중층 시편을 준비하였으며, 이와 동시에 동일한 구조의 이중층막을 단결정 실리콘 기판 위에도 증착하여 이 두 구조들을 비교하였다. 이 때 스퍼터 챔버 내의 초기진공도는  $5 \times 10^{-7}$  torr 수준이었으며, 막증착시의 진공도는 3~6 mtorr를 유지하였다. 금속막의 스퍼터 증착시 플라즈마 전력밀도는 코발트의 경우에는  $1.3\text{W}/\text{cm}^2$ 이며, 그밖에 금속의 경우는  $4.4\text{W}/\text{cm}^2$ 이었다. 이 시편들을 진공( $2 \times 10^{-5}$  torr)의 RTA

장비 내에서 각각 330, 420, 500, 600, 700 및 800°C로 가열하여 30초간 급속열처리(RTA)함으로써 여러 종류의 실리사이드 시편들을 만들었다.

이 시편들에 대해 4-point probe와 XRD 및 AES를 사용하여 형성상 및 층구조를 결정하였으며, AFM(Atomic Force Microscopy)을 이용하여 시편의 표면과 상부 실리사이드층을 제거한 후의 실리사이드/실리콘 계면의 거칠기의 RMS(root mean square)를 조사하였다.

## 3. 결과 및 고찰

Fig. 1은 각각 단결정 및 다결정 실리콘 기판 위에 Nb와 Hf 막을 100 Å 두께로 증착한 데 이어 150 Å의 코발트 막을 증착하여 Co/refractory metal/Si 이중층 구조의 시편을 준비하고, 이들을 여러 온도에서 30초간 열처리한 후의 면저항 변화를 조사한 것이다. 단결정 기판

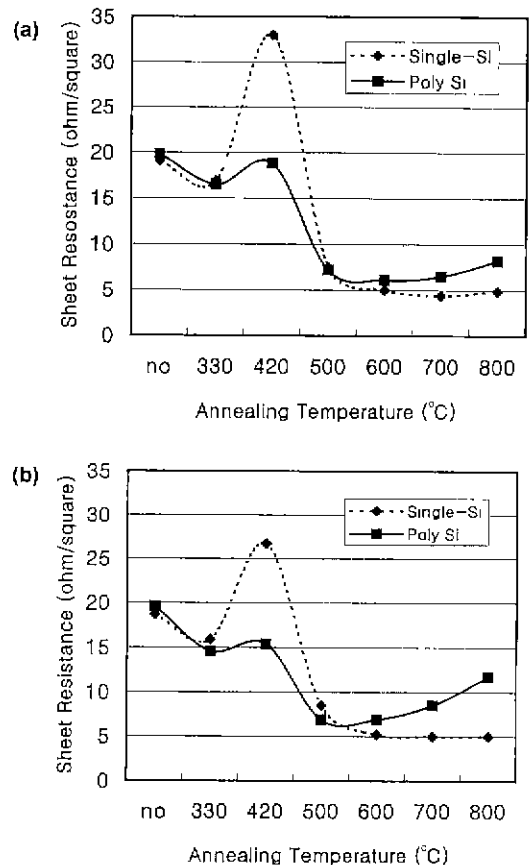


Fig. 1. The sheet resistances of the Co/refractory metal bilayer silicides on single and polycrystalline Si substrates as a function of annealing temperature; (a) Co/Nb bilayer system and (b) Co/Hf bilayer system.

위에 증착한 Co/Nb와 Co/Hf 이중층 구조는 모두 330°C에서 600°C까지 열처리 온도를 증가시키기에 따라 420°C를 전후하여 급격한 면저항의 변화가 있었으나, 다결정 실리콘 기판의 경우에는 온도 증가에 따라 같은 온도에서 작은 피크가 나타난 이외에는 대체로 감소하는 경향을 보이고 있다. 이렇게 기판의 결정질 상태에 따라 열처리의 초기 단계에서 각기 다른 면저항 변화 추이를 보이는 것은 다음과 같은 몇 가지 원인에 의한 것으로 생각된다.

Co의 실리사이드화 반응시 일어나는 상천이는 열처리 온도가 높아짐에 따라 낮은 온도구간에서부터  $\text{Co}_2\text{Si} \rightarrow \text{CoSi} \rightarrow \text{CoSi}_2$ 의 순서로 일어나며, 이 때 최종상인  $\text{CoSi}_2$  ( $= 15 \mu\Omega\text{cm}$ )와 저온상인  $\text{Co}_2\text{Si}$  및  $\text{CoSi}$  (60~160  $\mu\Omega\text{cm}$ ) 사이의 비저항 차이가 상당히 크기 때문에 면저항의 변화를 조사함으로써 이들간의 상변화를 예측할 수 있다.<sup>13)</sup> 그러므로 Fig. 1에 보인 바와 같이 330~500°C의 온도구간에서 단결정보다 다결정질 기판에서 면저항이 더 낮은 것은 상대적으로 낮은 이 온도구간에서 저온상으로부터 고온상인  $\text{CoSi}_2$ 로의 상천이가 훨씬 더 빨리 이루어지기 때문으로 생각된다 즉, 중간온도 구간에서 초기에 형성된 Co-M의, 합금층이나  $\text{Co}_2\text{Si}$ 와  $\text{CoSi}$  등의 중간상으로 이루어진 층을 확산해 온 Co 원자가 기판 계면에서 Si와 반응하여  $\text{CoSi}_2$  상의 핵을 형성하게 되는데, 이 과정에서 다결정질 기판의 결정입계는 핵생성의 우선적인 자리를 제공하게 된다. 기판의 결정질 상태에 따른 Ti의 실리사이드화 과정에서도 이와 유사한 결과가 보고된 바 있다.<sup>14)</sup> 따라서 열처리의 중간온도 단계에서 일어나는 이러한 면저항의 차이는 기판에 따른 상천이 과정 변화와 관련이 있으며, 이는 Fig. 2에 보인 다결정질 기판의 XRD 스펙트럼과 단결정 기판에 관해 조사했던 앞서의 결과<sup>12)</sup>로부터도 확인할 수 있다. 그 외에 기판에 존재하는 도펀트들에 의해서도 실리사이드의 핵생성이 영향을 받을 수 있다. 특히 N-type 도펀트들이 실리콘의 이동도(mobility)에 영향을 미쳐 실리사이드의 초기 핵생성에 차이가 발생하기도 한다.<sup>15)</sup>

Fig. 2는 각 열처리 온도에서 형성된 상들을 확인하기 위하여 다결정 실리콘 기판 위의 Co/refractory metal 이중층 실리사이드 구조에 대해서 실시한 glancing angle XRD 분석 결과들이다. Fig. 2(a)는 Co/Nb 이중층의 경우로, 아직 열처리하지 않은(as-deposited) 경우에는 다결정 실리콘의 (111), (220), 그리고 (311) 피크가 두드러졌으며, 증착된 금속층들은 거의 비정질 상태이다. 그러나 열처리가 진행됨에 따라 420°C 부근에서는  $\text{CoSi}$  상이 형성되었으며, 더불어  $\text{CoSi}_2$  상의 피크도 관찰되기 시작하였다. 이어서 500°C에서는  $\text{CoSi}$  등의 저온상이 사라지고,  $\text{CoSi}_2$ 의 형성이 본격화되어 (220) $\text{CoSi}_2$  피크가

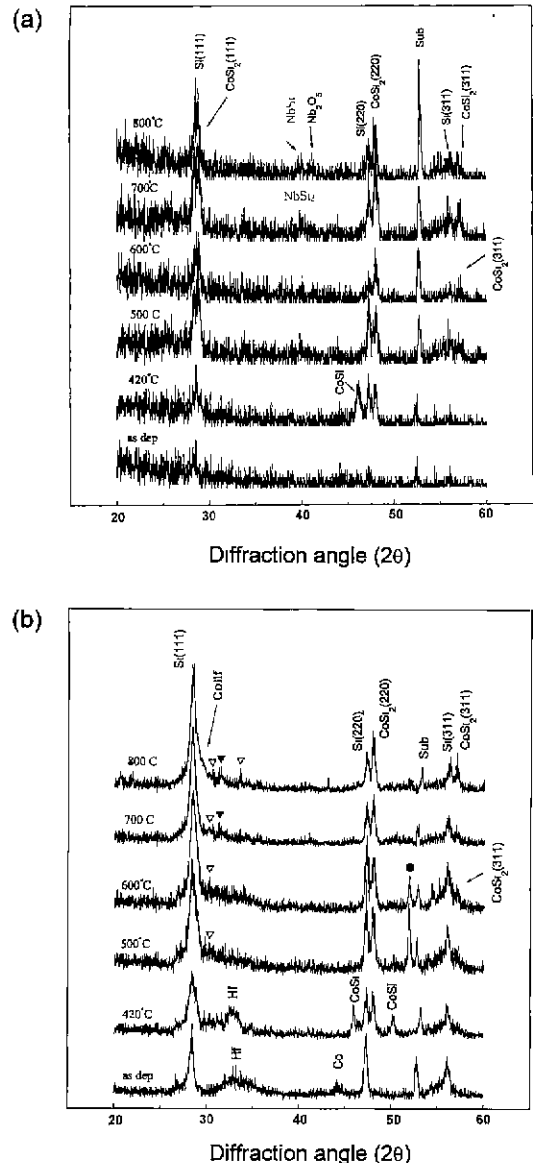
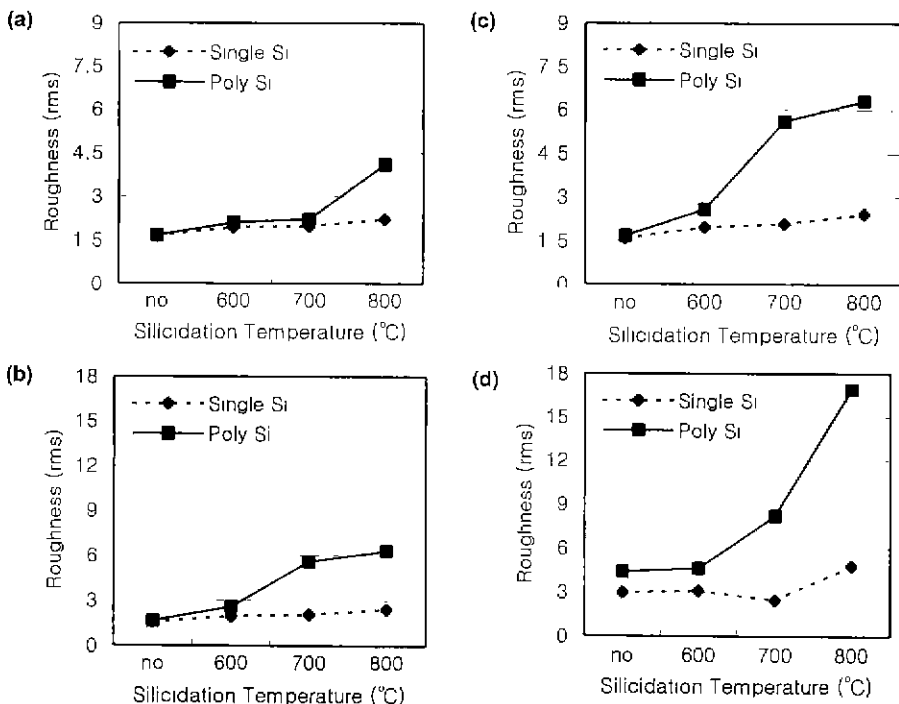


Fig. 2. XRD spectra of the Co/refractory metal bilayer silicide on the polycrystalline Si substrate as a function of RTA annealing temperature for 30 sec.; (a) Co/Nb bilayer system and (b) Co/Hf bilayer system. ( $\nabla$ :  $\text{HfO}_2$ ,  $\blacktriangledown$ :  $\text{HfSi}$ ,  $\bullet$ :  $\beta\text{-Co}_2\text{SiO}_4$ ).

크게 발달하였다. 열처리 온도가 600°C 이상으로 높아짐에 따라 추가적으로 (311) $\text{CoSi}_2$  피크가 확인되었다. 700°C에서 Nb 실리사이드 피크가 나타난 외에 열처리 온도를 더 높여도 XRD 스펙트럼 상에서는 더 이상의 큰 변화는 관찰되지 않았다. 한편, Fig. 2(b)는 Co/Hf의 XRD 스펙트럼으로 전체적인 Co 실리사이드의 상천이



**Fig. 3.** The roughness of Co/refractory metal bilayer on single and polycrystalline Si substrate : (a) surface roughness of Co/Nb bilayer. (b) interface roughness of Co/Nb bilayer and (c) surface roughness of Co/Hf bilayer (d) interface roughness of Co/Hf bilayer.

경향은 (a)에 보인 Co/Nb와 별 차이가 없다. 즉 단결정 기판에서는 500°C에서의 열처리후에도 CoSi 상이 존재 하였지만, 다결정질 기판에서는 420°C 열처리후 관찰되었던 CoSi 상이 500°C에서 모두 사라지고 CoSi<sub>2</sub> 피크 만이 관찰되었다. 이어서 열처리 온도를 더 높임에 따라 Co 실리사이드상 외에 Hf 중간층과 Co 및 Si 들이 서로 반응하여 Co-Si-O나 Co-Hf 등의 여러 화합물들(Co-Hf은 Si(111)과 위치가 겹침)이 형성되기도 하였다. 그런데 이러한 화합물층들은 단결정 기판에서는 Co 실리사이드의 에피택셜 성장에 큰 영향을 미치지만,<sup>12)</sup> 다결정질 기판에서는 seed 층이 없기 때문에 Co 실리사이드의 성장 역시 다결정 상태로 일어난다. 따라서 Fig. 2에서 볼 수 있듯이 중간층의 종류에 관계없이 대부분의 Co 실리사이드화 반응은 600°C 부근에서 완료되는 것으로 생각 된다. 그러나 이렇게 XRD spectrum으로는 600°C 이상에서 더 이상의 변화가 관찰되지 않았으나, Fig. 1을 보면 열처리 온도를 계속 높여 감에 따라 면저항에는 상당한 변화가 있었다. 즉, 600°C에서 가장 낮은 면저항값에 도달한 후 더 높은 온도구간에서 열처리를 진행할 때, 면저항이 일정하게 유지된 단결정 기판의 경우와는 달리 다결정질 실리콘 기판에서는 면저항이 계속 상승한 것을 볼 수 있다. Fig. 2의 XRD 스펙트럼에서는 600°C와

800°C의 결과간에 차이가 거의 없으므로 Fig. 1에서 관찰된 면저항의 상승은 앞서의 XRD와 다음의 AFM 결과로부터 고려할 때 고온에서의 열처리에 의한 실리사이드막 표면 및 기판 계면에서의 morphology 변화 때문으로 생각된다.

Fig. 3은 단결정과 다결정 실리콘 기판 위에 증착시킨 Co/refractory metal 이중층 구조의 열처리 온도변화에 따른 표면 및 계면의 거칠기 변화를 조사한 AFM 결과이다. 여기서 계면의 morphology는 HF 용액을 이용하여 상부층을 충분히 제거한 후 조사하였다 이 그림을 보면, (a)와 (b)에서 보인 Nb의 경우 morphology의 변화추이가 표면과 계면 모두 700°C까지는 기판의 종류에 관계없이 비교적 매끈하게 유지되다가 800°C에서의 열처리 후 계면과 표면의 거칠기가 크게 증가하였다. 그러므로 이러한 morphology 상의 변화가 Fig. 1에 보인 면저항 변화의 원인으로 생각된다. 한편, Hf 중간층의 경우 각 부분에서의 morphology의 변화양상이 약간 다르게 나타났다. 즉, Hf 중간층의 경우 Nb와 달리 그 표면 및 계면의 거칠기가 전반적으로 보다 더 심하며, 특히, 700°C 이상에서 계면부의 거칠기가 크게 증가하기 시작하여 800°C에서는 Co/Nb 이중층에 비해 거의 세 배정도 더 거칠어졌다. 중간층에 따라서 표면과 계면에서의 이러한

거칠기의 차이는 Fig. 1에 보인 것처럼 동일한 열처리 온도에서도 서로 다른 면저항의 분포를 보이게 되며, 특히 800°C 정도의 고온 단계에서는 그 차이가 더욱 두드러지게 된다.

다결정 실리콘 기판을 사용할 경우 고온 열처리 단계에서 morphology의 변화를 일으키는 반응기구로는 크게 두 가지를 생각할 수 있다. LPCVD법에 의하여 다결정 실리콘막을 증착한 후 도펀트(phosphorous)를 도핑하는 과정에서 그 방법에 따라 막구조에 많은 차이가 생기게 된다. 즉, 이온주입에 의하여 도핑하는 경우에는 주입 후에도 증착직후와 마찬가지로 비정질 또는 치밀한 주상정(columnar) 구조를 그대로 유지할 수 있지만,  $\text{POCl}_3$  확산에 의하여 도핑하는 경우에는 고온 확산공정중에 실리콘의 결정성장이 일어나게 된다.<sup>16)</sup> 그러므로 실리콘화 열처리 공정중 주확산 원자인 코발트가 결정성장이 일어난 다결정 실리콘의 결정립계를 따라 우선적으로 확산하여 반응을 일으키거나, 특정 결정면으로 성장이 일어남으로써, 일부 실리콘화층이 기판내로 침입(protrusion)하여 실리콘화/실리콘 기판의 계면이 불균일해지게 되었을 것으로 생각된다. 또한 이런 불균일한 계면은 고온에서 표면에너지를 줄이기 위하여 일어나는 막의 응집(agglomeration)을 더욱 촉진할 수 있다. 그러므로 고온 열처리 단계에서 기판에 따라 이러한 면저항의 차이가 생긴 것은 위와 같은 두 가지 원인에 기인한 것으로 생각된다. 특히, 이러한 경향은 열처리 최종단계에서 실리콘화 막 구조와 gate 전극의 안정성에 많은 영향을 미치게 된다. Sun과 Wong 등<sup>17,18)</sup>은 단결정과 다결정 실리콘 기판 위에 코발트와 티타늄 실리콘화를 형성할 때 후열처리 과정에서 이와 같은 불균일한 반응에 의하여 막의 응집이 일어나고 gate oxide의 안정성이 저해되었다고 보고한 바 있다. 그러므로 실리콘화를 형성한 후 막의 안정성을 조사하기 위한 열처리 공정을 추가로 실시하지는 않았지만, Fig. 1에서 볼 수 있듯이 700°C와 800°C 사이의 온도범위에서 실리콘화 열처리 온도의 증가에 따라 단결정과 다결정 실리콘간 면저항의 차이가 점점 더 커지는 것은 단결정 실리콘에서 보다 결정립계가 존재하는 다결정 실리콘에서 막의 morphology의 변화가 더 심하게 일어나기 때문으로 생각된다.

이러한 고온 열처리구간(500~800°C)에서의 층구조의 변화는 다음의 AES 깊이분포도로부터 알 수 있다. Fig. 4는 다결정질 실리콘 기판 위에 증착한 Co/Hf 이중층 구조의 AES 깊이분포 변화를 보인 것이다. 이 경우 증착 직후에는 차례로 표면으로부터 Co/Hf/다결정질 Si 기판의 구조를 이루고 있으나, 500°C에서 열처리한 후에는 상당량의 코발트와 실리콘이 각각 Hf 중간층을 확산통과

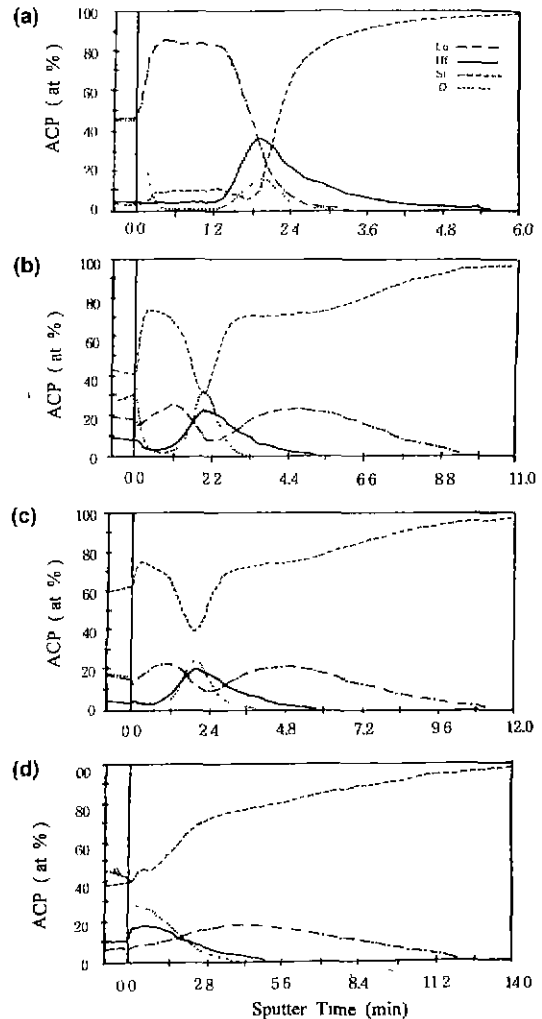


Fig. 4. The AES depth profiles of the Co(150 Å)/Hf(100 Å)/polycrystalline Si sample after RTA annealing for 30 sec; (a) as-deposited, annealed at (b) 500°C, (c) 600°C and (d) 700°C.

하여 각기 실리콘 기판과 표면쪽으로 이동하였다. 500과 600°C에서의 열처리후 Hf 중간층은 Fig. 2의 XRD 스펙트럼으로부터 Hf 산화물과 Co-Hf 등의 화합물층으로 바뀌어 있으며, 그 아래에는  $\text{CoSi}_2$  층이 각각 형성되어 있는 것으로 생각된다. 물론, 단결정 기판에서와는 달리 이 실리콘화층들은 Fig. 2에 나타난 바와 같이 다결정질 상태로 성장한다. 이어서 700°C에서 열처리한 후에는 코발트와 Hf 층간에 위치의 역전이 일어나고 표면에는 Hf 산화물과 실리콘화층이 새로 형성된 것으로 보인다. 반면, Co/Nb 이중층의 경우에는 600°C 부근에서 처음 형성된 Nb 산화물이나 Nb 실리콘화 등으로 이루어진 중

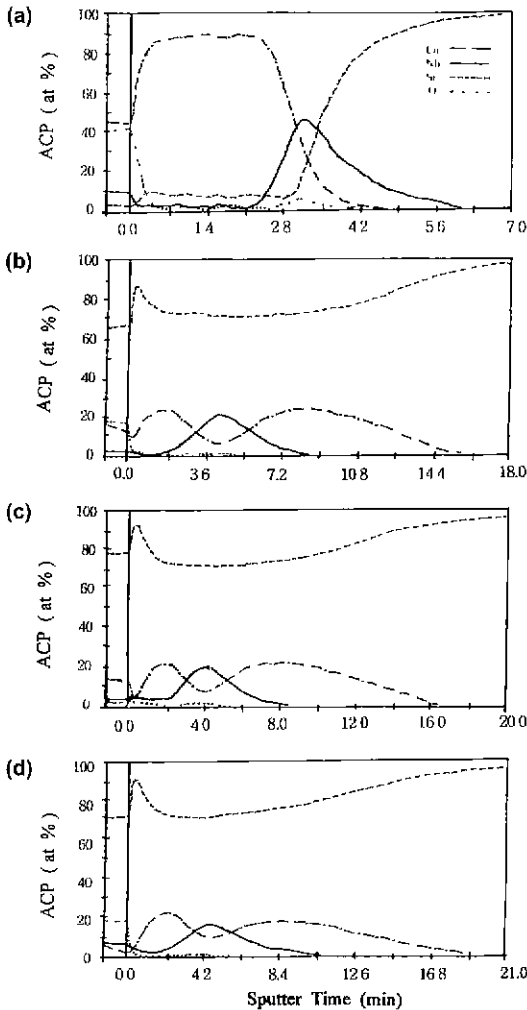


Fig. 5. The AES depth profiles of the Co(150 Å)/Nb(100 Å)/polycrystalline Si sample after RTA annealing for 30 sec ; (a) as-deposited, and annealed at (b) 600°C, (c) 700°C and (d) 800°C.

간층이 Fig. 5에서 볼 수 있듯이 800°C에서의 열처리후에도 완전한 층역전이 일어나지 못하고 여전히 표면과 기판층 사이에 존재하였다. 상대적으로 Co/Nb는 Co/Hf 구조에 비해 구성원소들의 이동이 억제되는 것으로 보여진다.

다결정 기판 위에 증착한 Co/Hf와 Co/Nb 이중층은 단결정 기판의 경우와 유사하게 600°C에서의 열처리후 대부분의 실리사이드화 반응이 완료되어 가장 낮은 면저항 값에 도달한 반면, 이 후 열처리 온도가 증가됨에 따라 오히려 표면과 계면의 morphology가 거칠어지면서 면저항이 상승하는 결과를 얻게 되었다. 한편 단결정 기판 위의 Co/Hf는 600°C에서 가장 우수한 에피택셜 성장

을 얻을 수 있었다.<sup>12)</sup> 그러므로 Co/M 이중층 구조를 셀리사이드 공정에 적용할 경우, 결정구조가 다른 기판 위에 안정적으로 성장시키기 위해서는 적절한 열처리 온도의 선택이 중요하다.

#### 4. 결 론

다결정 실리콘 기판 위에 Co/refractory metal 이중층 막을 증착하고 실리사이드화 열처리하였을 때 일어나는 여러 현상들을 조사한 결과 다음과 같은 결론을 얻었다.

1. 다결정 실리콘 기판 위에 형성한 Co/refractory-metal 이중층 실리사이드의 상천이는 단결정 기판에서의 경우보다 약간씩 더 낮은 온도에서 시작된다. 이러한 경향은 열처리의 초기 단계에서 다결정 실리콘 기판의 결정립계로 인해 실리사이드 핵생성이 촉진되기 때문이다.

2. Co내열금속/다결정 실리콘의 경우가 Co내열금속/단결정 실리콘의 경우보다 실리사이드화 열처리시 표면과 계면의 거칠기가 더 심하다. 이것은 다결정 실리콘막의 결정립계가 원자들의 우선 확산경로 역할을 하여 그 반응이 국부적으로 불균일하게 일어날 뿐만 아니라, 이로 인해 700~800°C의 고온에서 막의 응집이 더 심해지기 때문이다.

3. 중간층 재료에 따라 700°C 이후에 전체적인 층구조가 달라진다. 즉 Nb 중간층의 경우 최종층 구조는 코발트실리사이드/Nb 실리사이드/코발트실리사이드/다결정질 실리콘이며, Hf의 경우에는 Hf화합물층/코발트실리사이드/다결정질실리콘의 구조를 갖는다.

다결정 기판 위에 증착한 Co/Hf와 Co/Nb 이중층은 단결정 기판의 경우와 유사하게 600°C에서의 열처리후 대부분의 실리사이드화 반응이 완료된 반면, 이 후 열처리 온도가 증가됨에 따라 오히려 표면과 계면의 morphology가 거칠어지면서 면저항이 상승하는 결과를 얻게 되었다. 한편 단결정 기판 위의 Co/Hf는 600°C에서 가장 우수한 에피택셜 성장을 얻을 수 있었기 때문에, 단결정 기판에서 코발트 실리사이드를 에피택셜 성장시키고, 다결정 기판에서 일어나는 막질의 저하를 막기 위해서는 600°C에서 열처리를 진행시키는 것이 가장 적당하다.

#### 감사의 글

본 연구는 1998년도 인하대학교 연구비 지원에 의하여 수행되었으므로 이에 감사드립니다.

#### REFERENCES

1. K.K. Ng and W.T. Lynch, "The Impact of Intrinsic

- Series Resistance on MOSFET Scaling," *IEEE Electron Devices*, **ED-34**, 503-511 (1987).
2. J.B. Lasky, J.S. Nakos, O.J. Kain and P.J. Geiss, "Comparison of Transformation to Low-resistivity Phase and Agglomeration of  $TiSi_2$  and  $CoSi_2$ ," *IEEE Trans. Electron Devices*, **38**, 262-269 (1991).
  3. S.J. Hillenius, H.I. Cong, J. Lebowitz, J.M. Andrews, R.L. Field, L. Manchanda, W.S. Lindenberger, D.M. Boulin and W.T. Lynch, Abs. 132, The Electrochem. Soc. Ext. Abs. vol 89-1, p.184 (1989).
  4. M.El-Diwany, J. Borland, J. Chen, S. Hu, P.V. Wijnen, C. Vorst, V. Akylas, M. Brassington and R. Razuok, "An Advanced BiCMOS Process Utilizing Ultra Thin Silicon Epitaxy over Arsenic Buried Layers," *IEDM Tech. Dig.*, p.245-249 (1989).
  5. S. Wolf, Silicon Processing for VLSI Era, vol. 2, p.84-175 Process Integration, Lattice Press, CA, 1990.
  6. L. Van den Hove, R. Wolster, K. Maex, R.F. de Keersmaecker and G.J. Declerck, *IEEE Trans. Electron Devices*, **ED-34**, 554 (1982).
  7. R. Schreutelkamp, B. Deweerdt, R. Verbeeck and K. Maex, *Microelectron. Eng.*, **19**, 665 (1992).
  8. S.Nygren, S.Johansson, "Recrystallization and Grain Growth Phenomena in Polycrystalline  $Si/CoSi_2$  Thin Film Couples," *J. Appl. Phys.* **68**(3), 1050-1058 (1990)
  9. M.L.A. Dass, D.B. Fraser and C.-S. Wei, "Growth of Epitaxial  $CoSi_2$  on (100)Si," *Appl. Phys. Lett.* **58**, 1308-1310 (1991).
  10. S.L Hsia, T.Y. Tan, P. Smith and G.E. Mcguire, "Formation of Epitaxial  $CoSi_2$  Films on (001) Silicon Using Ti-Co Alloy and Bi-metal Source Materials," *J. Appl. Phys.* **70**(12), 7579-7587 (1991).
  11. 변정수, "코발트/내열금속의 이중박막을 이용한 코발트 실리사이드 박막의 형성에 관한 연구," Ph. D. Thesis, 서울대학교 무기재료공학과, 1993.
  12. 권영재, 이종무, 배대록, 강호규, "Co/내열금속/(100)Si 이중층 구조의 실리사이드화," 한국요업학회, **35**(5), 505-511 (1998).
  13. M.-A. Nicolet and S.S. Lau, VLSI Electronics Microstructure Science ; Materials and Process Characterization vol.6, edited by N.G.Einspruch, G.B.Larrabee, pp.330-464, AcademicPress, NY, 1983.
  14. S.P. Muraka and D.B. Fraser, "Thin Film Interaction between Titanium and Polycrystalline Silicon," *J. Appl. Phys.* **51**(1), 342-349 (1979).
  15. S.P. Muraka, C.C. Chang and A.C. Adams, "Stability of Polycrystalline Silicon-on-cobalt Disilicide-silicon Structures," *J. Vac. Sci. Tech.* **B5**(4), 865-869 (1987).
  16. S.P. Muraka and D.S. Williams, "Dopant Redistribution in Silicide-silicon and Silicide-polycrystalline Silicon Bilayered Structures," *J. Vac. Sci. Tech.* **B5**(6), 1674-1688 (1987).
  17. W.-T. Sun, W.-L. Liaw, M.-C. Liaw, K.-C. Hsieh and Charles C.-H. Hsu, *Jpn. J. Appl. Phys.*, "Mechanism of Improved Thermal Stability of Cobalt Silicide Formed on Polysilicon Gate by Nitrogen Implantation," 36. L89-L95 (1997).
  18. C.Y. Wong, L.K. Wang, P.A. McFarland and C.Y. Ting, "Thermal Stability of  $TiSi_2$  on Mono- and Polycrystalline Silicon," *J. Appl. Phys.*, **60**(1), 243-246 (1986)