[논 문] 한국재료학회지
Korean Journal of Materials Research
Vol. 9, No. 2 (1999)

구리 박막의 Reflow 특성에 관한 연구

김 동 원 · 권 인 호
경기대학교 재료공학과

A Study on the Reflow Characteristics of Cu Thin Film

Dong-Won Kim and In-Ho Kweon
Department of Materials Science and Engineering, Kyonggi University, Suwon, Korea, 440-760

(1998년 10월 8일 받음, 1998년 11월 30일 최종수정본 받음)

초 록 1 giga DRAM급 이상의 반도체 소자에서 사용되리라 예상되는 Cu 재료를 hole과 trench 패턴에 금속유기화학증착법으로 증착하고 Cu 박막을 reflow시켜 contact 혹은 L/S 패턴을 매립시켰으며 이에 대한 Cu reflow의 특성을 고찰하였다. 증착된 Cu 박막을 reflow시키면 Cu 박막의 표면과 패턴 내부에서는 Cu의 결정립 성장과 함께 agglomeration현상이 발생하여 패턴 내부가 Cu로 채워졌다. 또한 산소분위기에서 reflow시키면 Cu 박막 표면에 얇은 Cu 산화물 층이 형성되었는데 특히 Cu 입자의 agglomeration에 의해 Cu 박막의 비저항이 높아져 박막의 전기적 성질을 저하시키므로 이에 대한 해결 방법이 함께 연구되었다. 또한 패턴의 크기가 작아질수록 패턴 내부로의 우선적인 reflow현상이 일어나 1 giga급 이상의 초미세 패턴 매립에 매우 유리하였다. 이상의 Cu reflow 특성으로 1 giga급 이상의 초미세 패턴은 Cu로 완전 매립될 수 있었고, 이와 같은 Cu reflow공정은 Cu MOCVD법과 CMP공정과 함께 복합공정을 이루게 되면 1 giga급 이상의 차세대 배선 형성공정에 적용되어 우수한 특성의 배선을 형성할 수 있을 것으로 사료된다.

Abstract Copper film, which is expected to be used as interconnection material for 1 giga DRAM integrated circuits was deposited on hole and trench patterns by Metal Organic Chemical Vapor Deposition(MOCVD) method. After a reflow process, contact and L/S patterns were filled by copper and the characteristics of the Cu reflow process were investigated. When deposited Cu films were reflowed, grain growth and agglomeration of Cu have occurred in surfaces and inner parts of patterns as well as complete filling in patterns. Also Cu thin oxide layers were formed on the surface of Cu films reflowed in O_2 ambient. Agglomeration and oxidation of Cu had bad influence on the electrical properties of Cu films especially, therefore, their removal and prevention were studied simultaneously. As a pattern size is decreased, preferential reflow takes place inside the patterns and this makes advanteges in filling patterns of deep submicron size completely. With Cu reflow process, we could fill the patterns with the size of deep sub-micron and it is expected that Cu reflow process could meet the conditions of excellent interconnection for 1 giga DRAM device when it is combined with Cu MOCVD and CMP process.

1. 서 론

반도체 산업에서 집적회로 제조 기술의 발전은 회로의 동작속도와 집적도를 높이기 위해 소자의 선폭크기를 감소시키는 방향으로 이루어지고 있다. 이러한 경향은 소자 크기가 감소됨에 따른 배선 단면적과 칩 크기의 감소에 따른 배선 길이의 증가와 배선의 캐패시턴스를 최소화하기 위한 배선층의 다층화 등 배선 형성 공정상의 문제점들을 야기하였다. 이러한 배선 형성의 어려움으로 인해 최근에는 배선 공정이 집적회로의 품질, 제조, 재연성, 축소 등에 큰 영향을 미치는 요소가 되었고, 소자의 고집적화, 미세화에 따른 배선 공정의 문제점 해결을 위한 연구가 불가피하게 되었다.[1]

근래까지 배선 재료로는 Al 및 Al 합금들이 비교적 낮은 비저항($2.67\mu\Omega\cdot$cm)과 Si 공정에의 적합성 때문에 많이 사용되어졌다. 하지만 배선폭이 deep sub-micron 범위에 들어서면서 Al 및 Al 합금의 금속 공정은 높아지는 비저항 때문에 동작속도가 감소하고, 낮아지는 EM (Electromigration) 저항성에 의해 배선이 파괴되며, 전기적 수명 및 신뢰성을 떨어뜨리는 문제 등이 발생하여 제품의 품질과 재연성에 나쁜 영향을 미치게 되었다. 이러한 문제점들을 극복하기 위하여 새로운 배선 재료의 선정이 필요하게 되었는데 그 중 Cu는 비저항이 낮고($1.67\mu\Omega\cdot$cm), EM 저항성, SM (Stress Migration) 저항성이 높아 기존의 Al을 배선 재료로 사용할 때에 비해 동작속도가 40%가량 향상될 뿐만 아니라 비용면에서도 30%가량 절감되어 Al의 대체 재료로 가장 유력하다.[2,3] 특히 이와 같은 이유로 최근 외국의 IBM, TI 사등의 유명 반도체 회사들이 Cu 칩의 개발을 서두르고 있어, Cu 배선형성에 관한 연구의 필요성이 급증하고 있는 상황이다.[4] 이러한 Cu를 배선 공정에 적용하기 위해서는 고집적화, 초미세화된 높은 aspect ratio(a/r)의 패턴에서도 conformal하게 증착되는 우수한 step coverage 특성을 가진 박막 증착법과 건식 식각이 어려운 Cu 재

료를 미세 선폭의 배선으로 가공 할 수 있는 패턴 형성 방법이 필요하며, 이와 함께 Cu의 Si 내로의 빠른 확산을 방지하는 확산 방지막의 연구도 함께 이루어져야 한다.[5,6]

Cu 박막 증착법으로는 CVD, PVD, electroless plating, electrolytic, reflow 방법 등이 있다. 현재까지 Al의 증착 방법으로 많이 사용되어 온 PVD법은 공정의 신뢰도 측면이나 비저항 측면에서 유리하고, CVD법은 step coverage나 contact 혹은 via-filling capability 측면에서 유리하다고 할 수 있다. 더군다나 PVD법에서 다층 배선폭이 deep sub-micron 범위에 있고 a/r가 1 : 1 이상이 되는 고집적회로에 반드시 필요한 균일 증착이 되지 않는 것을 감안하면, Cu의 증착 방법으로는 CVD법이 더욱 유리하다고 말할 수 있다. 그리하여 금속 유기 화합물을 사용한 CVD 방법이 90년대 들어 금속유기화합물 전구체의 개발과 함께 연구되어 왔다. 이러한 MOCVD법은 증착된 박막이 순수하고, conformal한 step coverage 특성을 보이며, 비저항이 Cu bulk와 비슷하고, 증착속도가 빠르며 선택적 증착이 가능하다는 등의 장점을 가지고 있다.

한편 Cu는 건식 식각에 의한 패턴 형성이 어려운 재료이다.[7] 식각 후 불순물들이 기판 표면에 존재하여 이들의 제거를 위해서는 기판 온도를 200℃ 이상으로 올려야 하고 그 온도범위는 현재 사용되고 있는 감광막(Photo Resist)을 적용할 수 없는 온도 범위이기 때문이다. 따라서 새로이 연구되고 있는 Cu의 패턴 형성 방법이 Damascene 공정인데, 이는 배선 패턴 모양을 미리 만들고, 그 위에 Cu를 증착한 후 여분의 Cu를 CMP(Chemical Mechanical Polishing)로 평탄화시켜 배선을 완성하는 공정이다. 하지만 배선 폭이 0.4㎛ 이하이고 a/r가 2.5 이상으로 패턴 크기가 작아지면 단순히 CVD 공정만으로는 패턴의 complete filling이 일어나지 못하고 패턴내 void들이 존재하게 된다. 따라서 Cu의 매립을 위한 새로운 기술이 필요하게 되었는데, 이것이 바로 reflow 기술이다. Reflow 기술이란 post deposition 과정인 열처리 공정 중에 변수를 조절하여 Cu를 패턴 내부에 매립하는 기술로 아직 정확한 기구가 규명되어지지는 않았지만, 간단한 공정과 높은 생산 수율로 인해 패턴내의 Cu 매립에 유력시되고 있는 기술이다.[8]

이에 본 연구에서는 MOCVD법으로 증착된 Cu 박막을 reflow시켜 패턴 내부를 매립한 후에 CMP공정으로 여분의 Cu를 제거하는 차세대 Cu 배선 공정을 개발하기 위해 Cu reflow공정의 적용이 가능한지를 알아보고자 한다. 따라서 MOCVD법으로 증착된 Cu 박막을 reflow시켜 reflow 특성을 관찰하고, 그 결과로 reflow공정의 우수한 매립 특성을 확인하여 차세대 반도체 소자, 즉 1 giga DRAM급 이상의 소자에서 Cu 배선을 형성함에 있어서 Cu 매립 기술인 reflow 공정의 우수성을 밝히고자 한다.

2. 실 험 방 법

Cu 박막의 post-deposited 공정인 reflow 공정을 행하기 위하여 먼저 Si wafer위에 CVD 방법으로 SiO_2를 증착하고 사진 식각 공정(photo-lithography)으로 다양한 aspect ratio(a/r)의 hole 및 line & space(L/S) 패턴들을 형성하였다. 그 위에 sputtering 방법을 사용하여 glue layer 역할을 하는 Ti를 500Å의 두께로, 확산 방지막인 TiN을 1500Å 두께로 증착하였다. 이렇게 증착된 TiN/Ti/SiO_2/Si 웨이퍼 위에 MOCVD용 Cu 금속유기화합물 전구체인 (hfac)Cu (VTMS)를 사용한 MOCVD 법으로 증착온도 180℃, 증착압력은 0.5 torr.로 유지하면서 1500Å, 3000Å의 두께로 Cu 박막을 형성하였다. 그 후에 웨이퍼를 진공 열처리로에 넣고 reflow를 시켰다. 이 때의 reflow 온도는 350~550℃로 변화시켰고, reflow를 O_2 분위기와 H_2-O_2-H_2 분위기에서 행하였다. 진공도는 분위기 가스에 따라 10^{-1}~10^{-3} torr 범위에서, 승온속도는 8℃/min.으로 유지하면서 reflow를 진행시켰다. Reflow를 위한 승온 과정 전에 N_2 가스로 15분간 purging을 하였고, reflow 온도에 도달하게 되면 그 온도에서 30분간 온도를 유지하였다.

이러한 reflow 공정 후에 Cu 박막 특성을 관찰하였다. Cu 박막 표면의 미세 형상과 L/S 및 hole 패턴의 단면을 관찰하기 위하여 주사전자현미경(SEM : Scanning Electron Microscope)을 이용하였고, 결정립 크기 측정과 미세구조는 투과전자현미경(TEM : Transmission Electron Microscopy)을 사용하여 관찰하였으며 또한 Linear four point probe를 사용하여 reflow 전후의 Cu 박막의 전기비저항 변화를 측정하였다. 증착된 Cu 박막의 화학성분과 산화막 존재여부를 알아보기 위하여 XPS(X-ray Photoelectron Spectroscope) 분석을 하였다. XPS분석에서는 Cu와 O의 결합상태를 조사하여 Cu 산화막의 형성 여부를 알기 위하여 산소분위기에서 reflow된 시편들의 Cu 2p peak을 Ar 이온의 식각시간에 따라 narrow scanning하여 관찰하였다.

3. 결과 및 고찰

Cu를 배선재료로 사용하여 배선을 형성하는 증착방법에는 evaporation, sputtering, electroless plating, reflow 공정, CVD 방법 등이 있다. 기존에 배선재료로 사용되던 Al 및 Al 합금은 주로 sputtering법에 의해 증착되어 왔는데, 이 증착방법으로는 선폭크기가 sub-micron이하이고 aspect ratio(a/r)가 1 이상으로 커지는 초미세 패턴에서 패턴 내부를 완전히 매립하여 배선을 형성하기 어렵다. 이는 패턴 상부와 하부 및 측면에서의 증착속도 차이에 의한 것으로, 그 결과 패턴 내부에 void가 형성되어 패턴의 완전한 매립이 어렵게 되는 것이다. 따라서 이러한 sputtering법의 한계를 극복하기 위해 보다 진보된 sputtering 기술이 연구되었는데, 그 중 대표적인 방법이 collimated sputtering과 LTLPS(Long Throw Low Pressure Sputtering) 방법이다.[9,10] Collimated sputtering 방법은 양 전극 사이에 collimator를 위치시킴으로써 sputter된 입자의 직진성을 높이는 방법이고, LTLPS방법은 target과 substrate 사이의 거리(TS거리)를 길게 하고 공정압력을 낮게 해서 sputtered 입자의 직진성을 높여 기존의 sputtering증착법의 문제점을 해결하고자 한 증착방법이다. 하지만 이러한 개선에도 불구하고 step coverage 특성면에서 CVD

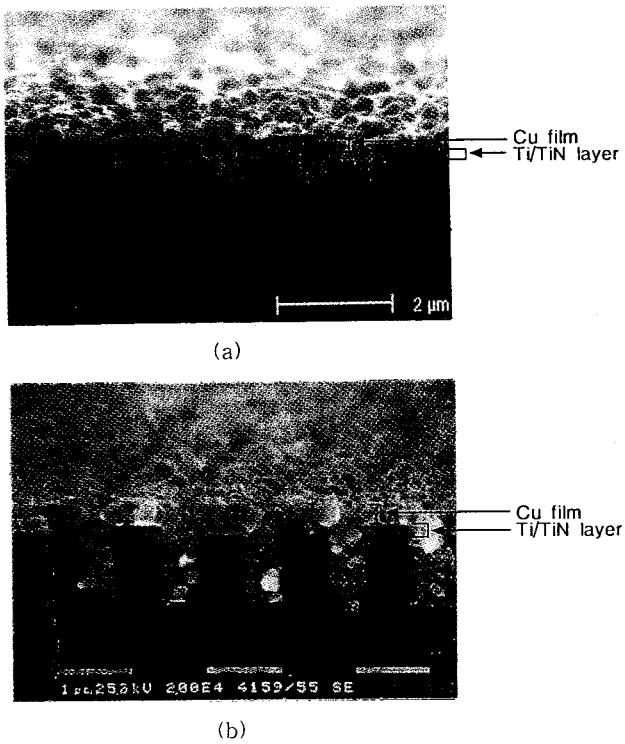


Fig. 1. Cross-sectional view of Cu film deposited by MOCVD.

방법은 물리적 증착방법인 PVD법에 비해 미세패턴에서 step coverage 특성이 우수한 것으로 알려져 있다.[11] 특히, 최근들어 금속 유기화합물 전구체의 개발에 힘입어 이들 전구체를 사용한 CVD 방법으로 저온의 진공분위기에서 Cu를 증착할 수 있게 되었는데, 이러한 Cu MOCVD 공정은 다른 Cu 증착방법들에 비해 Cu 박막의 비저항이 낮고 미세구조적 특성이 우수하며, 우수한 step coverage 특성을 나타낸다. 또한 Cu 금속유기화합물 전구체를 사용하기 때문에 낮은 온도에서도 균일한 박막의 증착이 가능하여 최근 Cu MOCVD 공정에 의한 Cu 증착에 대한 연구와 적용이 활발히 이루어지고 있다.[12]

반도체 소자가 고집적화, 초미세화되어 배선의 폭과 패턴의 크기가 점차 감소함에 따라 Cu 박막의 step coverage가 배선형성공정과 배선의 특성에 중요한 영향을 미치게 되었다. 그림 1에 MOCVD법으로 증착된 Cu 박막의 step coverage 특성을 보이고 있다. 그림 1의 (a)그림은 배선폭 0.67㎛, aspect ratio 1.3인 Line & Space(L/S) pattern의 절단면을 SEM으로 촬영한 사진이고, 그림 1의 (b)그림은 배선폭 0.4㎛, aspect ratio 2.8인 L/S pattern의 절단면을 SEM으로 촬영한 사진이다. 그림에서 보는 바와 같이 pattern의 크기가 배선폭 0.67㎛이고 aspect ratio가 1.3으로 비교적 큰 시편에서는 MOCVD증착법의 우수한 step coverage 특성만으로도 패턴 내부가 Cu로 채워지는 것을 알 수가 있다. 하지만 (b) 그림에서와 같이 패턴크기가 배선폭 0.4㎛, a/r 2.8로 작아지면 패턴 내부에 Cu가 균일하게 증착되지 못하여 채워지지 못하고 형성되는 void를 관찰할 수 있었다. 따라서 패턴의 크기가 감소되어 작아지면 패턴내의 불완전한 매립이 발생하며 이러한 Cu MOCVD증착법의 step coverage 특성에 의한 Cu 배선 형성공정에 있어서의 패턴 크기 제한은 deep sub-micron 이하 크기의 pattern 매립에 의한 배선 형성 공정에서 반드시 극복되어야 할 문제이며, 이를 위해 증착공정상의 개선뿐만 이 아니라 Cu 박막의 패턴 형성방법에서의 새로운 공정과 기술개발이 이루어져야 한다.

Cu 박막이 배선재료로 사용될 경우 금속 배선을 가공할 수 있는 Cu의 패턴 형성기술은 크게 두가지로 나뉘어지는데, 건식 식각(Dry Etching)을 이용한 RIE(Reactive Ion Etching) 법과 Damascene 공정이다. RIE법은 Cu 박막을 증착한 후에 활성화된 기체 분자들에 의해 건식 식각을 하여 원하는 모양의 패턴을 형성하는 방법이다.[13] 그러나 식각 후 형성된 화합물들이 낮은 증기압을 가지기 때문에 Cu 표면상에서 제거가 어렵고 이 화합물들을 제거하기 위해서 200℃ 이상으로 온도를 올리게 되면 이는 감광막(Photo Resist)의 적용범위인 150℃의 온도를 넘어서 감광막의 물성이 변형되어 정확한 치수제어가 어려울 뿐만 아니라 감광막이 타버리는 등의 문제가 발생하여 감광막의 적용에 문제가 생기게 된다. Cu 박막의 패턴 형성방법 중 두번째는 Damascene공정으로 배선 패턴을 먼저 가공하고 Cu 박막을 증착하여 매립시킨 다음 표면에 남는 여분의 Cu 층을 CMP공정으로 제거하는 방법이다.[14] 이 공정에서 Cu 박막의 증착법으로 step coverage 특성이 우수한 MOCVD 법을 사용하였으나, 그림 1에서 보는 바와 같이 패턴 크기가 배선폭 0.4㎛, a/r 2.5로 작아지게 되면 패턴 내부에 void가 형성되어 전기적 신뢰성 저하를 야기시키게 된다. 따라서 이와 같은 Damascene공정상의 미세 패턴의 완전한 매립을 위해 Cu reflow 공정의 연구가 필요하게 되었다. 그림 2에 MOCVD증착법으로 증착된 Cu 박막의 as-deposited 상태와 reflow 공정 후의 패턴 사진을 나타내었는데, (a)와 (b) 사진 모두 배선폭이 0.3㎛, a/r 3인 L/S 패턴이다. (a)사진은 reflow를 시키지 않은 as-deposited 상

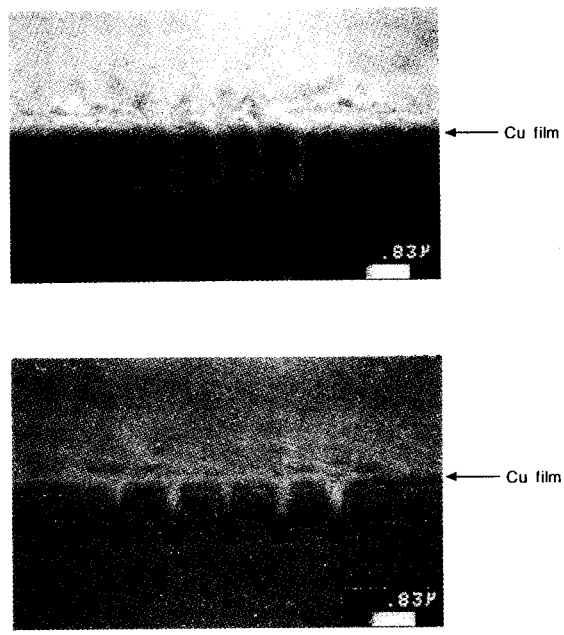


Fig. 2. Cross-sectional views of Cu films (width : 0.3㎛, a/r : 3) : (a) as-deposited, (b) after reflow.

태의 패턴 단면사진으로 패턴 크기가 작아 MOCVD법으로 패턴 내부가 완전히 매립되지 않고 내부에 void가 존재함을 볼 수 있다. (b) 사진은 Cu 박막 증착 후 reflow를 시킨 다음에 관찰한 패턴의 단면사진이며, 열처리 분위기에서 패턴 내부가 Cu로 완전히 메워졌음을 알 수 있다. 이와 같은 Cu reflow 기술은 Cu의 패턴 형성방법으로 Damascene 공정을 사용할 때 문제가 되는 패턴의 불완전한 매립 문제를 해결할 수 있는 기술로 여겨지며 이러한 Cu reflow기술을 이용하여 1 giga급 이상의 차세대 배선 형성 공정 개발이 가능하게 되었다. 그림 3에 새로운 배선형성공정으로 제안되고 있는 Cu reflow에 의한 Cu 박막의 패턴 형성공정을 간단히 보여주고 있다.[15] (a) 그림은 차세대 반도체 소자에서 사용이 가능한 contact hole의 단면도이다. 배선폭 0.15~0.25㎛, a/r 4~5 정도의 크기를 가진 (a) 그림의 패턴에 MOCVD법으로 Cu를 매립하면 (b) 에서와 같이 패턴 내부에 void를 포함하는 불완전한 매립현상을 볼 수 있다. 이러한 MOCVD법의 한계를 극복하기 위해 Cu reflow공정에 의해 Cu 박막을 reflow시키면 패턴은 (c) 그림과 같이 패턴내에 형성되었던 void가 Cu 박막들에 의해 완전히 메워지고 표면에 여분의 Cu층이 존재하게 된다. 그 후에 CMP공정을 적용하여 그림 (d) 와 같이 Cu 박막을 평탄화시키는 동시에 표면 산화층을 제거시키게 되면 Cu에 의한 배선 형성이 완료되는 것이다. 한편 위의 공정에 사용될 수 있는 reflow기술에는 XeCl laser를 이용한 reflow, 초고진공 또는 대기압에서 열에너지에 의한 reflow 등이 보고되고 있으나 자세한 mechanism 및 공정조건이 밝혀져 있지 않다.[16,17] 반면에 본 reflow기술은 단순한 열처리에 의한 Cu 매립기술로 공정이 간단하고, 생산수율이 높아 다른 reflow기술에 비해 Cu 매립에 의한 배선형성 공정에 유리하다.[8]

이와 같이 공정상의 장점을 가지는 Cu reflow공정의 특성을 알아보기 위하여 550℃ 이내의 열처리온도에서 산소를

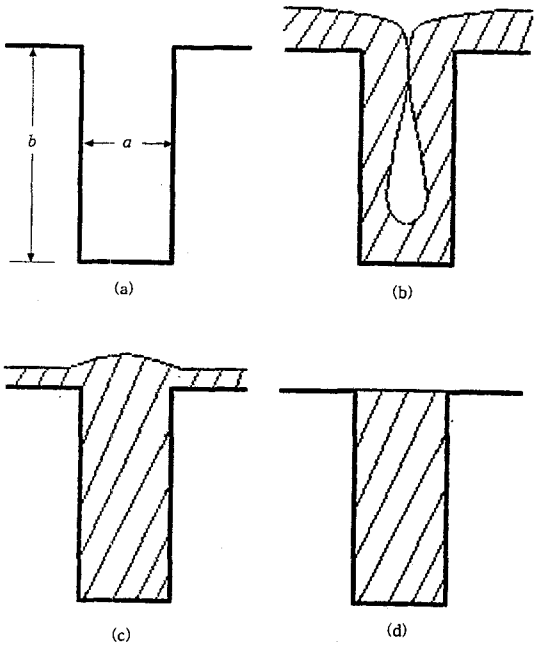


Fig. 3. The schematic cross-sectional views of Cu films : (a) the contact hole for 1 Giga DRAM interconnection metallization (*a* : width 0.15~0.25㎛, *b*/*a* : aspect ratio 4~5), (b) after Cu MOCVD deposition, (c) after reflow, (d) after CMP.

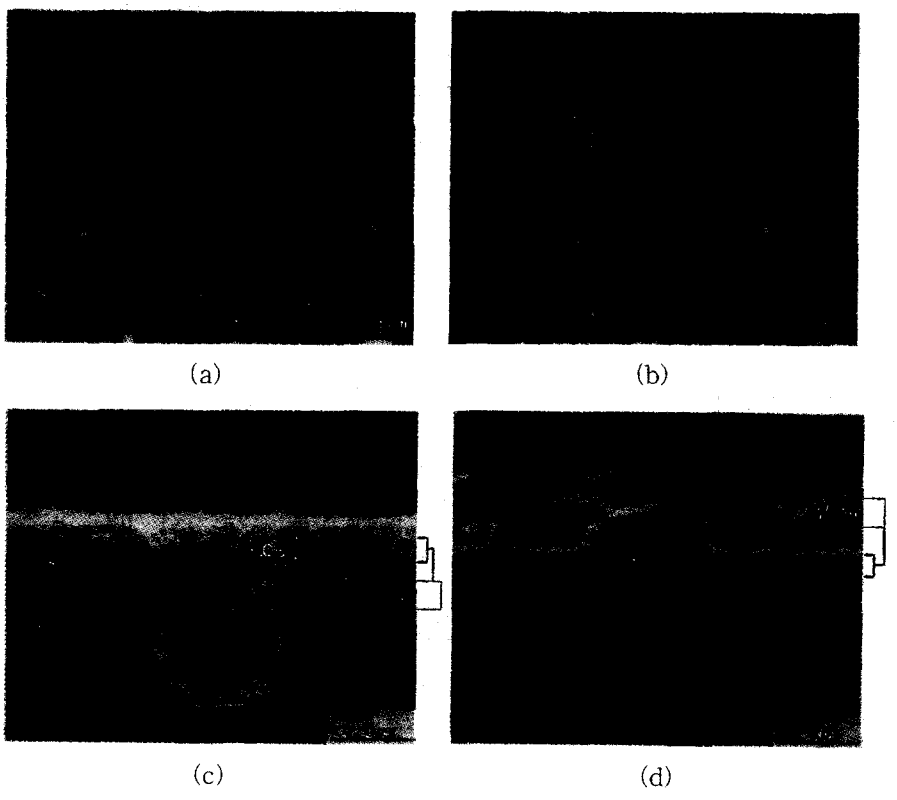


Fig. 4. SEM photographs of the surfaces and hole patterns : (a) as-deposited, (b) after reflow, (c) as-deposited, (d) after reflow.

분위기 가스로 사용하여 reflow를 시킨 후에 as-deposited의 미세구조 상태와 비교를 하였다. 그림 4에 표면과 contact hole에서의 reflow 현상을 주사전자현미경 사진으로 나타내었다. (a), (b)사진은 Cu 박막의 표면 사진으로 as-deposited 상태와 reflow 후의 표면에서의 변화를 비교할 수 있다. 표면에서의 형상을 관찰한 결과, reflow 후에는 Cu 입자들이 뭉쳐 응집물을 만드는 것을 볼 수 있었다. 이러한 응집현상은 본 Cu reflow의 공정특성상 중요한 것으로, pattern 내부 매립에 응집현상이 미치는 영향을 살펴보기 위해서 그림 4의 (c)사진과 같이 균일하게 Cu 박막이 증착된 contact hole을 reflow시켜 보았다. 그 결과 그림 4의 (d)사진과 같이 패턴 내부가 완전히 매립되었는데, 이는 패턴 내부주위의 박막 두께가 충분할 때 표면에서와 같이 Cu 입자의 agglomeration이 발생하여 패턴을 채우기 때문이다. 이러한 Cu 입자들의 agglomeration 현상은 reflow공정 중의 산화반응에 의해 얇은 Cu 산화물들이 박막 표면에서 생성되어 표면에너지차 및 열적에너지에 의해 Cu 원자의 이동이 촉진되는 abnormal grain growth가 발생하기 때문에 생기는 현상이다. 따라서 Cu의 grain growth는 Cu의 agglomeration현상과 함께 나타나게 되며, 이러한 결정립 크기의 증가를 확인하기 위하여 reflow 전후의 Cu 박막 표면을 투과전자현미경으로 관찰하여 그림 5에 나타내었다. 그림 5의 (a), (b) 모두 4000Å의 박막 두께를 가지고 있는데, (a)는 as-deposited 상태이고 (b)는 산소분위기에서 reflow시킨 후의 박막 사진이다. (a)사진에서 관찰할 수 있는 결정립들의 평균 크기는 약 240nm정도이지만 450℃에서 reflow를 한 (b)사진에서의 평균 결정립 크기는 약 880nm로 reflow를 한 후에 결정립 크기가 약 3.5배 정도 증가한 것을 알 수 있다. 이렇듯 결정립 크기가 증가하는 것은 위에 언급했듯이 Cu 박막 표면에서의 Cu 산화물의 생성에 의한 표면에너지 차이 및 열적에너지에 의해 발생하는 abnormal grain growth때문이며 Cu 박막의 결정립 증가는 배선층의 비저항 감소 및 확산 방지막의 특성개선을 위해 바람직한 현상으로 여겨진다. Cu 박막에서 reflow중에 발생하는 또 다른 현상으로는 preferrential reflow 현상을 들 수 있다. Contact hole이나 via hole을 Cu가 우선적으로 채우는 이 현상은 그림 6의 사진에서 확인할 수 있다. (a)는 O_2 분위기에서 (b)는 H_2-O_2-H_2 분위기에서 reflow시킨 Cu 박막의 표면 주사전자현미경 사진인데, 사진의 가운데를 기준으로 왼쪽은 hole들이 규칙적으로 배열되어 패턴이 되어 있는 반면 오른쪽은 hole들이 존재하지 않는 부분이다. (a)사진에서와 같이 완전히 산소분위기에서 reflow를 한 경우와 (b)사진에서와 같이 산소를 흘리는 전후에 수소를 흘려주어 reflow를 한 경우 모두 왼쪽 부분의 hole이 규칙적으로 배열되어 있는 부분에서는 오른쪽의 hole들이 존재하지 않는 부분에 비해 Cu의 매립에 의한 Cu 응집물들이 규칙적으로 배열되어 있음을 확인할 수 있었다. 따라서 hole이 존재하는 부분에서는 Cu가 우선적으로 hole들을 매립한다는 것을 알 수 있는데 이러한 우선적인 reflow는 전체적인 표면에너지 및 위치에너지를 낮추려는 구동력에 의해 Cu의 이동이 진행되어 생기는 현상으로 볼 수 있으며, 그로 인해 contact hole이나 via hole을 우선적으로 매립시킬 수 있고 a/r가 커져서 표면에너지 및 위치에너지의 차이가 커질수록 구동력이 커지기 때문에 Cu 박막이 hole내부로 연속적으로 증착이 되어 있기만 하다면 reflow에 의한 완전한 매립이 가능하여 차세대의 초미세화된 1 giga급 이상의 소자의 배선공정에 적합하리라고 여겨진다. 하지만 reflow공정 중에 형성되는 Cu agglomerate들은 표면상의 거칠기를 증가시키고, 그에 따라 배선 연결이 불량해져 전기 비저항이 급격히 증가하는 등의 단점을 가지고 있어 이에 대한 방지가 필요하다. 이러한 현상의 방지를 위해 내부에너지가 높고 wetting특성이 좋은 barrier layer를 적절히 선택하여 사용함으로써 agglomeration 정도를 낮추고, 평탄화를 위해 CMP공정을 사용하는 등의 방법이 고려되어지고 있다.

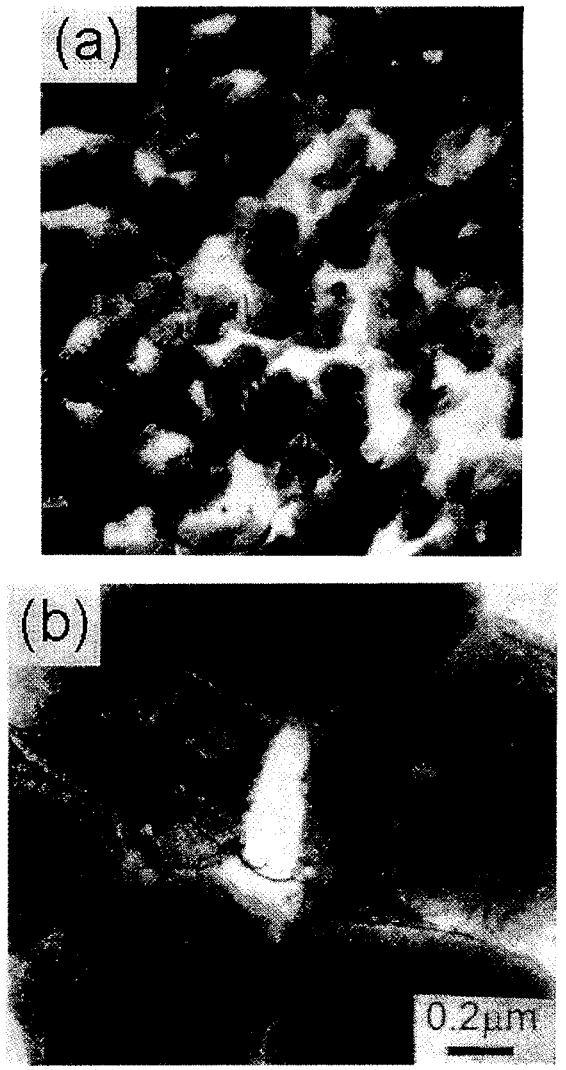


Fig. 5. Plan view TEM photographs of Cu films : (a) as-deposited, (b) after reflow.

위와 같은 Cu reflow의 미세구조적인 특성 외에 고려해야 할 또 다른 특성은 Cu 표면층의 산화막 형성에 따른 것이다. 이와 같은 Cu 박막 표면의 산화막 형성은 본 Cu reflow공정이 산소분위기에서 행해지기 때문에 reflow공정 중에 발생하는 불가피한 현상으로 이때 발생하는 CuO와

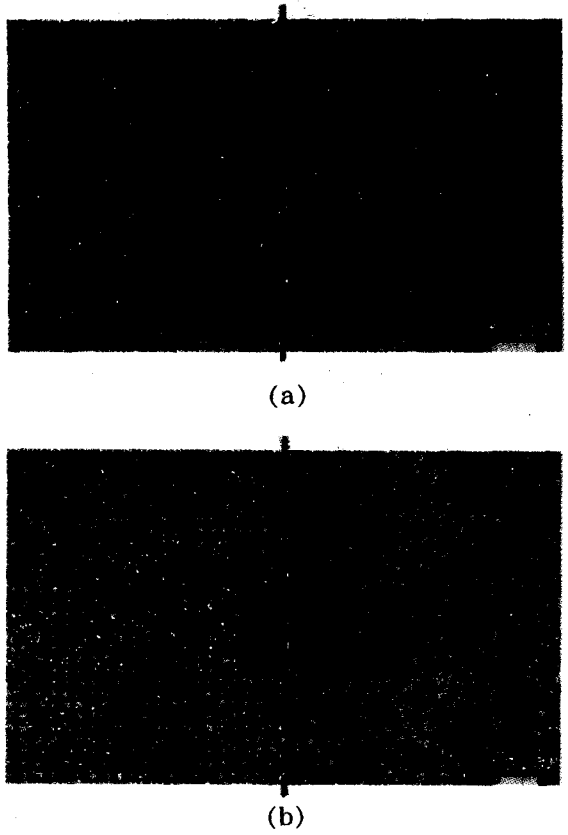


Fig. 6. Preferred hole filling characteristics of Cu reflow : (a) after reflow in O_2 ambient, (b) after reflow in H_2-O_2-H_2 ambient.

Cu_2O의 구리 산화물들은 Cu 입자들의 agglomeration을 야기시켜 이로 인한 배선 연결상태를 불량하게 하여 박막의 전기적 특성을 열화시키므로 그 형성을 방지 또는 억제하여야 한다. 그림 7에 산소분위기에서 550℃로 reflow시킨 Cu 박막의 Cu 2p peak을 XPS로 분석한 결과를 나타내었다. Ar이온으로 0, 9, 21, 30분동안 sputtering하여 식각한 결과를 (a)~(d)에 나타내었다. Ar 이온식각을 전혀 하지 않은 (a)그림에서는 Cu_2O와 CuO의 산화물 peak외에 이들의 satellite peak가 나타나 Cu 박막 표면에 Cu 산화물들이 존재하고 있음을 알 수 있다. 하지만 sputter 식각시간을 증가시켜 (b), (c), (d)로 갈수록 이러한 Cu 산화물의 peak은 사라져서 식각시간을 30분으로 한 (d)의 그림에는 순수한 metallic Cu peak인 $2p_{3/2}$, $2p_{1/2}$ peak만이 나타나게 된다. 이러한 분석 결과들로 reflow공정중에 산소의 박막 내 침투깊이를 측정하여 산화막의 두께를 예측할 수 있는데, Ar 이온의 sputter rate인 3~10Å/min.을 고려하면 산소가 존재하는 산화층의 최대 깊이는 300Å이내가 된다. 따라서 산소분위기에서의 reflow공정에서 300Å 두께 이하의 Cu 박막의 표면만 산화되어 산화층을 형성한다고 볼 수 있다.[8] Contact 또는 via hole에서 이러한 Cu 박막 표면에서의 산화층은 CMP공정의 적용으로 제거가 가능하고, reflow전후에 약간의 수소를 흘려줌으로써 Cu 산화물을 환원시켜 산화물 형성에 따른 문제점들을 해결할 수가 있다.[12] 실제로 이러한 실험결과를 그림 8의 XPS 분석 결과로 보여주고 있는데, 사진 (a)는 산소분위기에서 reflow된 Cu 박막의 분석결과이고, (b)는 수소가

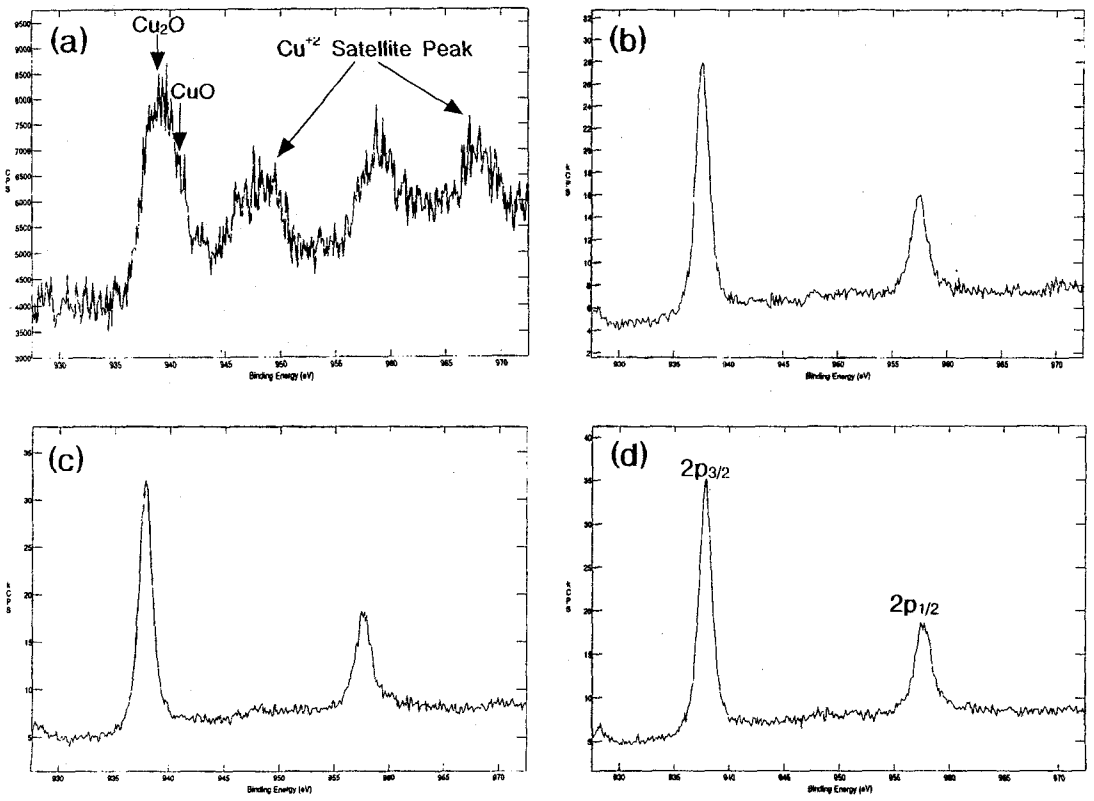
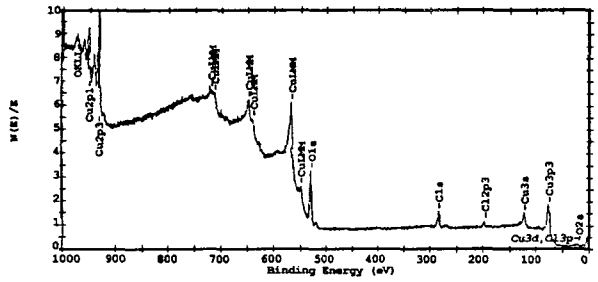
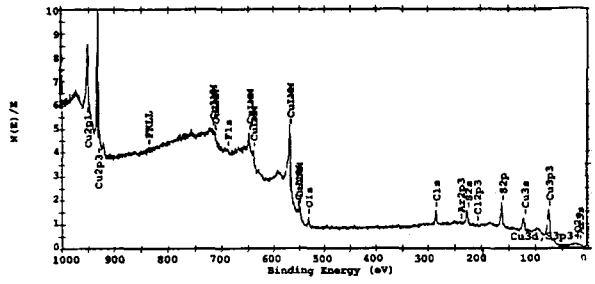


Fig. 7. XPS spectra of Cu 2p at various etch time : (a) as-received, (b) 9 min. etch, (c) 21min. etch, (d) 30min. etch.



(a)



(b)

Fig. 8. XPS spectra of the Cu films reflowed in : (a) O_2 ambient, (b) H_2-O_2-H_2 ambient.

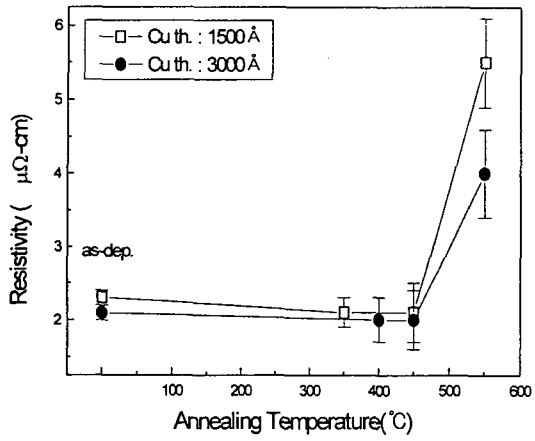
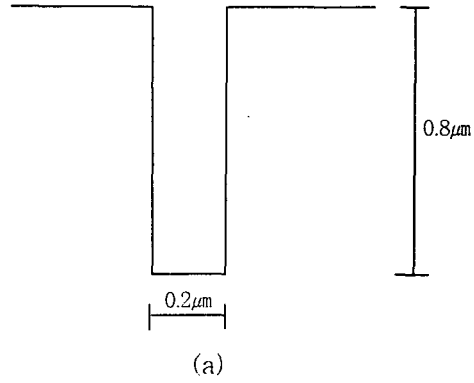


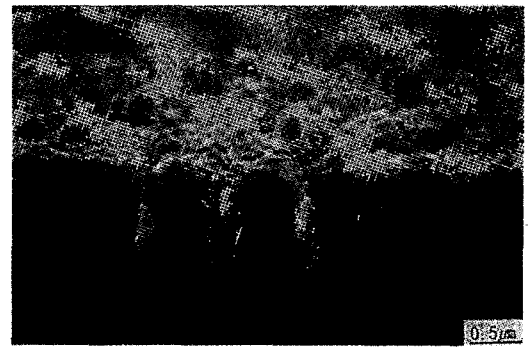
Fig. 9. Resistivity changes of the Cu films as a function of annealing temperature (-□- : 1500Å, -●- : 3000Å).

스를 산소가스를 흘리는 전후에 흘려주면서 reflow한 Cu 박막의 분석 결과이다. 그림에서 보는 바와 같이 (a)그림의 532 eV정도에서 나타나는 산소 peak에 비해 수소를 첨가하여 reflow를 시킨 (b)그림에서는 산소 peak가 급격히 감소되어 수소가스의 첨가가 Cu 산화막 형성에 따른 문제점들을 해결할 수 있다는 것을 알 수 있었다.[12] 이러한 결과는 첨가되어진 수소가스가 산소 분위기에서 reflow될 때 형성되는 Cu 산화물들을 환원시켜 주기 때문인 것으로 여겨진다. 이와 같은 수소가스의 환원효과는 Cu 산화물들을 환원시켜 순수한 Cu 박막의 형성을 가능하게 하여 전기비저항 감소, 순수한 Cu 박막의 형성 등 박막성질의 향상을 가지고 오리라 예상된다.

그림 9에 reflow온도에 따른 전기비저항의 변화를 나타내었는데 두께 1500Å, 3000Å의 Cu 박막을 reflow하여 전기비저항을 측정한 결과 전 온도범위에서 박막두께에 상관없이 비저항 변화가 유사함을 알 수 있었다. Reflow온도가 450℃이하의 범위에서는 비저항 값이 낮은 반면에 450℃이상부터는 비저항 값이 급격히 증가하였다. 위와 같은 특성은 Cu 박막의 불순물에 의한 효과보다는 Cu 박막의 미세구조에 기인한 것으로 450℃까지는 Cu 박막의 열처리 효과에 의해 grain growth현상이 일어나 비저항 값이 감소되었고, 450℃이상의 온도에서의 급격한 비저항 증가는 Cu 박막의 agglomeration에 의해 Cu 박막의 연결상태가 불량해지는 표면 거칠기효과에 의한 것으로 생각된다. 이러한 Cu 박막의 연결상태 불량에 의한 비저항의 증가는 reflow공정을 사용하여 패턴 내부를 Cu 박막으로 매립한 후에 CMP공정으로 박막 표면을 평탄화시키면 표면의 산화막 제거와 함께 비저항을 낮은 상태로 유지할 수 있어 해결이 가능할 것으로 여겨진다.



(a)



(b)

(c)

Fig. 10. Complete filling characteristics of Cu reflow for 1 giga DRAM pattern (width : 0.2μm, a/r=4).

그림 10에 reflow공정을 실제 1 giga급 배선의 패턴에 적용시켜 본 결과를 나타내었다. (a)에는 배선폭이 0.2㎛, a/r가 4인 초미세화된 L/S 패턴의 단면을 보이고 있고, (b)와 (c)에서는 이러한 패턴을 reflow시켰을때 패턴 내부가 Cu에 의해 완전히 매립되어짐을 보이고 있다. 이와같이 1 giga급 배선의 패턴을 완전히 매립시킬 수 있는 것은 앞에서 말한 바와 같이 본 reflow기술의 장점인 패턴 크기가 작아질수록 위치에너지와 표면에너지의 차가 커져 우선적인 reflow가 발생하기 쉽기 때문이다. 이러한 reflow공정의 complete filling특성은 차세대 배선공정에서 MOCVD증착법과 패턴 형성공정이 해결하지 못하는 패턴의 매립문제를 해결하여 줄 것으로 생각되며, 따라서 본 Cu reflow공정은 초미세화된 1 giga급 차세대 Cu 배선의 contact 또는 via hole을 매립할 수 있는 매우 적합한 공정이라고 할 수 있다.

이상의 결과에서, 본 reflow공정중의 산화반응에 의한 산화막 형성은 수소의 첨가에 의한 환원작용 및 CMP공정으로, Cu 입자의 agglomeration에 의한 표면 거칠기현상은 적절한 barrier layer선택과 CMP공정의 적용으로 개선이 가능하며, Cu박막을 reflow시킨 후 contact 및 via hole을 매립한 후 CMP공정에 의해 평탄화가 이루어진다면 동작속도 및 전기적 이동현상등의 전기적 성질 등이 우수한 차세대 1 giga급 이상의 소자에서의 배선을 형성할 수 있으리라고 생각된다.

4. 결 론

차세대 1 giga급 이상의 반도체 소자에서 배선재료로 유망한 Cu재료를 hole 및 L/S 패턴 내부에 MOCVD방법으로 증착한 후 열처리 과정을 통하여 Cu reflow 현상의 발생을 확인할 수 있었다. 반도체 소자의 크기가 배선폭 0.4㎛이하, a/r 2.5 이상으로 점차 미세화되면 MOCVD 증착법으로는 void의 형성과 함께 패턴의 내부가 불완전하게 매립되었으나 이를 열처리 분위기 하에서 reflow시키면 패턴 내부가 Cu 박막에 의해 완전히 채워졌다. 이 때 Cu 박막의 표면에서는 Cu 원자들의 abnormal grain growth에 의한 Cu 입자들의 agglomeration 현상이 일어나며 Cu 패턴 내부에서는 표면에너지와 위치에너지 차이에 의한 우선적인 reflow가 발생하여 패턴 내부가 완전히 채워지게 되는 것이다. 이러한 Cu 입자의 agglomeration 현상은 산소분위기 하에서의 reflow 공정중에 형성되는 Cu 산화물의 형성과 열처리 온도의 증가에 의해 촉진되며, 그로 인해 전기 비저항의 급격한 증가 등의 전기적 성질의 열화를 초래하므로 적절한 diffusion barrier layer의 선택과 reflow공정 후의 CMP 공정의 적용으로 해결할 수 있다. 또한 Cu reflow공정중에 Cu 박막 표면에 형성되는 CuO, Cu_2O의 Cu 산화물은 XPS분석 결과 표면으로부터 약 300Å두께 정도로 존재하는 것을 알 수 있었는데 이 Cu 산화물들은 reflow공정 중에 H_2 가스를 첨가하여 그 환원효과를 이용하여 상당량 제거할 수 있었다. 또한 표면의 Cu 산화층은 reflow 후속공정인 CMP공정으로 제거할 수 있어 본 reflow공정 중에 발생되는 agglomeration이나 표면 산화물의 문제를 해결할 수 있으리라 예상된다.

이상과 같은 본 Cu reflow공정은 간단한 열처리에 의해 진행되고 공정 자체가 단순하여 높은 생산 수율과 재연성을 나타내며 단순히 증착방법만으로는 패턴 내부를 채울수 없는 미세 패턴을 완전하게 매립하여 다층구조화 되는 반도체 소자의 배선으로 사용할 수 있도록 하는 매립기술로, 이렇게 우수한 Cu reflow의 매립특성은 패턴의 크기가 deep sub-micron 이하로 되는 차세대 반도체 소자, 즉 1 giga DRAM급 이상의 소자에서 Cu MOCVD, CMP공정과 함께 복합된 배선형성 공정을 이루어 동작속도가 빠르고 재연성이 우수한 차세대 배선을 형성하는데 적합하다.

감사의 글

본 연구는 서울대학교 반도체공동연구소의 교육부 반도체분야 학술연구조성비(과제번호 : ISRC 97-E-1031)에 의해 수행되었습니다.

참 고 문 헌

1. T. Kikkawa, *Advanced Metallization for ULSI Application* eds. D.P. Favreau, and Y. Horiike, **3** (1993)
2. H. Okabayashi, Mater. Sci. & Eng., R11, **191** (1993)
3. M.B. Bakoglu, IEEE. Trans., Electron Devices, **ED-32**, 903 (1985)
4. Semiconductor international, **21** (1), 29 (1998)
5. S.K. Rha, W.J. Lee, D.W. Kim, et al., Thin Solid Films, to be published
6. S.K. Rha, W.J. Lee, D.W. Kim, et al., J. Mater. Res., **12**, 3367 (1997)
7. G.C. Schwartz and P. M. Schiable, J. Electrochem. Soc. **130**, 1777 (1983)
8. D.W. Kim, K.J. Kim, I.H. Kweon, S.Y. Lee, S.K. Rha, C.O. Park, J. Kor. Vac. Soc., **3** (6), 206 (1997)
9. J.J. Hsieh and R.V. Joshi, *Advanced Metallization for ULSI Applications* in 1993, **207** (1993)
10. N. Motegi, Y. Kashimoto, K. Nagatani, T. Koudo, Y. Mizusawa, and I. Nakayama, J. Vac. Sci. Technol., **B13** (4), 1906 (1995)
11. D.W. Kim, et al., J. Mater. Sci. Mater. El., **7**, 111 (1996)
12. 김동원, 한국재료학회지, **10**, 884 (1997)
13. D.S. Gardner, J. Onuki, K. Kudoo, Y. Misawa and Q.T. Vu, Thin Solid Films, **262**, 104 (1995)
14. C. Kaanta, S.G. Bombardier, et al., Proc. VMIC Conf., **144** (1991)
15. 김동원 외 1명, 대한민국 특허출원번호 제 98-78814호
16. S.Q. Wang and E. Ong, Proc. VMIC Conf., **431** (1990)
17. D.S. Gardner and D.B. Fraser, Proc. VMIC Conf., **287** (1995)