[논 문] 한국재료학회지
Korean Journal of Materials Research
Vol. 9, No. 2 (1999)

BF_2가 고농도로 이온주입된 p^+-Si 영역상에 Co/Ti 이중막 실리사이드의 형성

장 지 근 · 신 철 상
단국대학교 공학대학 전자공학과

Co/Ti Bilayer Silicidation on the p^+-Si Region Implanted with High Dose of BF_2

Gee-Keun Chang and Chul-Sang Shin
Dept. of Electronic Engineering, Semiconductor Lab., Dankook University, Cheonan 330-714

(1998년 11월 11일 받음, 1998년 12월 14일 최종수정본 받음)

초 록 보론이 고농도 도핑된 p^+-Si 영역상에 비저항이 낮고 열적 안정성이 우수한 Co/Ti 이중막 실리사이드의 형성을 연구하였다. 본 연구에서 Co/Ti 이중막 실리사이드는 청결한 p^+-Si 기판상에 Co(150Å)/Ti(50Å) 박막을 E-beam 기술로 진공증착하고 질소분위기(10^{-1}atm)에서 2단계 RTA 공정(1차열처리 : 650℃/20sec, 2차열처리 : 800℃/20sec)을 수행하여 제작된다. 실험에서 얻어진 Co/Ti 이중막 실리사이드는 약 500Å의 균일한 두께를 갖고 18$\mu\Omega$-cm의 낮은 비저항 특성을 나타내었으며, 1000℃에 이르기까지 장시간 후속 열처리를 실시하여도 면저항 변화나 열응집 현상이 발생되지 않았다.

Abstract We have studied the formation of Co/Ti bilayer silicide with low resistivity and good thermal stability on the heavily boron doped p^+-Si region. In this paper, Co/Ti bilayer silicides were fabricated by depositing Co(150Å)/Ti (50Å) films on the clean p^+-Si substrates in an E-beam evaporator and performing the two step RTA process (first annealing : 650℃/20sec, second annealing : 800℃/20sec) in a N_2 ambient with the pressure of 10^{-1}atm. Co/Ti bilayer silicides obtained from our experiments exhibited the low resistivity of about 18$\mu\Omega$-cm and the uniform thickness of about 500Å without change of sheet resistance and agglomeration under the long post-annealing time up to 1000℃.

1. 서 론

submicron 스케일의 MOS 소자를 제작하기 위해서는 낮은 면저항을 갖는 얕은 접합의 source/drain이 실현되어야 하고 이를 위해 실리사이드 접합기술이 모색되고 있다.[1,2] 실리사이드 재료로는 현재 $TiSi_2$가 일반적으로 VLSI 기술에 이용되고 있는데 $TiSi_2$는 다른 실리사이드에 비해 재료의 낮은 비저항, Si과 양호한 오옴성 접촉등의 장점을 가지나 고온에서 열적 불안정성과 Si내의 도펀트와 화합물(예로 ; TiB_2, TiAs)을 형성하여 doped Si의 degradation를 유발하는 문제점을 안고 있다.[3,4] 따라서 이러한 문제점을 해결하기 위해 최근에는 $TiSi_2$의 대체물질로 Co나 Co/Ti 이중막으로부터 $CoSi_2$를 형성하고 이를 통해 salicide 기술이나 SADS(silicide as diffusion source)방법으로 source/drain 접합을 실현하려는 계획이 시도되고 있다.[5,6] $TiSi_2$에 비해 $CoSi_2$는 Si과 같은 입방(cubic)구조이며 Si과의 격자 부정합이 1.2%밖에 되지 않아 에피텍시 성장이 가능하며, 비저항이 낮고 금속-도펀트 화합물 형성에 대한 안정성이 높아 극저접합 형성을 위한 미래의 실리사이드로 가장 주목을 받는 재료이다. 그러나 단일 Co 박막에 의한 $CoSi_2$의 직접 형성은 Si의 과다소모와 함께 실리사이드 박막의 열적 불안정, Si-silicide 계면의 거칠음 등으로 인해 VLSI 소자 제작기술에 활용이 매우 어렵다. 반면, Co/Ti 이중막을 이용한 silicidation은 Co-Ti 금속간에 막의 역전을 이용하는데, Co는 Ti-실리사이드의 형성 온도보다도 낮은 온도에서 Ti과 혼합되어 Si과 반응함으로 Ti-실리사이드는 형성되지 않고 박막의 바깥쪽에는 Ti-rich상태의 Co-Ti-Si 고용체가 남게된다. 이러한 원자의 이동과정에서 산소와 친화력이 큰 Ti 금속은 Si 표면의 자연산화막을 환원시켜 깨끗한 Si-silicide 계면상태를 만들어 줌으로 Si(100) 기판위에 형성되는 Co/Ti 이중막 실리사이드는 $CoSi_2$(200) 결정상으로 에피 성장된다고 알려져 있다.[7,8] 그러나 Si 표면상에 $CoSi_2$ 이중막 실리사이드를 형성할 때 Si 영역의 도핑효과는 아직까지 연구 보고된 바 없으며, 지금까지 발표된 Co/Ti 이중막을 이용한 $CoSi_2$의 형성 연구는 대부분 lightly doped Si 기판($\rho \fallingdotseq 1 \sim 10\Omega$-cm) 위에서 이루어졌다.[9,10] 실제로, 저저항 source/drain 접합을 형성하기 위한 salicie 기술은 heavily doped Si 영역에서 처리되며 p^+ 또는 n^+ 영역 위에 Co/Ti 이중막 실리사이드의 형성은 lightly doped Si 영역에서의 경우와 그 공정기술 및 막 특성이 달라질 수 있다.

이에 따라, 본 논문에서는 salicide 방식에 의한 저저항 source/drain 접합형성이 차세대 집적회로 소자 개발에 요소기술임을 인식하고 n-well p^+-source/drain 구조상에 Co/Ti 이중막 실리사이드의 형성연구와 막 특성을 조사하였다.

2. 실 험 방 법

비저항이 약 10Ω-cm 인 p type Si(100) 웨이퍼상에 n-well($N_d \fallingdotseq 5\times10^{17}cm^{-3}$)을 형성하고 n-well에 BF_2를 $5\times10^{14}cm^{-3}$의 dose로 이온주입(energy : 30KeV, pad oxide : 100Å, tilt angle : 7°)하였다. 다음으로 이온주입에 의한 기판손상의 회복과 도펀트의 활성화를 위해 800℃의 고온로에서 N_2 분위기(flow rate : 2ℓ/min)로 30분간 preannealing을 실시한 후 실리사이드가 형성되는 영역의 산화막을 BOE 용액으로 제거하였다.

이후, 약 10^{-6}Torr의 진공도를 갖는 E-beam evaporation 장치에서 Co(150Å)/Ti(50Å) 이중막을 증착시켰으며 증착된 금속 박막으로부터 실리사이드를 형성하기 위하여 RTA 장치(N_2 ambient : 10^{-1}atm)에서 급속 열처리를 실시하였다. silicidation 공정후 반응되지 않은 Ti와 Co를 <$NH_4OH : H_2O_2 : H_2O = 1 : 1 : 5$>와 <$HCL : H_2O_2 = 3 : 1$>의 용액으로 제거하였으며, 형성된 Co/Ti 이중막 실리사이드에 대한 열적 불안정성을 알아보기 위하여 고온로(N_2 flow rate : 2ℓ/min)에서 후속열처리를 실시하였다.

3. 결과 및 고찰

그림 1은 n-well에 BF_2를 이온 주입하고 preannealing을 실시한 결과의 보론 도핑 분포이다. 실험에서 4-탐침법으로 측정된 p^+-영역의 면저항은 약 240Ω/□로 나타났으며 $5\times10^{17}cm^{-3}$의 n-well의 농도에서 접합깊이는 약 0.13㎛로 나타났다. 이러한 p^+-shallow region은 최신 CMOS VLSI 기술에서 전형적으로 찾아볼 수 있는 p-MOSFET의 source/drain 접합 구조이다.

그림 2는 시편상의 Co/Ti 이중막을 RTA 장치에서 550℃~800℃의 온도범위로 20초간 급속 열처리 했을 때 나타나는 실리사이드 박막의 면저항 변화이다.

Co/Ti 이중막 실리사이드의 면저항 변화는 약 650℃의 RTA 온도를 기준하여 높은 면저항 영역과 낮은 면저항 영역으로 뚜렷이 구분되는데, 이는 silicidation 온도에 따라 Si 계면위에 형성되는 Co-실리사이드 박막의 결정상 차이

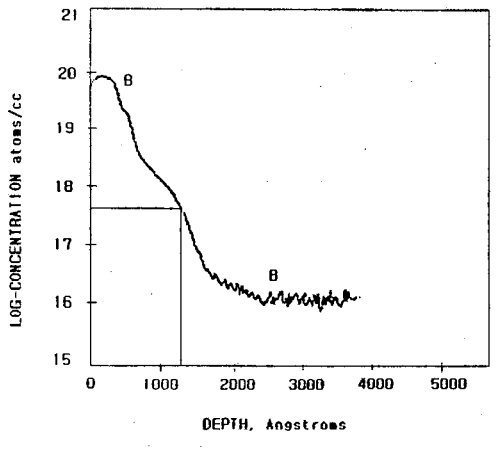


Fig. 1. Boron depth profile of the n-well region by BF_2 ion implantation.

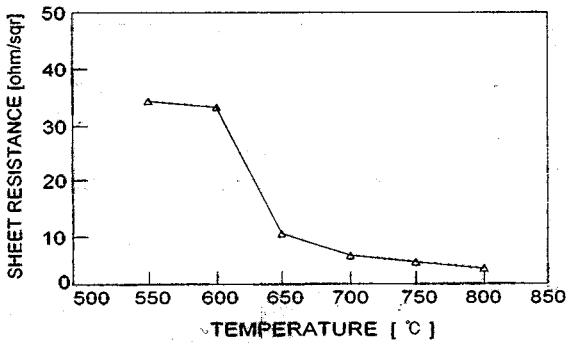


Fig. 2. Sheet resistances of the Co/Ti bilayer silicides as a function of RTA temperature.

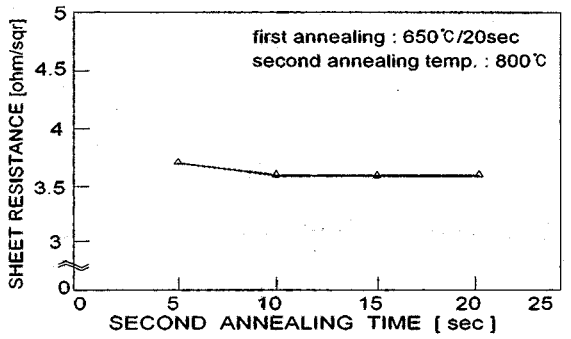


Fig. 3. Sheet resistances of the Co/Ti bilayer silicides as a function of second annealing time in the two step RTA process.

에서 비롯된다.

실험 결과로부터, 낮은 비저항의 Co/Ti 이중막 실리사이드를 얻기 위해서는 고온 silicidation 공정이 필요함을 알 수 있으나 고온에서 직접 열처리 방식은 Co와 Ti 간의 막 역전이 이루어지기 전에 Ti금속이 Si과 반응할 가능성이 존재한다. 따라서, 본 실험에서는 면저항이 변화되는 임계온도(650℃)에서 1차 열처리를 실시하고 800℃의 고온에서 2차 열처리를 실시하는 2단계 RTA 방식을 통해 낮은 비저항의 안정된 $CoSi_2$막을 얻고자 하였다. 그림 3은 Co/Ti 이중막을 650℃에서 20초동안 1차 열처리를 실시한 후 800℃에서 5~20초간 2차 열처리를 실시했을 때 나타나는 실리사이드의 면저항 분포이다.

2단계 RTA 방식으로 제작된 Co/Ti 이중막 실리사이드의 면저항값은 2차 열처리 시간에 빠른 응답을 갖고 약 3.6Ω/□로 일정하게 유지되고 있으며 800℃의 직접 열처리 방식에서 얻어지는 면저항값과 유사하게 나타남을 살펴볼 수 있다. 그림 4에서는 2단계 RTA 방식(1차 열처리 : 650℃/20sec, 2차 열처리 : 800℃/20sec)으로 제작된 Co/Ti 이중막 실리사이드의 열적 불안정성을 알아보기 위해 고온로(T=850~1000℃)에서 5~60분간 후속 열처리를 실시한 시편의 면저항 변화를 나타내었다.

Ti 및 단일 Co로부터 얻어지는 실리사이드 박막들은 900℃ 이상으로 고온 열처리될 경우 일반적으로 열적 응집현상에 의해 면저항이 증가하는 것으로 알려져 있다.[11,12] 그러나, 본 실험에서의 Co/Ti 이중막 실리사이드는 1000℃에 이르기까지 후속 열처리 시간에 따른 면저항의 변화

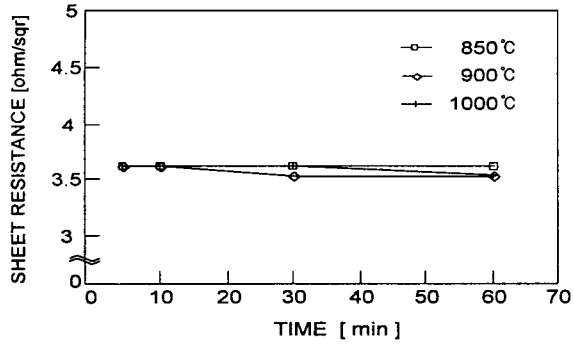


Fig. 4. Sheet resistance variation of the Co/Ti bilayer silicide according to post-annealing processes.

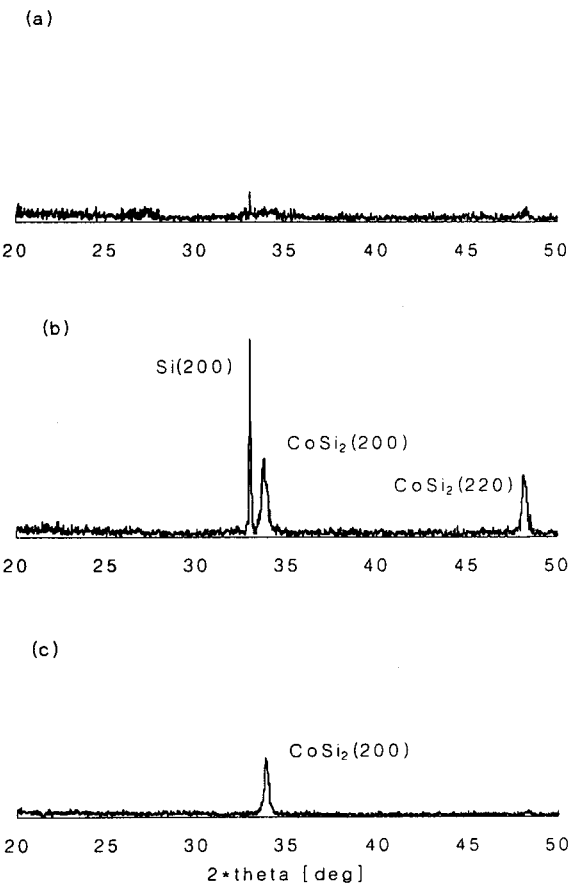


Fig. 5. XRD patterns of the Co/Ti bilayer silicides according to annealing temperatures in the direct RTA process. (a) 600℃, (b) 650℃, (c) 700℃.

가 거의 나타나지 않았다. 이러한 Co/Ti 이중막 실리사이드의 높은 열적 안정성은 실리사이드 박막의 에피성장과 밀접한 관계가 있는 것으로 판단된다. 그림 5는 Co(150Å)/Ti(50Å) 이중막을 600℃, 650℃ 및 700℃에서 20초간 직접 급속열처리한 시편의 X-선 회절 곡선이다.

직접 열처리 방식으로 얻어진 실리사이드 박막의 결정상을 살펴보면, 600℃에서 열처리된 시편의 경우 $CoSi_2$(200)상이 얻어지지 않으며 650℃에서 열처리된 시편의 경우 $CoSi_2$(200)상과 $CoSi_2$(220)상이 혼재되어 나타난다. 직접 열처리방식으로 $CoSi_2$(200)의 배향성장을 통해 Si 기

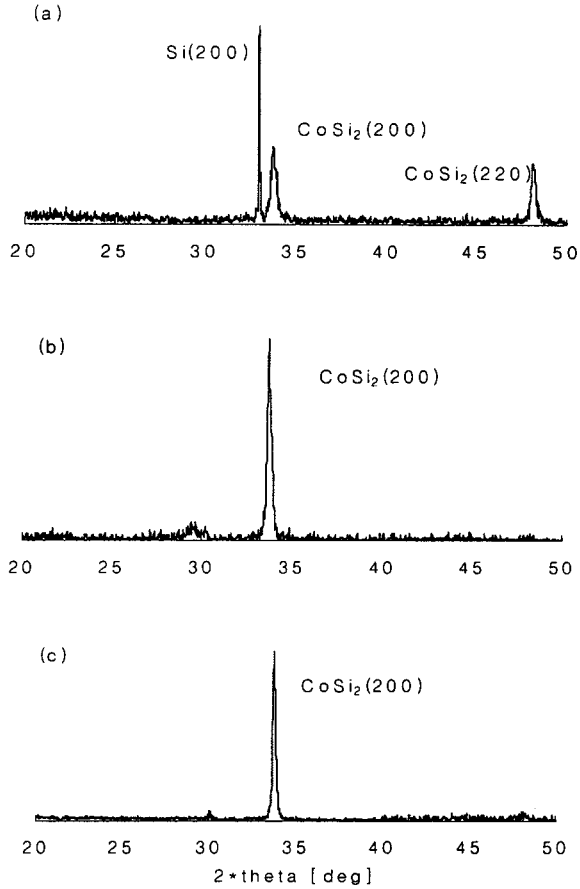


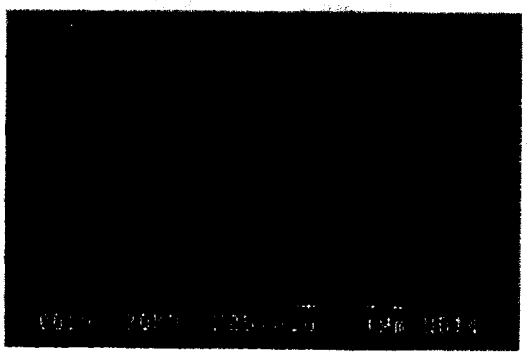
Fig. 6. XRD patterns of the Co/Ti bilayer silicides obtained by the two step RTA process(first annealing : 650℃/20sec, second annealing : 800℃/20sec). (a) after first annealing. (b) after second annealing. (c) after performing the post-annealing at 850℃ for 30min in a furnace.

판상에 에피성장된 Co/Ti 이중막 실리사이드를 얻기 위해서는 700℃ 이상의 고온 RTA 공정이 필요함을 실험결과 알 수 있었다. 그림 6은 2단계 RTA방식(1차 열처리 : 650℃/20sec, 2차 열처리 : 800℃/20sec)으로 제작되는 Co/Ti 이중막 실리사이드의 공정 단계별 XRD 회절곡선이다.

그림 6을 살펴보면, $CoSi_2$(200) 결정상이 형성되기 시작하는 650℃에서 1차 열처리를 실시한 후 800℃에서 2차 열처리를 실시하여도 거의 100%에 가까운 (200) 배향도의 $CoSi_2$ 결정박막이 성공적으로 얻어짐을 알 수 있다. 또한 Co/Ti 이중막 실리사이드는 850℃에서 30분간 후속 열처리를 실시하여도 결정상의 변화가 없이 높은 열적 안정성을 나타내고 있다.

그림 7은 2단계 RTA방식으로 제작된 Co/Ti 이중막 실리사이드의 (a) as-formed 시편과 (b) 이를 다시 850℃의 고온로에서 30분간 후속 열처리를 실시한 시편의 SEM 표면사진을 보여주고 있다. SEM 사진으로부터 후속 열처리된 시편의 표면형상은 as-formed 시편의 경우와 차이를 거의 구분할 수 없을 정도로 매끈하게 나타나고 있는데 이는 Co/Ti 이중막 실리사이드의 높은 열적 안정성에 따른

(a)



(b)

Fig. 7. SEM surfacial micrographs of the Co/Ti bilayer silicides obtained by the two step RTA process. (a) as-formed silicide. (b) after performing the post-annealing at 850℃ for 30min.

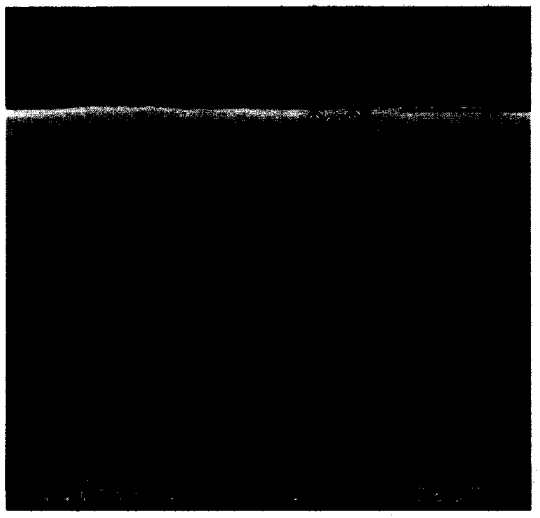


Fig. 8. SEM cross-sectional micrographs of the as-formed silicide obtained by the two step RTA process.

no agglomeration 현상을 설명하고 있다.

그림 8은 2단계 RTA 방식으로 제작된 as-formed 실리사이드의 SEM 단면사진이다. 그림 8의 SEM 단면사진으로 부터 as-formed silicide의 막두께는 약 500Å으로 나타나고 있음을 살펴볼 수 있다. 본 실험에서 실리사이드의 면저항이 3.6Ω/□ 임을 고려할 때 Co/Ti 이중막 실리사이드의 비저항은 약 18$\mu\Omega$-cm로 나타난다. 이는 $CoSi_2$의 단일 벌크재에서 보고되는 비저항값과 동일하게 나타나고

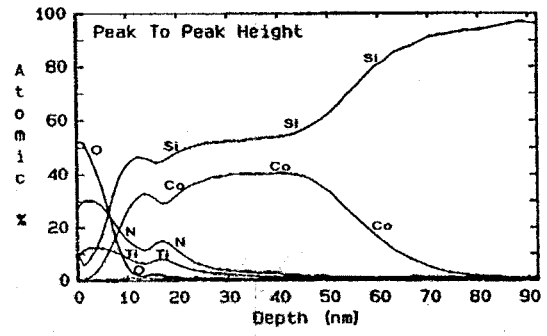


Fig. 9. AES depth profile of the Co/Ti bilayer silicide.

있으며 보론이 고농도로 도핑된 Si 영역위에서도 에피성장된 낮은 비저항의 $CoSi_2$(200)막을 성공적으로 얻을 수 있음을 보여주고 있다.

그림 9는 Co/Ti 이중막 실리사이드를 AES 분석한 결과이며, 이 그림에서 Co/Ti bilayer silicide/Si 구조는 표면으로부터 Si-Co-Ti 고용체 성분과 O-N 성분이 함께 존재하는 표면층(0~200Å 구간)과 Si-Co 성분만이 존재하는 중간층(200~500Å 구간) 그리고 Si 기판의 내층으로 형성되어 있음을 볼 수 있다. 기판과 경계를 이루는 중간층은 Si과 Co 성분만이 존재하고 이들의 조성비가 위치에 따라 거의 일정하게 나타남으로 순수한 $CoSi_2$층으로 판단된다.

본 실험의 결과는 Co/Ti 이중막 진공증착과 2단계 RTA 공정을 통해 보론이 고농도로 도핑된 Si 영역상에 낮은 비저항과 높은 열적 안정성을 갖는 에피성장된 $CoSi_2$(200)막을 성공적으로 제작할 수 있음을 보여주고 있다.

4. 결 론

n-well에 BF_2가 $5\times10^{14}cm^{-2}$의 dose로 이온주입된 p^+-Si 영역상에 비저항이 낮고 열적 안정성이 우수한 Co/Ti 이중막 실리사이드를 형성하는 연구를 실시하였다. E-beam 기술로 진공증착된 Co(150Å)/Ti(50Å) 이중막을 RTA 방식으로 silicidation 할 때, 안정된 $CoSi_2$ 결정상은 약 650℃의 열처리 온도에서 나타나기 시작하였으며 $CoSi_2$막을 (200)방향으로 완전히 배향시키기 위해서는 700℃ 이상의 고온 열처리 공정이 필요함을 알 수 있었다. 이에 따라 본 연구에서는 고온 직접 열처리 방식에서 발생할 수 있는 Ti과 Si의 반응 및 thermal stress에 의한 계면 결함 등을 방지하기 위해 2단계 열처리 방식(1차 열처리 : 650℃/20sec, 2차 열처리 : 800℃/20sec)을 채택하여 Si 기판에 에피성장된 Co/Ti 이중막 실리사이드를 형성하였다.

실험에서 2단계 열처리 방식으로 형성된 Co/Ti 이중막 실리사이드는 약 500Å의 균일한 막 두께를 갖고 18$\mu\Omega$-cm의 낮은 비저항 특성을 나타내었으며 1000℃에 이르기까지 고온에서 장시간 후속 열처리를 실시하여도 열응집 현상이나 면저항의 변화가 발생되지 않았다. 본 연구에서의 Co/Ti 이중막 실리사이드 형성기술은 차세대 집적회로소자 제작을 위한 저저항 극저접합 source/drain 형성에 매우 유용하게 활용될 수 있을 것으로 사료된다.

감사의 글

본 연구는 단국대학교 대학 연구비 지원에 의하여 수행되었으며 이에 감사를 드립니다.

참 고 문 헌

1. S. Wolf, Slicon Processing for the VLSI Era, V. 2-Process Integration(Lattice Press), 154~ 160 (1990)
2. S. P. Murarka, Silicides for VLSI Applications (New York, Academic Press), 164~171 (1983)
3. D.C. Chen, T.R. Cass, J.E. Turner, P. Merchant, and K.Y. Chiu, IEDM Tech. Dig., 411 (1983)
4. C.Y. Ting, F.M. d'Heurle, S.S. lyer, and P.M. Fryer, J. Electrochem. Soc.: Solid-State Science and Technology, **133**(12), 2621 (1986)
5. A.E. Morgan, E.K. Broadbeut, M. Delfino, B. Coulman, and D.K. Sadana, J. Electrochem. Soc., **134**, 925 (1987)
6. C.M. Osburn, J. Electron. Materials, **19**(1), 67~ 88 (1990)
7. M. Lawrence, A. Dass, D.B. Fraser, and C.S. Wei, Appl. Phys. Lett., **58**, 1308 (1991)
8. S.L. Hsia, and T.Y. Tan, J. Appl. Phys., **70**, 7579 (1991)
9. J.Y. Kim, K.S. Bae, Y.B. Park, and Y.S. Cho, Korean Journal of Materials Research, **4**(1), 81~89 (1994)
10. G.K. Chang, W.Y. Ohm, H,J. Chang, S.S. Hong, and J.T. Song, Korean Journal of Materials Research, **6** (7), 692~699 (1996)
11. S.L. Hsia, T.Y. Tan, P. Smith, and G.E. McGuire, J. Appl. Phys., **72**(5). 1864 (1992)
12. G.K. Chang, W.Y. Ohm, C.S. Shin, and H.J. Chang, J. of the Korea Institute of Telematics and Electronics, **33-A** (11), 105~111 (1996)