

절연체(CeO₂/Si)위에 성장된 실리콘 박막의 특성 연구

양지훈 · 문병식 · 김관표 · 김종걸 · 정동근 · 노용한* · 박종윤

성균관대학교 물리학과, *성균관대학교 전자공학과
(1999년 2월 24일 접수)

Epitaxial growth of silicon thin films on insulating (CeO₂/Si) substrates

Ji Hoon Yang, Byung-Sik Moon, Kwan Pyo Kim, Chong Geol Kim,
Donggeun Jung, Yonghan Roh* and Chong-Yun Park

Department of Physics, Sungkyunkwan University,

*Department of Electronics Engineering, Sungkyunkwan University

(Received February 24, 1999)

요 약 - CeO₂/Si 표면에 실리콘의 성장 과정을 연구했다. 실리콘 박막은 전자빔 증착 방법을 사용해 증착되었다. CeO₂ (111) 박막은 700°C의 증착 온도, 5×10^{-5} Torr의 산소 부분압에서 (111)방향의 실리콘웨이퍼 위에 적층 성장하였다. CeO₂/Si위의 실리콘 박막의 적층 성장 조건을 조사하기 위해 여러 온도에서 실리콘을 증착했다. 상부 실리콘은 x-ray diffraction(XRD), double crystal x-ray diffraction(DCXR), 그리고 transmission electron microscopy(TEM)으로 분석하였다. 690°C보다 높은 증착 온도에서는 CeO₂에서 해리된 산소와 실리콘이 화학적 반응을 일으켜 Si/CeO₂의 계면에서 SiO₂층이 성장하는 것을 관찰했다. 620°C에서 CeO₂/Si 표면에 실리콘을 증착 했을 때 실리콘 박막이 (111)방향을 따라 적층 성장하였다.

Abstract - We have investigated the growing process of a silicon film on the CeO₂/Si surface. The silicon was deposited by using electron beam deposition method. The CeO₂ (111) film was grown on a (111)-oriented silicon substrate at 700°C at oxygen partial pressure of 5×10^{-5} Torr. To investigate the condition of epitaxial growth of Si films on the CeO₂/Si substrate, we deposited Si at various temperatures. The overlayer silicon was characterized by using x-ray diffraction (XRD), double crystal x-ray diffraction (DCXR), and transmission electron microscopy (TEM). At temperature higher than 690°C, SiO₂ layer was observed at the Si/CeO₂ interface, which was formed by chemical reaction with silicon and oxygen dissociated from CeO₂. When silicon was deposited on the CeO₂/Si at 620°C, silicon grew epitaxially along the (111)-direction.

1. 서 론

반도체 산업의 근간을 이루고 있는 것은 실리콘웨이퍼 산업이라 할 수 있다. 최근의 반도체 소자가 소형화, 고밀도화 및 고속화 등을 요구하면서 기존의 실리콘 벌크 웨이퍼의 사용에 많은 문제점이 대두되고 있다. 소자가 서브마이크론화 됨으로써 신뢰성 문제가 생기고, 설계의 복잡성 및 공정의 어려움이 나타나고 있다. 이러한 문제점을 해결하기 위해서 절연체위에 아주 얇은 실리콘 박막을 증착하는 많은 연구가 행해지고 있다.

현재 실리콘웨이퍼 위에 절연체(Silicon-on-Insulator)로 사용하고 있는 것은 이산화규소(SiO₂)로 separation by implanted oxygen(SIMOX)[1], 웨이퍼 결합[2]등의 방법으로 생산되고 있다. 하지만 SIMOX에 의한 SOI 기판은 대량생산에 어려움이 있는 데다 산소 주입 시에 상부 실리콘 층에 결함이 많이 발생하며, 웨이퍼 결합에 의한 방법은 결합 시에 상부 실리콘과 절연층 사이에 결함이 많이 발생하고 상부 실리콘 층의 두께조절이 용이하지 않으므로 위의 두 가지 방법에 의한 SOI 소자의 제작에는 많은 어려움이 있다.

최근에는 위의 두 가지 방법의 대안으로서 이종에피성장(heteroepitaxial growth)에 의한 방법이 많이 시도되고 있는데[3-5], 이종에피성장법으로 실리콘 기판 위에 SOI 구조를 만들고, 실리콘 기판 위에 절연체를 성장시키고 그 위에 다시 실리콘을 성장시키므로 상부 실리콘 층의 두께조절이 용이하며 상부 실리콘 층이 손상을 입지 않아 상부 실리콘 층의 결함밀도를 줄일 수 있으므로, 양질의 SOI 소자의 제작이 가능하리라고 기대된다. 또한 이종에피성장법에 의해 SOI 소자를 제작한다면 기존 공정과의 집적이 가능하여 SOI 소자를 보다 저가로 대량 생산할 수 있을 것으로 기대된다.

양질의 상부 실리콘 층을 적층 성장시키기 위해서는 우선적으로 실리콘 기판 위에 양질의 적층 성장된 절연층이 성장되어야 하는데 이를 위해서는 절연체의 구조가 실리콘의 구조와 유사하고 격자 상수가 실리콘의 격자상수와 거의 일치하여야 한다. 절연체인 CeO₂는 실리콘의 결정구조와 유사한 CaF₂ 결정구조를 가지고 있으며, 격자 상수(a=5.41 Å)가 실리콘의 격자 상수(a=5.43 Å)와 아주 비슷해 두 물질의 격자 상수의 차이는 0.35%에 불과 하기 때문에 실리콘 기판 위에 양질의 CeO₂를 적층 성장시킬 수 있는 가능성이 크고 따라서 양질의 상부 실리콘 층의 적층 성장이 가능하리라 기대된다[6].

본 연구에서는 전자빔 증착기를 사용하여 이종 에피성장법에 의한 Si/CeO₂/Si substrate 구조를 성장시키고 그 특성에 대하여 알아보았다.

2. 실험 및 분석방법

기판으로 사용한 실리콘웨이퍼는 인(P: phosphorus)이 첨가된 n-type으로 직경은 5 inch이며, 방향은 (111)이며 비저항은 3~5 Ωcm이다. 기판의 표면 청정화 전에 10 mm×50 mm으로 잘라 사용하였다. 증착 용기에 장착하기 전에 RCA 방법을 응용하여 표면을 청정화 하였다[7, 8]. 40% NH₄F에 의한 실리콘 표면의 수소종결(hydrogen termination)은 실리콘 표면의 자연 산화막을 제거하여 대기중에서 길게는 수분 동안 청정함을 유지하고, 박막의 적층 성장에 크게 기여할 것으로 본다[11].

본 실험에서는 기판을 증착용기에 장착하기 전에 시편을 40% NH₄F 용액에 담근 후에 시편의 표면에 기포가 생겼을 때에 흔들여 주고 탈이온화수(DI: deionized water)로 세척한 후 질소가스로 불어내어 남아있는 탈이

온화수를 제거하였다.

본 실험에서 사용한 진공 증착 방법인 전자빔 기상 증착은 물로 냉각시키는 도가니에 소오스를 넣고 전자빔을 직접 쬐어서 가열하는데 전자는 수 keV의 에너지로 가속되어 소오스를 녹여 증발시킨다.

CeO₂ 소오스는 지름 3~6 mm의 덩어리 상태로 99.9% 순도의 CERAC사 제품으로 녹는 온도는 2,500°C이나 전자빔을 맞는 곳에서 승화를 하는 성질을 가지고 있다. 이 소오스를 Mo 도가니에 넣고 전자빔을 이용해 기상 증착했다. CeO₂에서 산소가 소량 해리 되므로 화학적 조성비를 맞추기 위해 산소를 주입해 주었다 [3-5, 9-12]. 산소는 기본 압력 2×10⁻⁷ Torr에서 5×10⁻⁵ Torr 까지 주입하였다. 산소가 이보다 적으면 CeO(또는 Ce₆O₁₁)가 생기며, 많으면 SiO₂ 층이 두꺼워지거나 CeO₂ 사이의 틈에 산소가 잡혀있어 산소 과잉층이 만들어졌다 [13]. 기판온도는 직류전원 공급장치를 이용해 가해 주었으며, 증착속도는 약 0.75 Å/s이다.

실리콘 소오스는 지름 3~6 mm의 덩어리로 99.999% 순도의 CERAC사 제품으로 녹는 온도는 1,410°C이나 전자빔을 맞는 곳에서 semi-melting하는 성질을 가지고 있다. 이 소오스를 Mo 도가니에 넣고 기상 증착했다. 실리콘 증착은 CeO₂ 증착 후에 2×10⁻⁷ Torr에서 실리콘을 넣은 Mo 도가니의 지름의 3/4에 해당하는 실리콘 소오스를 녹여 4×10⁻⁶ Torr보다 낮은 압력을 유지하면서 증착하였다. 증착중 압력이 4×10⁻⁶ Torr이상이 되면 증착 용기 내의 소량의 산소와 결합해서 SiO₂를 형성하여 비정질 층이 생성되기 때문이다. 증착속도는 약 0.18 Å/s이다.

기판온도는 초기 성장온도를 여러 가지로 변화시켜 보았다. 또한 실리콘을 실온에서 두께를 변화시켜 증착한 완충층(buffer layer)의 효과가 있는지 확인해 보았다. 그리고 열처리하는 증착 용기 내에서 하였다. 이렇게 만들어진 시편은 XRD, DCXRD, TEM으로 그 특성을 분석하였다.

3. 결과 및 분석

3.1. 실리콘의 완충층(buffer layer) 효과에 대한 XRD분석

Si(111)위에 절연체인 CeO₂를 상온에서 약 50 Å정도 성장시키고 산소를 주입하면서 700°C에서 약 450 Å을 증착한 후 진공용기 내에서 700°C로 5분간 열처리를 했

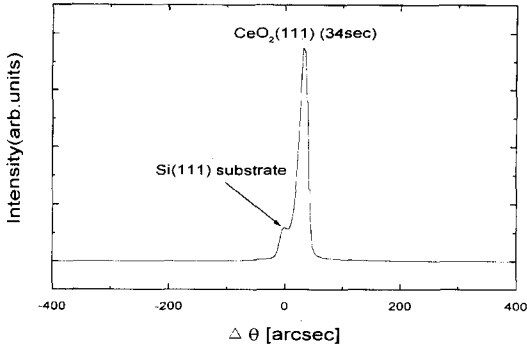


그림 1. Si(111)위에 CeO₂를 증착한 박막의 DCXRD 패턴.

을 때 가장 좋은 적층 성장된 CeO₂ 박막을 얻었다. 그림 1은 위 조건으로 성장시킨 CeO₂ 박막의 DCXRD 데이터이다. 그림에서 알 수 있는 바와 같이 CeO₂ 박막은 (111) 방향으로 적층성장 하였다. 그러나 기판의 Si(111)과는 약간의 격자 부정합이 있는 것 같다.

실리콘 박막을 절연체(CeO₂/Si)위에 성장 시켰을 때, 일반적으로 완충층을 사용하면 적층 성장이 잘 된다는 보고가 있다[14]. 본 연구에서도 실리콘을 완충층으로 증착하여 이런 효과가 두께에 따라 어떻게 나타나는지 알아보았다. 그림 2는 실리콘을 완충층 없이 400°C에서 증착한 경우와 실온에서 50 Å, 100 Å, 200 Å의 완충층을 증착한 후 Si 박막을 성장 시켰을 경우의 XRD 데이터를 나타내고 있다. 실리콘의 완충층의 두께가 증가할

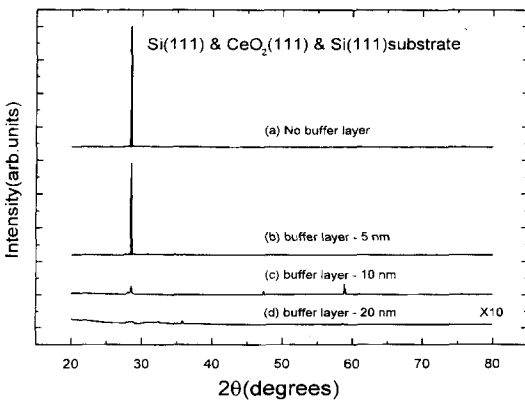


그림 2. CeO₂(111)/Si(111)위에 Si를 실온에서 완충층로 두께를 변화하여 증착하고 Si를 400°C에서 500 Å(약 60분) 증착 후 720°C에서 500 Å(약 60분)증착했을 때 형성된 Si 박막의 XRD 패턴 (a) 완충층이 없는 경우 (b) 완충층을 실온에서 50 Å 증착한 경우 (c) 완충층을 실온에서 100 Å 증착한 경우 (d) 완충층을 실온에서 200 Å 증착한 경우.

수록 (111)면의 주 피크의 세기가 확연히 줄어드는 것을 볼 수 있다. 이는 실온에서 증착된 실리콘의 두께가 증가할수록 CeO₂박막 위에 증착한 실리콘 박막의 결정성이 좋지 않음을 의미한다. 상온에서는 증착전 실리콘이 적당한 위치로 이동할 수 있는 에너지가 충분하지 못하여 적층성장을 하지 못하고 비정질화 됨을 보여주고 있다. 실리콘의 완충층없이 증착한 경우에도 적층성장이 잘 되고 있음을 알 수 있다. 즉 400°C에서는 CeO₂의 산소가 해리되어 SiO₂가 형성되지 않고 있음을 의미한다. 완충층의 두께를 약 50 Å 정도로 올렸을 때의 XRD상에서의 Si(111) 피크의 세기는 완충층이 있을 때와 차이는 거의 나타나지 않았다. 이상의 XRD 결과는 상온에서의 50 Å이상의 Si 완충층을 도입하면 도리어 Si 박막의 적층 성장을 저해할 뿐만 아니라 SiO₂ 층의 형성을 억제하는 효과도 없었다.

3.2. 실리콘의 성장온도에 따른 XRD분석

CeO₂(111)/Si(111)위에 Si를 620°C에서 약 1000 Å(약 90분), 400°C에서 160 Å(약 15분) 720°C에서 1400 Å(약 130분), 690°C에서 430 Å(약 40분) 740°C에서 860 Å(약 80분), 실온에서 50 Å(약 5분) 720°C에서 910 Å(약 85분)을 증착하였다. 그림 3에서는 이때 각 온도 조건에서 성장한 Si 박막의 XRD 데이터를 나타내고 있다. 그림 3의 (a), (b), (c), (d)에서 알 수 있는 바와 같이 증

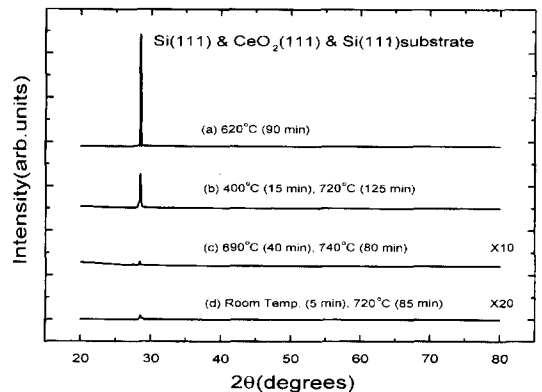


그림 3. CeO₂(111)/Si(111)위에 Si를 여러 온도 조건에서 증착했을 때 성장된 Si 박막의 XRD 패턴 (a) Si를 620°C에서 약 1000 Å(약 90분)증착한 경우 (b) Si를 400°C에서 160 Å(약 15분) 720°C에서 1400 Å(약 130분)증착한 경우 (c) Si를 690°C에서 430 Å(약 40분) 740°C에서 860 Å(약 80분)증착한 경우 (d) Si를 실온에서 50 Å(약 5분) 720°C에서 910 Å(약 85분)증착한 경우

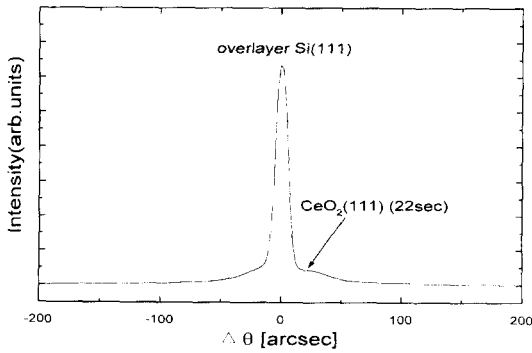


그림 4. CeO₂(111)/Si(111)위에 Si을 증착했을 때 성장된 Si 박막의 DCXRD 패턴.

착 초기 온도가 실온보다 온도가 높을수록 좋은 결정성을 보이며, 620°C일 때 가장 적층 성장이 잘된 Si 박막을 얻었다. 이는 Si 기판에 Si을 적층 성장할 때와 매우 유사하다.

최적온도는 약 620°C임을 알았다. 그러므로 초기 Si 증착온도가 620°C이상으로 높아지면 CeO₂의 산소가 해리되어 Si과 결합하여 SiO₂를 형성하여 Si의 결정화를 방해하고 있는 것으로 사료된다.

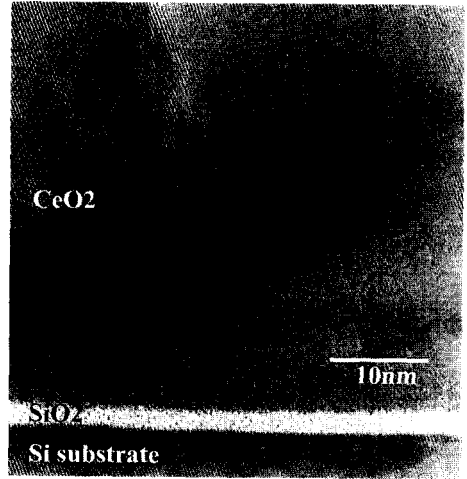
3.3. 실리콘의 최적 성장온도조건에 대한 DCXRD 분석

앞서 서술한 XRD data를 통해 Si 박막의 적층성장 최적온도는 620°C이었다. 이 조건으로 성장된 Si 적층 박막을 DCXRD를 이용하여 분석하였다.

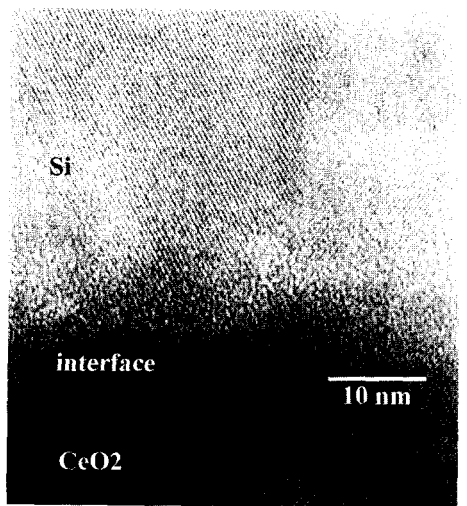
그림 4에서 적층성장된 상부 Si 박막과 CeO₂ 박막에 의한 피크 사이의 로킹 커브상에서 분리된 거리(Δθ)는 22sec이다. 이 값은 그림 1에서 기판 Si의 피크와 CeO₂ 박막 피크사이의 거리 34 sec보다 작았다. 이는 적층성장된 Si 박막과 CeO₂ 박막과의 정합성이 기판 Si과 CeO₂ 박막의 경우 보다 더 좋음을 의미한다.

3.4. 실리콘의 최적 성장온도조건에 대한 TEM분석

그림 5(a), (b)는 앞서 서술한 최적조건인 620°C에서 성장된 Si 박막의 HRTEM(high resolution transmission electron microscopy)사진이다. 그림 5(a),(b)에서 기판 실리콘의 면 방향(111)에 따라 CeO₂박막도 같은 면 방향(111)으로 적층 성장됨이 보여지고 CeO₂박막 위의 상부 실리콘도 같은 면 방향(111)으로 적층 성장됨을 나타내고 있다. 또한 그림 5(b)에서 CeO₂박막과 상부 실리콘



(a)



(b)

그림 5. (a) Si(111)위에 CeO₂를 증착했을 때 성장된 CeO₂ 박막의 TEM 사진(CeO₂의 두께: 약 450 Å), (b) CeO₂(111)/Si(111)위에 Si을 증착했을 때 성장된 Si박막의 TEM 사진(Si의 두께: 약 1000 Å).

계면에서 격자 부정합이 다소 있음을 알 수 있다. 그러나 계면에서 비정질층이나 SiO₂가 형성되지 않았음을 알 수 있다.

4. 결 론

본 연구는 전자빔 증착기를 이용하여 Si(111)에 CeO₂(111)을 성장하였다. 그리고 이렇게 성장한 CeO₂(111)/

Si(111)면 위에 Si을 여러 가지 온도조건에서 증착하여 Si의 적층성장 최적조건과 메커니즘을 알아보았다.

CeO₂(111)/Si(111)위에 Si을 증착할 때의 온도를 620°C 이하로 하면 적층성장된 박막의 결정성이 나빠짐을 알 수 있었다. 동시에 기판의 온도를 약 620°C이상으로 하면 CeO₂에서 산소가 해리되어 Si과 결합하여 SiO₂가 형성되어 Si의 적층성장을 방해하고 있음을 알 수 있었다.

따라서, 620°C에서 CeO₂(111)/Si(111)면 상에 Si을 증착할 때 가장 좋은 적층성장된 Si 박막을 얻을 수 있었다.

감사의 글

본 연구는 정보통신부의 대학기초연구 프로그램 No. 96079-BT-III의 지원 및 성균관대학교 63연구비의 지원을 받아 수행되었다.

참고문헌

- [1] K. Izumi, M. Doken and H. Ariyoshi, *Electronic Letters* **14**, 593 (1978).
- [2] M. Shimbo, K. Furukawa, K. Fukuda and K. Tanizawa, *J. Appl. Phys.* **60**, 2987 (1986).
- [3] T. Inoue, Y. Yamamoto, S. Koyama, S. Suzuki and Y. Ueda, *Appl. Phys. Lett.* **56**, 1332 (1990).
- [4] M. Yoshimoto, H. Nagata, T. Tsukahara and H. Koinuma, *Jpn. J. Appl. Phys.* **29**, L1199 (1990).
- [5] S. Yaegashi, T. Kurihara, H. Hoshi and H. Segawa, *Jpn. J. Appl. Phys.* **33**, 270 (1994).
- [6] Chong Geol Kim, Kwan Pyo Kim, Ju Bong Lee, Ki Pyung Han and Chong Yun Park, *J. Kor. Phys. Soc.* **32**, 64 (1998)
- [7] V. A. Burrows, Y. J. Chabal, G. S. Higashi, K. Raghavachari and S. B. Christman, *Appl. Phys. Lett.* **53**, 998 (1988)
- [8] W. Kern, *Semicond. Int.* **94**, (1984)
- [9] J. P. Colinge, *Silicon-On-Insulator Technology : Materials To VLSI* (Kluwer Academic Publishers, Boston, 1991).
- [10] Ohring, *The Materials Science of Thin Films*, 1991.
- [11] G. S. Hagashi, R. S. Becker, Y. J. Chabal and A. J. Becker, *Appl. Phys. Lett.* **58**, 1656 (1991).
- [12] T. Inoue, M. Osonoe, H. Tohda, M. Hiramatsu, Y. Yamamoto, A. Yamanaka and T. Nakayama, *J. Appl. Phys.* **69**, 8313 (1991).
- [13] T. Inoue, T. Ohsuna, Y. Obara, Y. Yamamoto, M. Satoh, and Y. Sakurai, *Jpn. J. Appl. Phys.* **32**, 1765 (1993).
- [14] T. Asano and H. Ishiwara, *J. Appl. Phys.* **55**, 3566 (1984).