

論文99-36S-5-14

# 14 비트 분해능을 갖는 2차 Sigma-Delta 변조기 설계 및 검증 (Design and Simulation of a Second Order Sigma-Delta Modulator with 14-bit Resolution)

趙炳郁\*, 崔坪\*, 孫炳基\*

(Byung Woog Cho, Pyung Choi, and Byung Ki Sohn)

## 요약

저주파의 아날로그 신호를 디지털 신호로 변환하기 위해 sigma-delta 아날로그-디지털 변환기의 이용이 용이하다. 이 변환기는 변조기와 디지털 필터로 구성되는데 본 논문에서는 변조기에 대해서만 언급한다. 모델링을 통해 14 비트 분해능을 갖는 2차 sigma-delta 변조기를 설계하기 위한 변조기의 구성요소 즉 연산 증폭기, 적분기, 내부 ADC 및 DAC의 최대 허용 에러 범위를 규정하였으며, 이를 토대로 연산증폭기, 3비트 ADC 및 DAC 등을 설계·검증하고, 이들을 서로 연결하여 2차 sigma-delta 변조기를 구성하였다. 3비트 ADC의 기준전압을 조절하여 변조기 성능 향상을 도모하였으며, 내부 DAC를 축전기 및 간단한 제어회로로 구성하여 비선형성 에러를 최소화하였다. 설계된 각각의 구성요소들은 모델링에서 정의된 에러 범위를 모두 만족하였으며, 전체 변조기는 87dB의 입력범위와 87dB의 최대 신호 대 잡음 비를 가졌다.

## Abstract

Sigma-delta converter is frequently used for converting low-frequency analog to digital signal. The converter consists of a modulator and a digital filter, but our work concentrates on the modulator. In this work, to design a second-order sigma-delta modulator with 14bit resolution, we define the maximum error limits of each component (operational amplifier, integrator, internal ADC, and DAC) of a modulator. And in base of modeling, an operational amplifier, 3bit ADC, DAC, etc were designed and simulated. After this, we design and simulate a second-order sigma-delta modulator with internal 3-bit quantizer by combination of each components. We improved the performance of the modulator by scaling the reference voltage of 3bit ADC and minimized the non-linear error of internal DAC using capacitors and simple control logic circuit. Designed components were satisfied with the specification defined by modeling and this modulator had input range of 87dB and the maximum signal-to-noise ratio of 87dB.

## I. 서론

최근 몇 10년간 sigma-delta 변조방법은 오디오 아날로그-디지털 변환기(analog-to-digital converter: 이하 ADC로 칭함) 구현을 위한 적합한 기술로

대두되어 왔다. 이 변환기는 각각의 구성요소들의 부정합에 민감하지 않고 가격 면에서 장점을 가지고 있다. 지금까지 sigma-delta ADC<sup>[1,2]</sup>의 분해능을 향상시키기 위해 많은 연구가 진행되고 있다. 비록 sigma-delta ADC가 sigma-delta 변조기(sigma-delta modulator: 이하 SDM으로 칭함)와 디지털 필터로 구성되지만, 디지털 설계 기술의 향상으로 이 ADC의 성능은 주로 변조기에 의해 결정된다. SDM의 신호 대 잡음비(signal-to-noise ratio: 이하 SNR

\* 正會員, 慶北大學校 電子電氣工學部

(School of Electronic and Electrical Engineering, Kyungpook National Univ.)

接受日字:1998年8月7日, 수정완료일:1999年3月5日

로 칭함)를 증가시키기 위한 여러 가지 방법이 보고되고 있다. 단일 비트 양자화기를 갖는 변조기는 고차의 루프 필터를 사용하거나 샘플링 주파수의 증가에 의해 SNR를 개선할 수 있다. 2차 이상의 루프 필터를 갖는 변조기는 안정도 문제가 발생할 수 있으며, 샘플링 주파수의 증가는 소비 전력 및 우수한 성능을 갖는 구성 소자를 필요로 하게 된다<sup>[3]</sup>. 이에 반해 멀티 비트의 내부 양자화기를 갖는 2차 SDM은 안정도를 확보할 수 있을 뿐만 아니라, 양자화 잡음이 단일 비트 SDM에 비해 훨씬 랜덤(random)해져 일정 샘플링 주파수에서 보다 높은 SNR을 얻을 수 있다<sup>[4]</sup>. 또한 이 SDM은 핵심 소자인 연산 증폭기에 대한 요구사항이 완화되는 장점이 있다<sup>[5]</sup>.

실제 SDM를 설계할 시 여러 가지 요인들에 의해 성능의 저하가 일어난다. 즉 제조공정시 부정합에 의해 각각의 적분기 이득이 설계한 값과 일치하지 않거나, 연산 증폭기의 이득에 따라서도 SDM 성능이 저하될 수 있다. 특히 멀티 비트 양자화기의 비선형성 에러는 멀티 비트 양자화기를 갖는 변조기 성능 저하의 주요 원인이다<sup>[4]</sup>. 이러한 비선형성 에러는 self-calibration<sup>[6]</sup>이나 individual level averaging<sup>[7]</sup> 등과 같은 방법으로 개선될 수 있으나 상당히 복잡한 회로가 필요하게 된다.

본 논문에서는 3비트 내부 양자화기를 갖는 2차 SDM의 모델링<sup>[8]</sup>을 바탕으로 각각의 구성요소 즉 연산증폭기, 비교기, 3 비트 ADC, DAC, 비중첩 클럭 발생기 및 thermal encoder를 설계하였다. 또한 연산증폭기의 최대출력범위에 맞도록 내부 ADC의 기준전압을 조절하여 변조기의 성능 향상을 도모하였으며, 축전기 열과 간단한 디지털 제어회로를 이용하여 내부 DAC를 구성함으로써 멀티 비트 양자화기를 갖는 SDM에 있어 성능저하의 주요 요인인 DAC 비선형성 에러를 최소화하였다. II장에서는 변조기의 모델링을 통해 각 단의 이득 결정하였으며, 내부 ADC 기준전압 조절에 의한 SDM 성능 향상을 언급한다. III장에서는 변조기 구성요소들의 설계 및 평가가 이루어지며, 마지막으로 변조기의 최종 결과와 결론은 IV, V장에서 각각 언급한다.

## II. 모델링에 의한 적분기 이득 및 에러 허용 범위

SDM은 기본적으로 연산증폭기, 스위치, 축전기, 내부 ADC 및 내부 DAC 등으로 구성된다(그림 1). 그러나, 모든 구성요소들은 이상적으로 설계될 수 없으며, 제조시 발생하는 에러에 의해 설계된 성능이 저하되는 경향을 보인다. 본 논문에서는 연산증폭기의 개방이득, slew rate, 출력범위 등이 무한대이고, 적분기의 이득, 내부 ADC 및 DAC의 에러가 없는 이상적인 경우에 다양한 에러 성분을 적용하여 SDM의 성능 변화를 조사하여 14비트의 분해능을 얻는데 필요한 최대 에러 범위를 규정하였다<sup>[8]</sup>. 고려된 에러 성분은 다음과 같다. 먼저 SDM의 핵심 소자인 연산증폭기의 성능 중에서 출력 범위의 제한, 유한한 개방 이득, slew rate에 의한 영향을 조사하였으며, 다음으로 축전기의 부정합에 의해 발생하는 적분기 이득 에러, 내부 ADC 오프셋(offset) 및 내부 DAC의 비선형성에 의한 에러 등이 고려되었다. 여기에서 사용된 내부 양자화기는 3비트이며, 과표본비는 64배로 동일하게 하였다.

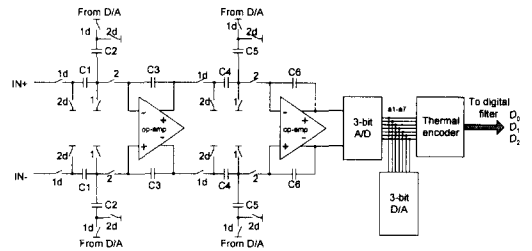


그림 1. 3-비트 내부 양자화기를 가지는 2차 SDM의 개략도

Fig. 1. Schematic of a second order SDM with internal 3-bit quantizer.

Switched-capacitor(이하 SC로 칭함)형태로 적분기를 구현할 경우 적분기 이득은 샘플링 축전기(sampling capacitor)와 적분 축전기(integrating capacitor)의 비로 결정된다. 큰 이득을 갖는 적분기의 경우 적분기 출력은 연산증폭기의 최대 출력 범위(output swing)에 의해 제한된다. 본 논문에서는 연산증폭기의 최대 출력 범위를 공급전압의 0.6배 즉 공급전압이 0V에서 5V일 경우 연산증폭기의 최대 출력 범위를 1V에서 4V로 규정하고, 적분기의 이득을 적절히 조절하여 적분기의 출력이 연산증폭기의 최대 출력 범위 내에 유지되도록 하였다. 최종 적분기의 최대 출력이 1에서 4V로 제한될 경우 0V에서 5V사이의 기준전압을 갖는 ADC는 완벽한 성능을 발휘할 수 없게

된다. ADC의 기준전압을 적분기 출력전압 범위내로 제한함으로써 ADC 분해능을 최대한 이용하여 SDM의 성능을 개선할 수 있다. ADC의 기준전압이 변화됨에 따라 적분기의 이득은 재조정이 요구된다. 적분기 최종 출력 제한에 따른 ADC 기준전압이 조절된 것과 조절되지 않는 것의 성능 비교는 그림 2에 보인다. 또한 위에서 언급한 두 경우의 SDM은 각각 적분기 출력이 제한 범위(1~4V)를 넘지 않도록 조절된 이득을 갖는다. 그림 2에서 보인 것처럼 내부 ADC 기준전압의 조절이 이루어지지 않을 경우 보다 기준전압이 적절히 조절된 SDM이 개선된 성능을 보였다.

값을 0.2pF하여 열적 잡음에 의한 성능 저하를 배제하였다. 또한 실제 제조시 면적이 최소가 되도록 모든 축전기의 값을 0.2pF의 배수로 모델링하였다.

표 1. 모델링에 의해 결정된 축전기 값  
Table 1. Capacitor value determined by modeling.

	Capacitor	Value(pf)
1st integrator	C1	1.4 (0.2×7)
	C2	1.4 (0.2×7)
	C3	2.4 (0.2×12)
2nd integrator	C4	1.8 (0.2×9)
	C5	1.4 (0.2×7)
	C6	1.2 (0.2×6)

표 2. 에러 허용 범위  
Table 2. Permitted error limits.

Errors	Permitted limit
Output swing of op-amp	> 60% of the supply voltage (1~4V in case of 5V supply voltage)
Open loop gain of op-amp	> 100
Slew rate of op-amp	> 30 V/μs
Gain error of integrator	< 10%
Internal ADC offset	< 0.5 LSB
Internal DAC non-linear error	< 0.5 LSB

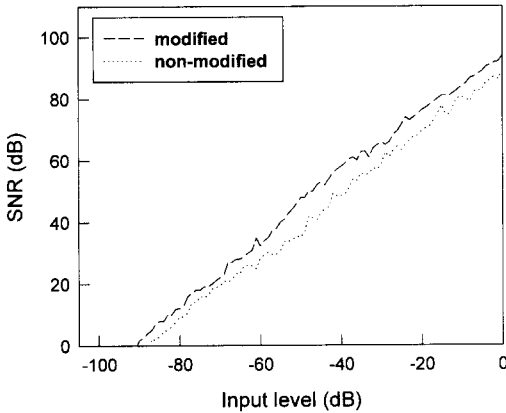


그림 2. 내부 ADC 비교 전압 조절에 따른 SDM의 성능 변화  
Fig. 2. Performance variation according to adjust the reference voltage of internal ADC.

모델링된 적분기의 이득은 표 1에 나타내었다. 일반적으로 축전기의 열적 잡음(thermal noise)은 SDM의 성능을 제한한다<sup>[9]</sup>. 축전기의 있어 열적 잡음에 의한 SNR은 식(1)과 같이 표현된다.

$$SNR = \frac{V_s}{4} \sqrt{\frac{MC}{kT}} \quad (1)$$

- $V_s$  : 최대 입력 범위
- $M$  : 과표본비
- $C$  : 축전기 값
- $k$  : Boltzmann's 상수
- $T$  : 절대 온도

$V_s=2V$ ,  $M=64$ 인 경우 SDM이 14비트의 분해능 즉 84dB의 SNR을 갖기 위해 축전기의 값은 0.06pF 이상이 필요하게 된다. 본 논문에서는 축전기의 최소

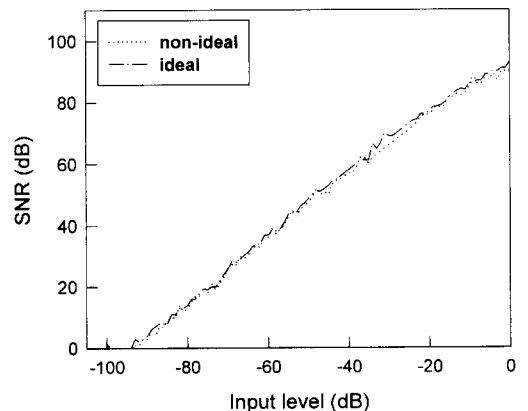


그림 3. 허용 에러 범위 내에서 SDM의 SNR  
Fig. 3. SNR of SDM within the permitted error limit.

표 1에서와 같은 이득을 갖는 변조기 모델에 전술한 여러 가지 에러 요인을 적용하여 허용에러 범위를 결

정하였으며, 이를 표 2에 나타내었다. 설계될 SDM이 표 2에 보인 것과 같은 여러 범위를 갖는 경우 이상적인 SDM과 거의 비슷한 성능을 보일 것이다(그림 3).

### III. 변조기 구성 요소의 설계 및 검증

#### 1. 연산증폭기

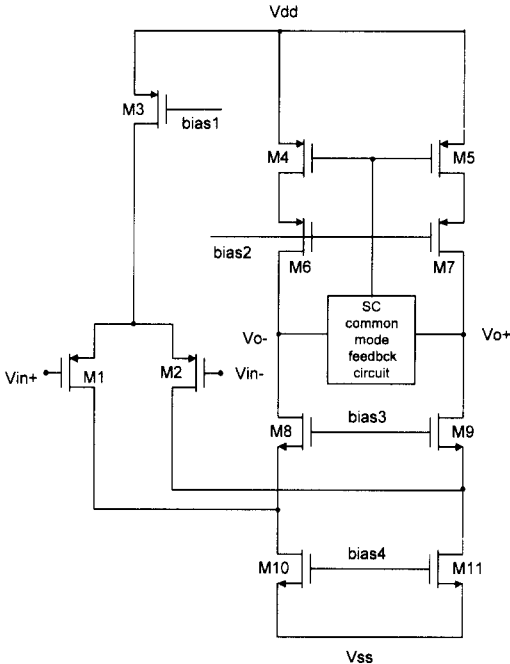


그림 4. 연산증폭기  
Fig. 4. Operational amplifier.

표 2에서 보인 것처럼 연산증폭기는 40dB이상의 개방 이득과 30V/μs이상의 slew rate을 갖고 최대 출력범위는 공급전압이 5V인 경우 1에서 4V가 되어야 한다. 우선 높은 slew rate을 갖기 위해 바이어스 전류가 큰 folded cascode 형태의 연산증폭기를 선택하고, 축전기 양단의 전압에 의한 용량 값의 변화에 따른 성능 저하 및 외부 잡음에 둔감한 완전 차동형 연산증폭기를 설계하였다. 그림 4는 연산증폭기의 구조를 보인 것이다. 연산증폭기의 바이어스 전류는 식 (2)와 같이 결정된다.

$$T_s = 354ns : \text{클럭 주기}$$

$$T_n \approx 14ns : \text{비중첩 구간}$$

$$T_c = \frac{354ns}{2} - T_n \approx 170ns : \text{충전 시간}$$

$$SNR = 84dB = 20 \log e \frac{T_c}{\tau}$$

$$\tau \approx 17.6ns$$

$$\Delta Q = C \cdot \Delta V = I_{bias} \cdot \tau$$

$$I_{bias} = \frac{C \cdot \Delta V}{\tau}$$

식(2)에 보인 것처럼 연산증폭기의 바이어스 전류는 SNR과 충전주기에 의해 결정되는 시상수, 출력전압의 최대변화치와 부하용량에 따라 구해진다. 본 논문에서는 부하로 사용되는 최대 축전기 값(2.4pF)과 모델링에서 구해진 최대 출력 변화치(ΔV)를 고려하여 충분히 크게 설계하였다.

연산증폭기의 전압이득은 식(3)과 같이 표현된다. 입력단 트랜지스터 크기는 주파수 특성 열화를 고려하여 최대한 작게 설계하였으며, 출력단의 트랜지스터 단 수에 따른 출력전압의 동작영역이 제한되므로 2단으로 설계하였다.

$$A_v = \frac{V_{o-}}{V_{i+}} = -g_{m1} \cdot R_o \quad (3)$$

완전차동형 연산증폭기의 경우 옙셋전압이 있는 상태에서 적분기를 구현하면 출력전압이 한쪽으로 포화되어 정상적으로 동작하지 않는다. 본 논문에서는 출력의 옙셋전압을 바이어스 전압에 궤환시키는 SC 공통 모드 궤환회로(switched-capacitor common-mode feedback circuit : 이하 SCCM으로 칭함)를 사용하여 옙셋전압을 제거하였다(그림 5). SCCM의 동작은 식(4)와 같이 표현된다. 식(4)에서 보인바와 같이 연산증폭기의 출력전압은 신호 성분, 공통전압과 옙셋전압으로 구성된다.

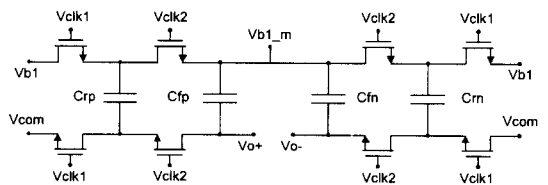


그림 5. Switched-capacitor 공통모드 궤환회로  
Fig. 5. Switched-capacitor common-mode feedback circuit.

$$V_{o+} = V_{com} + V_{error} + V_{signal}$$

$$V_{o-} = V_{com} + V_{error} - V_{signal}$$

$$V_{error} = \frac{V_{o+} + V_{o-}}{2} - V_{com}$$

where,

$$\begin{aligned} V_{o+}, V_{o-} &: \text{연산증폭기 출력 전압} \\ V_{com} &= 2.5V: \text{공통모드 전압} \\ V_{error} &: \text{오프셋 전압, } V_{signal}: \text{신호 전압} \end{aligned}$$

클럭1(clock 1) 동안 축전기에는 다음과 같은 전압이 인가되어 충전하게 된다.

In period of clock 1 ( $V_{clk1}$ ),

$$\begin{aligned} V_{C_r} &= V_{bl} - V_{com}, \\ V_{C_f} &= V_{blm} - V_{o+} \\ Q_{C_r} &= C_r \cdot (V_{bl} - V_{com}), \\ Q_{C_f} &= C_f \cdot (V_{blm} - V_{o+}) \end{aligned} \tag{5}$$

where,

$$\begin{aligned} V_{C_r}, V_{C_f} &: C_r \text{ 과 } C_f \text{ 에 공급되는 전압} \\ Q_{C_r}, Q_{C_f} &: C_r \text{ 과 } C_f \text{ 에 공급되는 전하} \\ V_{bl} &: \text{초기 바이어스 전압} \end{aligned}$$

우선 식 전개를 간단히 하기 위해 출력전압에 신호 성분이 존재하지 않는다고 가정하고 클럭2(clock 2) 동안 오프셋 전압을 제거하는 새로운 바이어스 전압( $V_{blm}$ )을 구해 보면 식(6)와 같다.

In period of clock 2 ( $V_{clk2}$ ),

$$\begin{aligned} V_{o+} &= V_{com} + V_{error} \\ Q_{C_r}, C_r &= Q_{C_r} + Q_{C_f} \\ &= (C_r + C_f) \cdot V_{bl} - (C_r + C_f) \cdot V_{com} \\ &\quad - C_f \cdot V_{error} \\ Q_{C_r}, C_f &= (C_r + C_f) \cdot (V_{blm} - V_{o+}) \end{aligned}$$

$$V_{blm} = V_{bl} + \frac{C_r \cdot V_{error}}{C_r + C_f}$$

where,

$$V_{blm}: \text{수정된 바이어스 전압} \tag{6}$$

연산증폭기의 오프셋전압은 원래 바이어스 전압에 더해져 새로운 바이어스 전압으로 케환된다. 이때 케환 계수는 축전기의 비에 의해 결정된다.

64배의 과표본비를 갖는 2차 변조기의 경우 최대 음성 주파수 대역(22kHz)에 대해 2.816MHz의 클럭 주파수를 필요로 한다. 이러한 클럭에 의해 변조기가 정상적으로 동작하기 위해서는 상당히 넓은 대역폭을 가져

야 한다. 또한 모델링을 통해 규정된 40dB 이상의 개방 이득을 가져야 변조기는 양호하게 동작할 수 있다. 본 논문에서는 HSPICE를 이용하여 모든 simulation을 행하였다. 그림 6은 연산증폭기의 주파수 응답을 보인 것이다. 그림 6에 보인 것처럼 설계된 연산증폭기는 17MHz ( $C_L=10\text{pF}$ )이상의 단위 이득 대역폭(unit gain frequency), 60dB 이상의 개방 이득과 89도의 위상 여유(phase margin)를 가졌다. 연산증폭기의 출력 범위가 좁을 경우 적분기의 출력이 왜곡되어 변조기의 성능을 저하시키게 된다. 연산증폭기의 출력범위는 반전 형태로 10배 증폭하는 회로를 구성하여 조사하였다(그림 7). 설계된 연산증폭기는 모델링에서 요구되는 출력 범위(1~4V)보다 넓은 0.8에서 4.2V의 출력 범위를 가졌다.

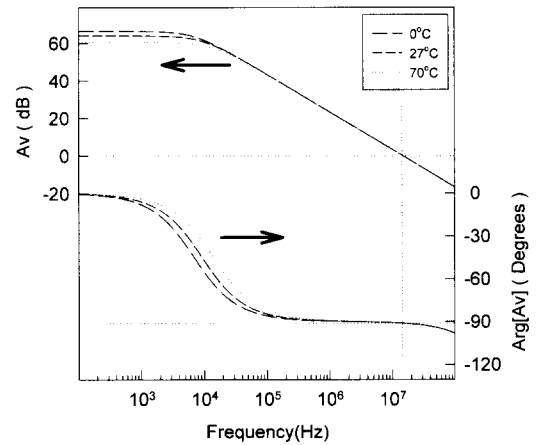


그림 6. 연산증폭기의 주파수 응답  
Fig. 6. Frequency responses of an operational amplifier.

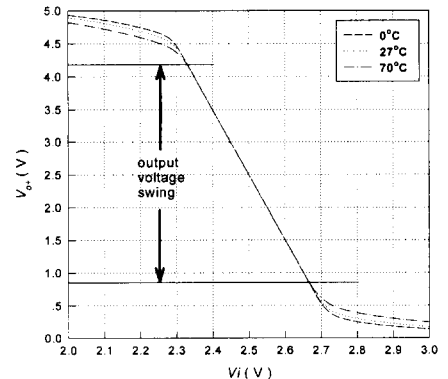


그림 7. 연산증폭기의 출력범위  
Fig. 7. Output voltage swing of an operational amplifier.

SDM은 기본적으로 축전기를 충·방전하여 동작하게 된다. 이로 인해 연산증폭기의 slew rate은 변조기 성능에 영향을 미치게 된다. 그림 8은 설계된 연산증폭기의 slew rate을 조사한 것으로 모델링에 의해 요구되어지는 사양(>30V/μs)보다 큰 45V/μs의 slew rate을 가졌다. 설계된 연산증폭기의 전체적인 설계 사양은 표 3에 나타내었다. 이상의 성능을 갖는 연산증폭기는 모델링에서 요구하는 성능을 모두 만족하므로 변조기 구현에 충분히 이용될 수 있을 것이다.

적분기의 이득은 샘플링하는 축전기와 적분하는 축전기의 비에 의해 결정되는데 poly-to-poly 축전기의 경우 일반적으로 절대적인 값은 약 2%의 에러를 갖는다<sup>[10]</sup>. 또한 축전기의 비는 상대적인 값이므로 절대적인 경우 보다 훨씬 정확하여 모델링에서 요구하는 적분기 이득 에러범위(10%)를 충분히 만족할 수 있을 것이다.

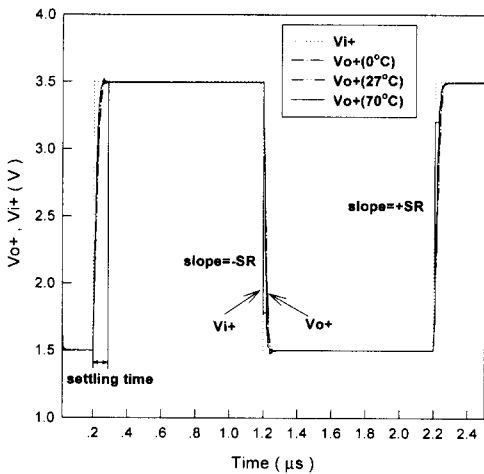


그림 8. 연산증폭기의 slew rate  
Fig. 8. Slew rate of an operational amplifier.

표 3. 연산증폭기의 사양  
Table 3. Specification of an operational amplifier.

Specification ( $C_L = 10\text{pF}$ )	Expected	Design
Output voltage swing (V)	1~4	0.8~4.2
Open loop gain (dB)	> 40	60
Slew rate (V/μs)	> 30	45
Phase margin (degree)	·	89
Input CMR (V)	1.5~3.5	0.8~3.7
Offset voltage (mV)	·	0.03
Power dissipation (mW)	·	4

2. 3비트 ADC

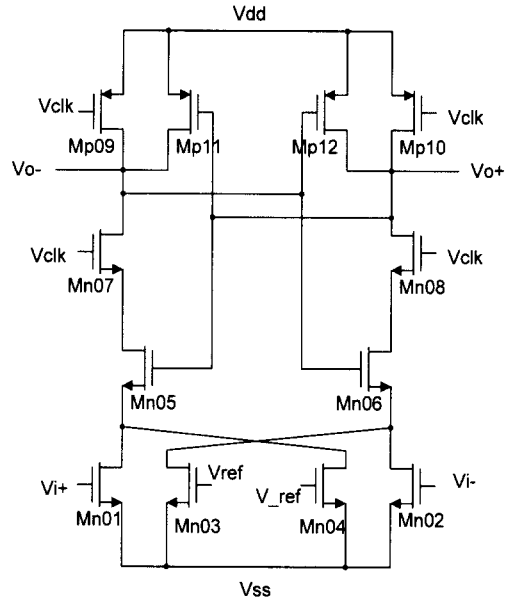


그림 9. 비교기  
Fig. 9. Comparator.

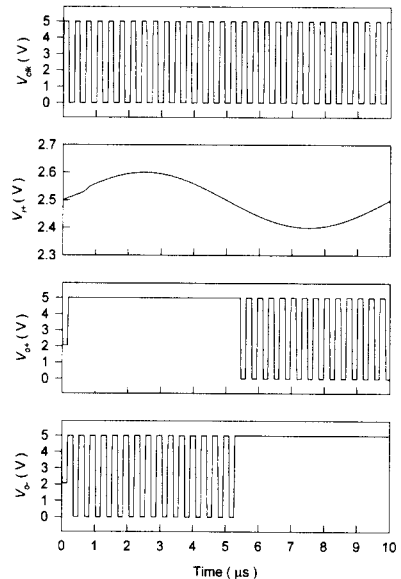


그림 10. 비교기 검증 결과  
Fig. 10. Simulation results of the comparator.

SDM은 여러 비트의 내부 양자화기를 이용하여 양자화 잡음을 더욱 랜덤하게 만들어 낮은 과표본비에서도 높은 분해능을 얻는다. 본 논문에서는 3비트의 ADC를 사용하였다. 비교기는 ADC의 핵심 요소로서 dynamic 레치(latch)를 갖는 정제환형이 사용되었다.

비교기의 구조는 그림 9에 보인다. 래치 신호(Vclk)가 하강천이를 만날 경우 Mn07, Mn08 트랜지스터가 개방되고 Mp09, Mp10 트랜지스터는 단락 되어 래치 블록이 리셋(reset)된다. 래치 신호가 상승천이에서 Mn07, Mn08 트랜지스터는 단락 되고 Mn01, Mn02 트랜지스터에 인가되는 전압은 음과 양의 기준전압(Vref)과 비교하여 출력이 새로운 값으로 천이 하는 특성을 갖는다. 그림 10은 최대크기가 100mV인 sine 입력에 대한 비교기의 출력을 보인 것으로 양호한 동작을 나타내었다.

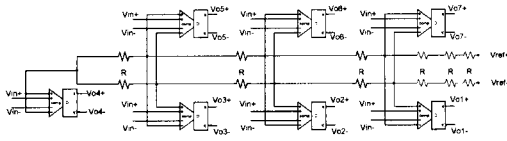


그림 11. 완전 차동형 3비트 ADC  
Fig. 11. Fully differential 3-bit ADC.

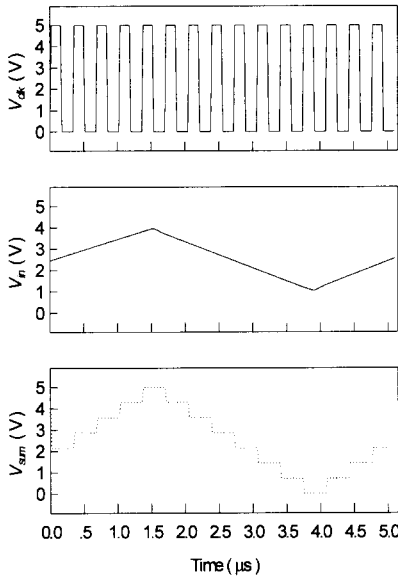


그림 12. 3비트 ADC 검증 결과  
Fig. 12. Simulation results of a 3-bit ADC.

내부 3비트 ADC는 12개의 저항열, 7개의 비교기, 7개의 D 플립플롭 및 thermal encoder로 구성된다. 12개의 저항열은 적분기의 최대 전압 범위내에 기준전압이 있도록 조절하고, 비교기를 통해 입력전압과 기준전압이 비교된다. 또한 비교기의 부하 영향을 배제하고 출력을 한 클럭 동안 계속적으로 유지하여 DAC에 안정된 입력을 공급하기 위해 D 플립플롭을 비교

기 출력단에 연결하였다. 사용된 D 플립플롭은 일반적인 마스터-슬레이브(master-slave) 형태이다. ADC의 최종적인 디지털화는 thermal encoder에 의해 이루어진다. 그림 11은 완전 차동형 3비트 ADC를 보인 것이다. 여기에서 제외된 thermal encoder는 식 (7)과 같은 논리식으로 표현되고, 이는 NOT, NAND, NOR게이트로 이루어졌다. 이 ADC의 검증 결과는 그림 12에 보인다. ADC의 최종출력(Vsum)은 세 개의 디지털출력(D0, D1, D2)을 검증하기 쉽게 하기 위하여 수식적으로 변환한 값이다. 그림 12에 보인 것처럼 삼각과 형태의 입력에 대해 ADC는 정상적으로 동작함을 확인하였다. 비교기 자체의 오피셋 전압에 의한 에러는 거의 없었으며, 확산 저항의 불일치(mismatch)에 의해 발생하는 에러도 모델링 상에서 요구하는 ADC 오피셋 에러인 0.5LSB(0.2083V)보다는 적을 것이다.

$$D_2 = a_7 + a_7 \cdot a_6 + a_6 \cdot a_5 + a_5 \cdot a_4$$

$$D_1 = a_7 + a_7 \cdot a_6 + a_4 \cdot a_3 + a_3 \cdot a_2$$

$$D_0 = a_7 + a_6 \cdot a_5 + a_4 \cdot a_3 + a_2 \cdot a_1 \quad (7)$$

where,  $D_0, D_1, D_2$  : 최종 디지털 출력  
 $a_7, a_6, a_5, a_4, a_3, a_2, a_1$  : 비교기 출력

### 3. 3비트 DAC

여러 비트의 내부 양자화기를 갖는 SDM의 경우 내부 DAC의 비선형성 에러는 변조기의 성능에 심각한 영향을 미친다. 본 논문에서는 3비트 DAC를 0.2 pF의 단위 축전기 7개와 DAC 입력제어 회로로 구현하여 비선형성을 단지 축전기들의 불일치에 의한 것만으로 국한 시켰다(그림 13). 또한 DAC 제어 신호는 ADC의 최종 단의 3비트 디지털 출력이 아닌 비교기 출력을 그대로 이용하고, DAC의 기준전압은 회로 전체의 공급전압을 사용한다. 일반적인 집적회로 제조공정에서 축전기의 절대적인 값의 에러는 심각하지만 상대적인 값의 상당히 정확하게 구현된다. 이로 인해 DAC의 비선형성 에러는 최소화될 수 있다.

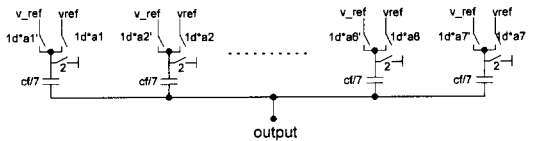


그림 13. 3비트 DAC  
Fig. 13. 3-bit DAC.

4. 비중첩 2위상 클럭 발생기

SDM은 스위치를 사용하여 축전기에 전하를 충·방전시키면서 구동된다. 그림 1에 보인 것처럼 서로 다른 위상을 갖는 두 개의 클럭을 필요로 한다. 이 클럭들은 스위치들이 단락 되지 않도록 클럭 상호간에 중첩되는 구간이 없어야 한다. 또한 클럭 인가시 charge injection에 의한 에러를 감소시키기 위해 두 개의 클럭( $V_{p1}$ ,  $V_{p2}$ )외에 이 클럭의 지연된 클럭을 필요로 하게 된다. 그림 14는 설계된 비중첩 2위상 클럭 발생기의 구조를 보인 것이다. 기본적으로는 교차되는 RS 플립플롭이며, 비중첩 2위상 클럭의 비중첩 시간은 NOR 게이트와 두 개의 NOT 게이트의 연산 지연 시간에 의해 결정된다. 또한 마지막 단의 4개의 NOT 게이트에 의해 지연된 두 개의 클럭( $V_{p1d}$ ,  $V_{p2d}$ )이 생기게 된다. 외부 입력 클럭을 왜곡을 고려하여 사인파(sine wave)를 입력으로 하여 비중첩 2위상 클럭 발생기의 검증 결과는 그림 15와 같으며, 비중첩 시간은 17ns이고 지연시간은 5ns로 나타났다.

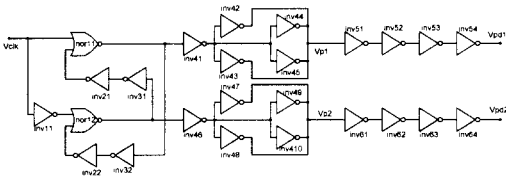


그림 14. 비중첩 2위상 클럭 발생기  
Fig. 14. Nonoverlapping two-phase clock generator.

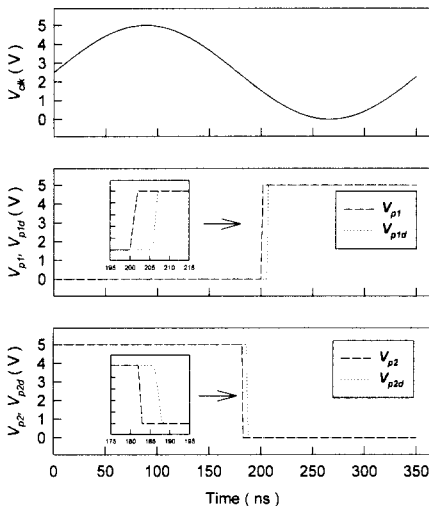


그림 15. 비중첩 2위상 클럭 발생기의 검증 결과  
Fig. 15. Simulation results of the nonoverlapping two-phase clock generator.

IV. 전체 변조기 검증 결과

Sigma-delta 변조기의 전체회로에 대한 시간 응답 특성은 그림 16과 같다.

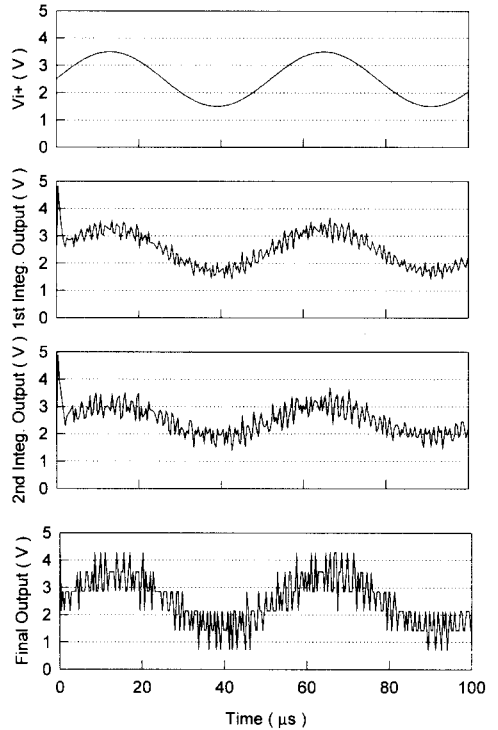
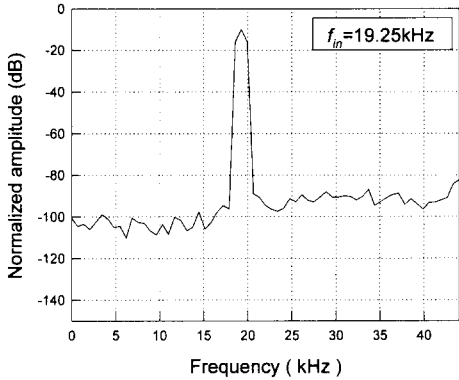


그림 16. 2차 SDM의 검증 결과(fin=19.25kHz)  
Fig. 16. Simulation results of the second-order SDM(fin=19.25kHz).

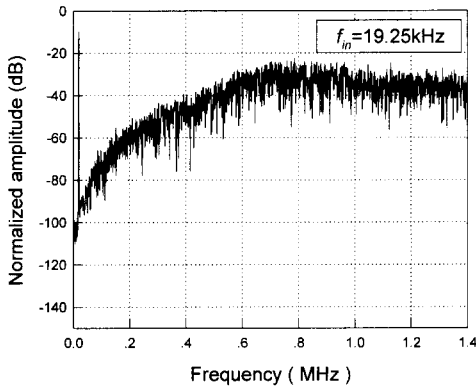
최대 입력에 대해 적분기의 출력전압이 1에서 4V 사이에 존재하여 설계한 연산증폭기 출력범위 내에 유지됨을 알 수 있다. 최종출력은 3비트의 디지털 신호로 주어진다. 변조기의 분해능을 조사하기 위해 최종출력을 한 클럭마다 샘플링한 후 이를 FFT(fast fourier transform)하여 주파수에 따른 신호와 잡음의 크기를 조사하였다(그림 17). 여기에는 크기는 -10dB 이고, 주파수가 19.25kHz인 사인 신호가 입력으로 사용되어 졌다. 4096개의 데이터에 대해 SNR을 분석한 결과 77dB로 나타났다. 실제 14비트의 분해능을 갖는 변조기의 성능을 평가하기 위해서는  $2^{14}$ 개의 데이터와 초기 안정되는 시간을 고려하면 20000개 이상의 데이터가 필요하다. HSPICE를 이용하여 이 정도의 데이터 수를 얻기 위해서는 상당히 많은 시간이 걸리게 된다. 좀 더 많은 데이터 수에 대해 검증할 경우 SNR



의 향상을 기대할 수 있다.



(a)



(b)

그림 17. SDM의 FFT결과(데이터 수 : 4096), (a) 44 kHz, (b) 1.4MHz

Fig. 17. FFT results of SDM(data point : 4096), (a) 44kHz, (b) 1.4MHz.

입력 크기 변화에 따른 SNR을 조사하여 본 논문과 동일한 구조 즉 적분기의 차수가 2차이고, 내부 양자화기의 비트 수가 3비트인 기존 SDM<sup>[6]</sup>의 성능과 비교하였다. 그림 18은 제안된 SDM과 기존 SDM의 성능을 비교한 것으로 거의 비슷한 성능을 갖는다. 그러나 기존의 SDM은 본 논문에서 사용한 과표본비(64배) 보다 큰 128배의 과표본비를 사용하였으므로 제안된 SDM은 상당한 성능 개선이 되었음을 알 수 있다. 또한 복잡한 디지털 제어회로 대신에 몇 개의 AND와 NOT 게이트를 사용하여 내부 DAC의 비선형성 에러를 최소화 하였다. 사용된 입력신호는 19.25 kHz의 사인파이며, 각각의 입력당 4096개의 데이터를 이용하여 FFT하였다. 그림 18에 보인 것처럼 설계된 SDM은 최대 SNR이 87dB이며, 87dB의 입력범위를

가져 14 비트 분해능을 갖는 sigma-delta ADC에 충분히 이용될 수 있을 것이다.

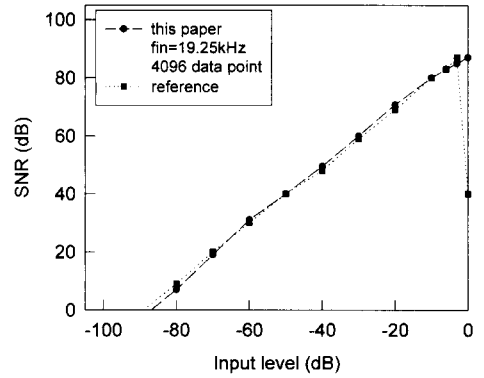


그림 18. 제안된 SDM과 기존 SDM의 성능 비교  
Fig. 18. Performance comparison between the proposed SDM and the existing SDM.

### V : 결론

저주파의 아날로그 신호를 디지털 신호로 변환하는데 용이한 sigma-delta ADC는 변조기의 설계에 의해 그 성능이 좌우된다. SDM의 성능을 향상시키는 방법으로는 여러 가지가 시도되고 있지만, 본 논문에서는 2차의 루프 필터를 기본으로 하고 내부 양자화기를 3비트로 하여 그 성능을 개선하고자 하였다. 또한 내부 ADC의 기준전압 범위를 적분기 최대출력범위에 맞게 조절하여 성능향상을 도모하였으며 멀티 비트 양자화기를 SDM의 성능에 가장 큰 에러 요인 중의 하나인 내부 DAC를 단순히 축전기와 입력제어 회로로 구현하여 에러를 최소화하였다. 설계에 앞서 실제 SDM의 동작과 같이 모델링하여 설계 및 제조시 발생하는 다양한 성능저하요인에 대한 허용범위를 규정할 수 있었으며, 이를 통해 최종 제작되는 SDM의 성능을 확신할 수 있었다.

여기에서는 SDM의 여러 가지 성능저하요인 중 연산증폭기 최대 출력 범위, 연산증폭기 DC이득, 연산증폭기 slew rate, 적분기 이득, 내부 ADC 및 DAC에 대한 에러 성분을 이상적인 SDM 모델에 첨가하여 성능저하 정도를 비교하였으며, 이를 토대로 허용 에러 범위를 규정하였다.

SDM의 구성요소들을 설계·검증한 결과 연산증폭기는 60dB의 개방이득, 45V/us의 slew rate, 0.8~4.2V의 출력 범위를 가져 모델링에서 요구하는 사양

을 만족하였다. 적분기 이득에러는 제조상의 축전기 불일치에 의한 것으로 귀속되기 때문에 모델링에서 허용하는 10%이내로는 모두 만족할 수 있다. 또한 저항과 비교기로 구성되는 내부 3비트 ADC 또한 양호한 동작을 보였다.

설계된 각각의 구성 요소들은 모델링에서 요구하는 모든 사양을 만족하였으며, 이들을 서로 연결하여 전체 SDM을 구성하고 성능을 평가하였다. 각각의 입력당 4096개의 데이터를 이용하여 전체회로 검증 결과 87dB의 최대 SNR과 87dB의 입력범위를 가져 14비트 분해능을 갖는 sigma-delta ADC에 이용될 수 있을 것이다.

참 고 문 헌

[ 1 ] J. C. Candy, "A use of double integration in sigma-delta modulation," *IEEE Trans. Commun.*, vol. COM-33, no. 3, pp. 249-258, 1985.

[ 2 ] S. R. Norsworthy, I. G. Post, and H. S. Fetterman, "A 14-bit 80-kHz sigma-delta A/D converter: modeling, design and performance evaluation," *IEEE J. Solid-State Circuits*, vol. 24, no. 2, pp. 256-266, 1989.

[ 3 ] L. A. Williams III and B. A. Wooley, "A third-order sigma-delta modulator with extended dynamic range," *IEEE J. Solid-State Circuits*, vol. 29, no. 3, pp. 193-202, 1994.

[ 4 ] F. Chen and B. H. Leung, "A high resolution multibit sigma-delta modulator

with individual level averaging," *IEEE J. Solid-State Circuits*, vol. 30, no. 4, pp. 453-460, 1995.

[ 5 ] M. Sarhang-Nejad and G. C. Temes, "A high-resolution multibit  $\Sigma\Delta$  ADC with digital correction and relaxed amplifier requirements," *IEEE J. Solid-State Circuits*, vol. 28, no. 6, pp. 648-660, 1993.

[ 6 ] J. W. Fattaruso, S. Kiriaki, M. de Wit, and G. Warwar, "Self-calibration techniques for a second-order multibit sigma-delta modulator," *IEEE J. Solid-State Circuits*, vol. 28, no. 12, pp. 1216-1223, 1993.

[ 7 ] F. Chen and B. H. Leung, "A high resolution multibit sigma-delta modulator with individual level averaging," *IEEE J. Solid-State Circuits*, vol. 30, no. 4, pp. 453-460, 1995.

[ 8 ] 조병욱, 최평, 손병기, "14비트 분해능을 갖는 2차 sigma-delta 변조기 설계를 위한 구성요소들의 최대 에러 허용 범위 조사," 한국통신학회논문집, 제 25권, 제 5호, pp. 1310-1318, 1998

[ 9 ] T. Ritoniemi, E. Pajarre, S. Ingalsuo, T. Husu, V. Eerola, and T. Saramäki, "A stereo audio sigma-delta A/D-converter," *IEEE J. Solid-State Circuits*, vol. 29, no. 12, pp. 1514-1523, 1994.

[ 10 ] K. R. Laker and W. M. C. Sansen, *Design of analog integrated circuits and systems*, McGraw-Hill, pp. 147-156, 1994.

저 자 소 개



趙炳郁(正會員)  
1968년 7월 24일생. 1991년 경북대학교 전자공학과 졸업(공학사). 1993년 동대학교 대학원 졸업(공학석사). 1999년 동대학교 대학원 공학박사학위 취득. 주관심분야는 센서신호 처리회로 설계, ADC 설계

崔坪(正會員) 第 32卷 B編 第 2號 參照  
경북대학교 전자·전기공학부 부교수

孫炳基(正會員) 第 23卷 第 1號 參照  
경북대학교 전자·전기공학부 교수  
센서기술연구소(ERC) 소장