

論文99-36C-10-8

광대역 CDMA 무선 가입자망 시스템용 고속 탐색기의 새로운 하드웨어 구조

(Novel Hardware Architecture of Fast Searcher for Wideband CDMA Wireless Local Loop System)

趙庸權*, 李聲柱*, 金在錫*

(Yong-Kwon Cho, Seong-Joo Lee, and Jae-Seok Kim)

요 약

본 논문에서는 광대역 CDMA 무선 가입자망 시스템에서 초기 동기획득을 위한 단말기용 고속 탐색기의 새로운 하드웨어 구조를 제안한다. 제안된 고속 탐색기는 이중 적분 직렬 동기 획득 알고리즘을 사용하였고, 고속의 동기 획득을 위해 N개의 능동 상관기로 구성되었다. N개의 능동 상관기는 하드웨어 복잡도의 증가를 줄이기 위해서 하나의 에너지 계산기를 순차적으로 사용하는 파이프라인 기법으로 설계되었다. 제안된 무선 가입자망 시스템 단말기용 고속 탐색기는 광대역 무선 가입자망 규격에 맞게 VHDL로 설계되었고, JTC Wideband 채널 환경에서 검증되었다. 제안된 고속 탐색기의 평균 동기획득 시간은 상관기를 16개 사용하였을 때, 단말기가 처음 설치된 경우는 약 40초이었고, 단말기가 고정된 경우는 약 0.16초였다. 검증된 고속 탐색기는 LG의 0.6 μ m 라이브러리를 이용하여 게이트 수준으로 합성되었고, 합성된 탐색기의 게이트 수는 상관기가 16개 일 때 15.8K였다.

Abstract

In this paper, we propose new hardware architecture of a fast searcher for an initial code acquisition in wideband CDMA wireless local loop systems. The proposed searcher uses double-dwell serial search algorithm and has N active correlators for the high performance code acquisition. Since the N active correlators are designed with pipelined architecture, it is possible to reduce the hardware complexity with only one energy calculation. Our architecture is designed using VHDL to meet wideband CDMA wireless local loop standard and verified under JTC wideband channels. Average code acquisition time of the proposed fast searcher which has 16 correlators is about 40 seconds in case of initial installation and 0.16 seconds when a base station is known. The verified fast searcher is synthesized with in 0.6 μ m LG library. The synthesized searcher has 15.8K gates when the number of the correlators is 16.

I. 서론

무선 가입자망(WLL: Wireless Local Loop)이란 기존

의 구리선으로 이루어진 전화망을 근래의 발달된 전자 기술을 이용하여 무선망으로 대체한 시스템을 말한다. 무선 가입자망의 장점은 적은 자본으로 빠르게 네트워크를 발전시킬 수 있고, 유지비가 적게 들어 경제적인 전화 서비스를 제공할 수 있다는 것이다.^[1] 무선 가입자망을 위한 많은 기술들이 연구 중에 있지만, 현재까지는 CDMA를 이용한 무선 가입자망의 성능이 가장 우수한 것으로 알려져 있다.^[2]

* 正會員, 延世大學校 電子工學科

(Dept. of Electronic Eng., Yonsei University)

接受日字:1999年4月30日, 수정완료일:1999年9月27日

CDMA를 이용한 무선 통신 시스템으로는 IS-95 규격에 의한 협대역 CDMA 방식이 현재 상용 서비스 중에 있다. 이 시스템은 각각의 기지국들이 215 길이의 동일한 PN시퀀스를 사용하면서도 각 기지국마다 일정한 위상 차를 두어 기지국을 구별하는 동기 방식을 사용한다.^[3] 이 경우 각 기지국들은 서로간에 간섭을 일으키지 않기 위해 시간적으로 정확한 동기를 맞추면서 PN 시퀀스를 발생시켜야 한다. 반면, 국내 무선 가입자망의 표준안에서는 10MHz의 광대역 CDMA 방식을 사용하는데, 별도의 시간 동기를 유지하지 않고 232-1 길이의 PN 시퀀스를 20ms길이의 단축 시퀀스로 나누어 각 기지국에 할당해 주는 비동기 방식을 사용한다.^[4] 이때, 각각의 기지국들은 단축 시퀀스에 관한 고유 Seed를 이용하여 PN 시퀀스를 발생시킨다. 그런데, 무선 가입자망의 문제점은 단말기가 위치를 이동해 처음으로 새로운 기지국과 접속할 때, 단말기에서는 연결해야 할 기지국이 사용하는 단축 PN 시퀀스의 Seed 값을 알 수 없다는 것이다. 이 경우, 단말기가 그 지역에 있는 기지국들의 단축 PN 시퀀스들을 모두 탐색해야 하기 때문에 초기 평균 동기획득 시간이 증가된다. 또, 처음으로 기지국과 연결한 후에 단말기에서는 접속할 기지국이 사용하는 PN 시퀀스의 Seed값을 알게되어 평균 동기획득 시간이 줄일 수 있지만, 무선 가입자망은 기존의 유선 가입자망을 대체하는 시스템이므로 사용자가 동기획득에 의한 시간지연을 느껴서는 안 된다. 그러므로, 무선 가입자망 시스템에서는 기존의 협대역 시스템에 비해 향상된 동기획득 성능이 요구된다.

CDMA 시스템의 동기획득 방식으로는 직렬 동기획득^[5], 병렬 동기획득^[6], 하이브리드 동기획득^[7] 등이 있다. 직렬 동기획득 방식은 적분 구간의 형태에 따라 단일적분 방식^[8]과 다중적분 방식^[9]으로 구분이 된다. 단일적분 직렬 동기획득 방식은 하드웨어가 간단하지만 동기획득 성능이 떨어지고, 다중적분 직렬 동기획득 방식은 하드웨어를 크게 증가시키지 않으면서 단일 적분 방식에 비해 향상된 동기획득 성능을 얻을 수 있다. 병렬 동기획득 방식은 작은 탐색 구간에서 고속의 동기를 실현 할 수 있는 장점을 갖지만, 순방향 링크와 같이 탐색 구간이 클 때는 다수의 상관기가 필요하게 되어 하드웨어 복잡도 등을 고려할 때 비효율적인 구조를 갖는다. 하이브리드 동기획득 방식은 큰 탐색 구간에서 하드웨어 복잡도와 동기획득 성능을 상호 보완하는 장점을 갖는 방식으로 직렬 동기획득과 병렬 동기

획득을 결합한 형태이다.

CDMA 방식 시스템에서 동기획득을 위해 사용되는 탐색기(Searcher)의 구조는 능동 상관기(Active Correlator)와 정합 여파기(Matched Filter) 등의 2가지 형태로 나눌 수 있다. 정합 여파기 구조 탐색기는 고속의 동기를 획득할 수 있으나 하드웨어가 복잡하고, 능동 상관기 구조 탐색기는 동기획득 시간이 길지만 하드웨어가 간단한 장점을 갖는다. 따라서, 전력소모와 하드웨어 복잡도가 가장 큰 문제인 기존의 IS-95 협대역 CDMA 시스템에서는 능동 상관기를 이용한 방식이 사용된다.^[10]

현재 제안되는 광대역 CDMA 무선 가입자망 시스템에서는 동기획득 성능을 높이기 위해 정합 여파기 방식의 탐색기를 사용하고 있다.^[11] 그러나, 정합 여파기 방식의 탐색기는 하드웨어가 너무 복잡하고, 에너지 소모도 크다. 하드웨어의 복잡도를 줄이기 위해서는 능동 상관기 방식의 구조를 사용해야 하는데, 이 방식의 탐색기로는 광대역 CDMA 무선 가입자망의 동기획득 성능 요구를 만족시키기가 어렵다.

따라서, 본 논문에서는 능동 상관기 방식의 탐색기의 단점인 동기획득 성능 향상시켜 주면서 하드웨어 복잡도가 적은 새로운 구조의 탐색기를 제안한다. 제안된 탐색기는 능동 상관기 방식의 하드웨어 구조를 갖지만 동시에 여러 위상의 PN 시퀀스 탐색을 할 수 있어 상관 에너지를 구하기 위한 적분시간을 줄일 수 있다. 이때, 상관기의 수가 증가하여 전체 하드웨어가 복잡해질 수 있으나, 직렬 동기획득 알고리즘에 파이프라인 알고리즘을 적용하여 하드웨어 크기를 증가를 방지하였다.

본 서론에 이어, 제 II장에서는 본 논문에서 제안하는 고속 탐색기의 탐색 알고리즘을 설명하고, 제 III장에서는 새로운 알고리즘을 지원하기 위한 고속 탐색기 블록들의 구조 설계 내용을 제시한다. 제 IV장에서는 제안된 고속 탐색기의 VHDL 설계 및 검증, 그리고 논리 합성한 결과를 보여주고, 마지막으로 제 V장에서는 결론을 맺는다.

II. 고속탐색기의 원리

(그림 1)은 본 논문에서 제안한 탐색기의 동기획득 알고리즘을 보여준다. 기본 동작은 동시에 N개의 PN 시퀀스를 탐색하기 위해 N개의 직렬 동기획득 방식 탐색기를 병렬로 사용한 것과 같다. 그러나, 파이프라인

방식을 적용하여 에너지 계산기와 마이크로프로세서 입출력 블록을 공유해서 사용할 수 있다.

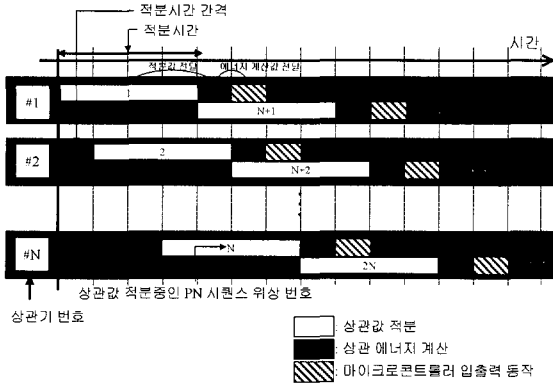


그림 1. 제안된 탐색기의 동기획득 알고리즘
Fig. 1. Code acquisition algorithm of the proposed searcher.

(그림 1)에서 왼쪽의 번호는 각각의 상관기의 번호를 나타내고, 상관기 번호들의 오른쪽은 각각의 상관기들에 대한 적분과 에너지 계산기 및 마이크로컨트롤러 입출력 블록의 동작 순서를 시간의 흐름에 따라 나타낸 것이다. N개의 상관기는 동시에 적분을 시작하지 않고 일정한 적분 시간 간격(Time Interval)을 가지면서 상관 값 적분을 시작한다. 따라서, 각 상관기의 적분 결과도 일정한 적분 시간 간격을 유지하면서 출력된다. N개 위상의 상관 값을 적분한 결과가 순차적으로 구해지면 각각의 위상에 대한 상관 에너지를 동시에 연산할 필요가 없어지기 때문에 N개의 상관기들은 에너지 계산기를 공유해서 사용할 수 있다. 또, 탐색기에서는 상관 에너지를 이용하여 동기획득 여부를 판단하기 위해 마이크로컨트롤러가 필요하게 되는데^[12], 각 위상에 대한 상관 에너지 값을 마이크로컨트롤러로 전송하기 위한 마이크로컨트롤러 입출력 블록도 공유가 가능해진다.

(그림 1)을 보면, 1번 상관기는 PN 시퀀스의 첫 번째 위상에 대한 상관 값 적분을 끝내서 적분 결과를 에너지 계산기에 넘겨주고, N번째 상관기의 적분기가 탐색 중인 N번째 위상의 다음 위상인 N+1번째 위상의 상관 값 적분을 시작한다. 에너지 계산기는 이 값을 받아 두 번째 PN 시퀀스 위상을 탐색하는 두 번째 상관기의 적분 결과가 출력되기 전까지 연산을 끝내고, 결과 값을 다음 블록인 마이크로컨트롤러 입출력 블록으로 넘겨

준다. 두 번째 상관기 역시 상관 값 적분을 끝내면 에너지 계산기에 적분 결과를 넘겨주고 첫 번째 상관기가 처리중인 PN 시퀀스 위상의 다음 위상인 N+2번째 위상의 상관 값을 적분하기 시작한다. 이런 방식으로 고속 탐색기는 각 위상의 PN 시퀀스를 탐색하게된다.

III. 제안된 고속 탐색기의 구조 설계

(그림 2)는 본 논문에서 제안하는 광대역 CDMA 무선 가입자망을 위한 고속 탐색기의 하드웨어 구조이다. 고속 탐색기는 PN 시퀀스 발생기, PN 분배기, 전처리 상관기, N개의 MUX와 N개의 적분기, 에너지 계산기, PN 시퀀스의 위상 값을 표시하는 카운터, 최대 에너지 감지기 그리고 마이크로컨트롤러 입출력 블록으로 이루어져 있다.

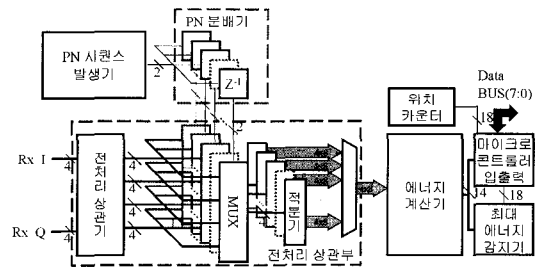


그림 2. 제안된 고속 탐색기의 하드웨어 구조
Fig. 2. Hardware architecture of the proposed fast searcher.

(그림 2)에서 RX_I, RX_Q는 각각 I-채널과 Q-채널의 파일럿 신호를 4비트로 양자화 시킨 신호이다. 이 신호들은 전처리 상관기에서 QPSK 역확산을 위한 정보로 변환된다. PN 부호 발생기는 I-채널, Q-채널의 PN 시퀀스를 발생하고, PN 분배기는 발생된 시퀀스를 이용하여 서로 다른 N개의 위상을 갖는 PN 시퀀스를 만들어 낸다. 제안된 고속 탐색기에서는 서로 다른 N개의 위상에 대한 상관값을 동시에 적분하기 위해 N개의 상관기를 사용해야 하는데, 상관 값을 미리 계산해주는 전처리 상관기 블록은 공유해서 사용하고 MUX와 적분기만을 N개 사용하여 상관 값들을 적분한다. 이때, N개의 상관기는 PN 시퀀스 위상 탐색 간격을 1/2칩으로 하기 위해 On-time과 Late-time의 2개의 상관기로 이루어져 있고, 적분기는 I채널과 Q채널의 상관값을 적분하기 위해 상관기당 각각 2개씩 사용하였다. 각 상관

기는 상관값 적분을 순차적으로 시작했기 때문에 적분 값 연산 결과를 적분 순서에 따라 순차적으로 출력한다. 이 값들은 에너지 계산기로 전달되어 각 PN 시퀀스 위상의 상관 에너지 값을 계산하는데 사용되고, 다시 이 에너지 값들과 현재 PN 시퀀스의 위상 값들은 마이크로컨트롤러 입출력 블록을 통해 마이크로컨트롤러에 전달된다. 최대 에너지 감지기는 현재 탐색중인 탐색 창안에서 최대 상관 에너지를 갖는 PN 시퀀스의 에너지 값과 위상 값을 저장하는 역할을 한다.

1. 전처리 상관부의 설계

탐색기에서 상관기는 수신된 신호와 탐색중인 위상의 PN 시퀀스간의 상관 값을 계산하고 적분해주는 동작을 한다. 동시에 여러 위상의 PN 시퀀스를 탐색하는 경우, 탐색할 위상의 수와 같은 수만큼의 상관기를 사용해야 하고, 이에 따라 전체 하드웨어 역시 증가하게 된다. 이 문제를 해결하기 위해 본 논문에서는 전처리 상관부를 다음과 같이 제안한다.

수신된 신호와 현재 탐색중인 위상의 PN 시퀀스와의 상관 값을 구하기 위해 단말기는 I채널과 Q채널 PN 시퀀스를 발생시킨다. 이 때, 발생된 시퀀스는 1 또는 -1의 값을 갖는데, 상관값을 연산하기 위해서 수신된 신호와 이 PN 시퀀스를 서로 곱한다. 이 연산 결과는 시퀀스의 값에 따라 단순히 수신된 신호의 부호만 변화시켜 주면 얻을 수 있다. 그러므로, QPSK 상관기^[13]에서 상관 값 적분은 단순히 수신기에서 발생하는 PN 시퀀스에 따라 수신된 I-채널 신호와 Q-채널 신호간의 합과 차를 각 적분기에 더하거나 빼면 구해진다는 것을 알 수 있다. 전처리 상관기는 상관 값 연산의 이러

한 특성을 이용한 것이다. 전처리 상관기를 사용하면 각각의 상관기간에 반복되는 계산을 미리 전처리 상관기에서 연산해 주기 때문에, MUX와 적분기만 N개 사용해서 N개의 상관기를 구현 할 수 있다. 결과적으로 복잡한 산술연산을 1개의 블록으로 처리하기 때문에, 상관기 수의 증가에 따른 전체 하드웨어 크기 증가를 막을 수 있게 된다. (그림 3)은 이러한 원리를 이용하여 제안된 전처리 상관부의 구조를 보여준다.

(그림 3)에서 알 수 있듯이, 전처리 상관부는 1개의 전처리 상관기와 N개의 MUX, N개의 적분기로 구성되어 있다. 전처리 상관기는 미리 수신된 I-채널과 Q-채널 신호의 더한 값과 뺀 값을 계산하고 SR_GAIN값에 따라 이득 값을 곱해주는 역할을 한다. 이렇게 계산된 값은 현재 탐색중인 PN 시퀀스 위상의 I-채널, Q-채널 PN 부호에 따라 각 상관기내의 MUX 통해 선택되어 적분기로 보내진다. 이 때, 적분기는 덧셈기를 공유할 수 있는 구조를 갖도록 설계되었다. MUX 제어기 입력 신호중 Local_PN_IQ 신호는 현재 탐색할 위상의 I채널과 Q채널 PN 시퀀스 값이다.

제안된 탐색기는 1/2칩 간격으로 PN 시퀀스를 탐색하기 때문에 1개의 PN 시퀀스 위상 당 4개의 채널(On-time I-채널, On-time Q-채널, Late-time I-채널, Late-time Q-채널)에 대한 상관 값을 계산해야 한다. 이 때 적분기의 하드웨어 크기를 최소화하기 위해 적분 값을 저장하는 래치(Latch)만 4개 사용하고 나머지 부분은 공유하는 구조를 사용하였다. 적분기는 PN 시퀀스 1칩 동안에 4개의 적분 연산을 해야 하므로 CHIPX4 클럭(PN 칩 속도의 4배)을 사용한다. CHIPX4 클럭이 양의 값이면 현재 처리하려는 채널의 슬래브 래치 값을 마스터 래치에 저장시킨다. 마스터 래치에 저장된 값은 적분기 입력 값과 더해지고, CHIPX4 클럭이 음의 값으로 되면 처리중인 채널의 슬래브 래치에 다시 저장된다. 이러한 방법으로 적분기는 4채널의 적분을 1칩 시간동안에 처리할 수 있게 된다. 매우 빠른 CHIPX4 클럭을 이용해서 적분 연산을 하기 위해서는 슬래브 래치를 선택하기 위한 MUX의 지연이 최소가 되도록 해야 한다. 제안된 고속 탐색기에서는 링 카운터^[14]를 이용하여 4비트의 타이밍 신호(LATCH_ENABLE)를 만들어 MUX 지연을 줄였다.

그림 3. 제안된 전처리 상관부의 하드웨어 구조
Fig. 3. Hardware architecture of the proposed pre-correlation block.

2. PN 분배기의 설계

N개의 위상을 동시에 탐색하기 위해서는 N개의 PN

시퀀스 발생기가 필요하다. (그림 4)는 PN 시퀀스 발생기의 출력 PN_IQ 신호를 이용하여 N개의 서로 다른 위상을 갖는 PN 시퀀스를 만들어내기 위한 PN 분배기의 하드웨어 블록도 이다.

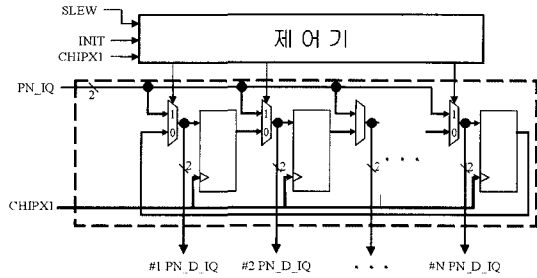


그림 4. PN 분배기의 하드웨어 구조
Fig. 4. Hardware architecture of the PN distributor.

(그림 1)에서 설명한 탐색기의 탐색 알고리즘을 살펴보면 각각의 상관기들은 각기 다른 시기에 새로운 위상의 PN 시퀀스가 필요하다는 것을 알 수 있다. 예를 들면, 1번 상관기가 첫 번째 위상의 탐색을 끝내면 N번 상관기가 탐색중인 위상의 다음 위상인 N+1번째 위상의 PN 시퀀스가 필요하다. 그러나, 1번 상관기를 제외하고는 나머지 상관기들은 아직 적분이 끝나지 않았으므로 각 상관기에 입력되는 PN 시퀀스의 위상이 변해서는 안 된다. 제안된 PN 분배기는 N개의 MUX와 제어기를 이용해 이 문제를 해결해 준다. 초기화 신호 (INIT)가 '1'이 되면 제어기의 출력 신호는 "100...0"이 된다. 이 제어신호에 의해서 첫 번째 PN 분배기 출력으로 PN 부호 발생기로부터 발생된 첫 번째 위상의 PN 부호가 직접 출력되고, 두 번째 PN 분배기의 출력은 지연 소자를 통해 1칩 지연된 시퀀스를 받아 두 번째 위상의 시퀀스를 출력한다. 이런 식으로 N번째 출력은 N-1칩 지연된 부호를 받게되어 N번째 위상의 PN 부호를 출력한다. 초기화 후 첫 번째 상관기의 적분이 끝나면 PN 시퀀스 발생기는 1칩 지연되어서 두 번째 위상의 PN 시퀀스를 발생시킨다. 이때, 제어기의 출력도 "010...0"으로 변하고, 이 값에 따라 MUX들의 동작이 변화되어 1칩 이동된 PN 시퀀스 발생기의 출력이 PN 분배기의 두 번째 출력으로 바로 나갈 수 있게 된다. 그 결과, PN 분배기 출력 중 두 번째에서 N번째까지는 위상의 변화가 없게되고, 단지 첫 번째 출력만 N번째 출력을 1칩 지연시켜 얻은 N+1번째 위상을 출

력하게 된다. 이런 식으로 각각의 상관기에 대한 적분이 끝날 때마다 발생기에서 출력되는 PN 시퀀스의 위상과 PN 분배기내의 MUX의 제어 값이 변화된다. 모두 N번의 변화가 일어나면, 이 분배기의 출력이 모두 처음 위상에 N만큼 진행된 위상을 출력하게 된다.

3. 에너지 계산기의 설계

상관기에서 탐색한 PN 부호의 위상 가정이 옳은지 마이크로컨트롤러에서 판단하기 위해서는 상관에너지를 알아야 한다. 이 상관에너지를 구하기 위해서 탐색기에서는 에너지 계산기를 사용한다. 또, 탐색기에서 상관에너지를 구할 때, 도플러 주파수 및 기지국과 단말기의 주파수 오프셋에 의해 주파수 오류가 발생하면 에너지 값이 감소하게 된다. 이 때, 후치 적분(Post-accumulator)을 하면 에너지의 감소를 줄일 수 있게 된다^[13]. 이러한 이유로, 고속 탐색기는 후치 적분을 지원하는 에너지 계산기를 두어 상관 에너지를 구할 수 있게 설계되었다. (그림 5)은 에너지 계산기의 구조를 보여준다.

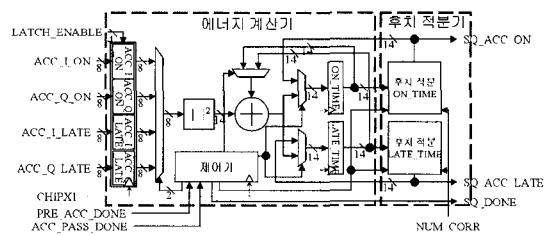


그림 5. 에너지 계산기의 하드웨어 구조
Fig. 5. Hardware architecture of the energy calculator.

에너지 계산기는 에너지를 계산하는 부분과 후치 적분기로 이루어져 있다. (그림 1)에서처럼 각각의 상관기에서는 적분 값이 순차적으로 구해진다. 그러므로 각각의 PN 부호 위상에 대한 상관 에너지를 동시에 계산할 필요가 없어진다. 이러한 이유로 1개의 에너지 계산기로 N개의 상관기에 대한 상관 에너지 값을 처리할 수 있다. 제안된 고속 탐색기에서는 에너지 계산기의 하드웨어의 복잡도를 줄이기 위해 에너지 계산기를 1개의 제곱기와 덧셈기로 설계하였고, 각 상관기의 On-time과 Late-time에 대한 상관 에너지를 1개의 에너지 계산기에서 계산할 수 있도록 하였다. (그림 5)의 에너지 계산기는 CHIPX1의 클록을 사용하여 에너지를 저장한다. 그러므로, 4채널 적분 값을 저장하고 ON_

TIME과 LATE_TIME 에너지를 계산하기까지는 5 PN 칩의 시간이 걸리게 된다.

IV. 고속 탐색기의 설계 검증

제안된 고속 탐색기는 VHDL을 이용하여 설계 및 검증되었다. 고속 탐색기의 동작을 검증하기 위해서 가상 기지국과 전송 채널 환경, 그리고 탐색기의 동작을 제어해주는 제어기가 필요하므로, 임의의 Seed값을 갖는 가상 기지국과 고속 탐색기의 동기획득 알고리즘을 제어하는 제어기는 VHDL을 이용하여 Behavioral Level로 설계하였다. 전송 채널은 주파수 선택성 페이딩 환경에서의 고속 탐색기의 성능을 측정하기 위해 레일리 페이딩 시뮬레이터에 TDLM(Time Delay Model)모델을 사용하였다^[15]. 이 때, 다중 채널 페이딩에 의한 지연 값과 각각의 이득 값(Multichannel Gain)은 JTC 모델을 이용하였다^[16]. (그림 6)은 제안된 고속 탐색기의 게이트 수준 검증결과를 보여준다. 제안된 탐색기의 검증 환경은 광대역 CDMA 무선 가입자망 표준안에 따라 칩의 전송률을 8.192Mcps로 하였고, PN 시퀀스의 위상을 탐색할 때 각 위상마다 적분 시간은 PN 시퀀스 256칩으로 하여 검증했다. (그림 6)에서 가상 기지국에서 전송되는 파일럿 PN 시퀀스와 단말기의 PN 시퀀스가 일치되면서 동기를 획득하는 모습을 볼 수 있다.

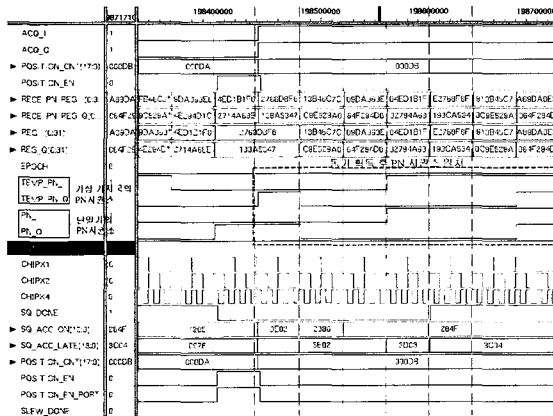


그림 6. 제안된 고속 탐색기의 게이트 수준 검증 결과
Fig. 6. Gate level simulation results for the proposed fast searcher.

제안된 탐색기는 게이트 수준으로 논리 합성이 되었다. 고속 탐색기는 상관기의 수에 따라서 반복되는 구

조를 갖는 특성을 갖고 있다. 이 특성을 이용해 상관기의 수가 정해지면 자동으로 내부 구조가 설계될 수 있도록 매개변수를 이용하는 VHDL 설계 방식을 사용하였다.

상관기의 수가 동기획득 성능에 미치는 영향을 알아보기 위해서 상관기의 수를 다르게 하여 합성한 고속 탐색기의 평균 동기획득 시간을 비교한 결과를 (표 1)에 보였다. 위치가 옮겨지면 단말기는 그 지역에서 접속 가능한 기지국의 모든 PN 시퀀스를 탐색해야 한다. 한 지역에서 가능한 기지국의 수를 최대 256개로 가정하면 상관기 수에 따른 탐색기의 평균 초기 동기획득 시간을 계산 할 수 있다. 또, 기지국과 접속 후 단말기가 기지국의 Seed값을 알고있는 경우에 대해서도 비교해 보였다. 그 결과, 상관기를 2개 사용하는 기존의 방식에서는 단말기 지역이동시 평균 동기획득 시간이 5분 20초가 되고, 단말기를 고정하였을 때는 1.25초가 된다는 것을 알 수 있다. 이 때, 사용자가 수용할 수 있는 초기 동기획득 시간을 1분으로 가정하면, 상관기의 수가 12개 이상인 탐색기에서 원하는 성능을 얻을 수 있다. 무선 가입자망은 유선 시스템과 동일한 성능을 갖기 위해서 개인 휴대통신 시스템과 달리 매우 빠른 동기획득 성능을 요구한다. 요구되는 성능을 0.2초 이내 라고 가정하면, 기지국과 처음 접속한 후 단말기 위치가 고정된 경우 상관기의 수가 16개 이상일 때 원하는 성능을 얻을 수 있었다. (표 2)를 보면, 제안된 탐색기

표 1. 상관기 수에 따른 탐색기의 성능과 하드웨어 크기 비교표

Table 1. Comparison table of each searcher in the performance and the size of hardware.

분류	동기 획득 시간	
	단말기 지역 이동시 (기지국의 Seed값 모를 때)	단말기 고정시 (기지국의 Seed값 알 때)
상관기 수		
N=2	5분 20초	1.25초
N=4	1분 40초	0.63초
N=12	53초	0.21초
N=16	40초	0.16초
N=24	27초	0.1초

는 상관기의 수가 2개 늘어나면 전체 하드웨어는 약 1K의 게이트 수가 증가하는 것을 알 수 있다. 이 결과

를 보면 상관기 수가 2개인 기존의 협대역 CDMA 시스템용 탐색기의 하드웨어가 8.8K게이트인 것을 고려할 때, 상관기가 16개인 경우에는 약 77%정도의 하드웨어 감소를, 그리고 24개인 경우에는 약 81%의 하드웨어 감소를 보여준다.

표 2. 상관기 수에 따른 탐색기의 하드웨어 크기 비교표

Table 1. Comparison table of each searcher in the size of hardware.

상관기 수	분류	논리회로 게이트 수		감소 비율
		기존의 동기획득 방식 ^[9]	제안된 고속 탐색기	
N=2		8.8K	-	-
N=4		8.8K×2	9.8K	44%
N=12		8.8K×6	13.8K	74%
N=16		8.8K×8	15.8K	77%
N=24		8.8K×12	19.8K	81%

V. 결 론

본 논문에서는 광대역 CDMA 무선 가입자망의 동기 획득 성능을 만족시키기 위한 새로운 구조의 탐색기를 제안하였다. 제안된 탐색기는 하드웨어의 부담을 줄이기 위해 이중적분 직렬 동기획득 알고리즘을 사용하였고, 고속의 동기획득을 위해 N개의 능동 상관기로 구성되었다. N개의 능동 상관기는 하드웨어 복잡도의 증가를 줄이기 위해 하나의 에너지 계산기를 순차적으로 사용할 수 있도록 파이프라인 기법으로 설계되었다. 제안된 고속 탐색기는 VHDL로 설계 및 검증되었으며, 게이트 수준으로 합성되었다. 합성된 고속 탐색기의 게이트 수는 상관기가 16개일 때 약 15.8K게이트, 24개일 때 약 19.8K게이트였다. 제안된 고속 탐색기는 기존의 탐색기와 비교할 때 약 77%이상의 하드웨어 복잡도 감소효과를 보였다.

광대역 CDMA 무선 가입자망 시스템에서는 기존의 협대역 CDMA 시스템보다 더욱 향상된 동기획득 성능을 요구한다. 또, 칩의 전송률이 빨라진 광대역 CDMA에서는 수신 신호를 보다 고속으로 처리할 수 있는 성능을 갖는 탐색기를 필요로 한다. 본 논문에서 제안하

는 고속 탐색기는 이러한 광대역 CDMA 시스템의 탐색기로서 매우 유용할 것으로 본다.

<본 연구는 서울대학교 반도체공동연구소의 교육부 반도체분야 학술연구조성비(과제번호 : ISRC 97-E-2039)에 의해 수행되었습니다.>

참 고 문 헌

- [1] Vijay K. Garg and E. L. Sneed "Digital Wireless Local Loop System", IEEE Communications Magazine, V. 34 N. 10, pp112-115, 1996, 10.
- [2] Lee WCY, "Spectrum and Technology of a Wireless Local Loop System", IEEE Personal Communication, V. 5 N. 1, pp49-54, 1998, 2.
- [3] TTA/EIA, "IS-95: Mobile Station-Base Station Compatibility for Dual-Mode Wide-band Spread Spectrum Cellular System", July 1993.
- [4] Wireless Local Loop를 위한 무선 규격(안), 1997, 3, 한국전자통신연구소
- [5] David M. Dicarolo and Charles L. Weber, "Statistical Performance of Single Dwell Serial Synchronization System", IEEE Trans. Commun. vol. COM-28, pp1382-1388, AUGUST1980.
- [6] Essam Sourour and Someshwar C. Gupta, "Direct-Sequence Spread-Spectrum Parallel Acquisition in Nonselective and Frequency - Slective Rician Fading Channels", IEEE J. Selected Areas Commun. vol. 10, pp535-544, APRIL 1992.
- [7] W. Cheng, "Performance of a Class of Parallel Spread - Spectrum Code Acquisition Schemes in The Presence of Data Modulation", IEEE Trans. Commun., vol. COM-36, pp596-604, MAY 1988.
- [8] Jack K. Holmes and Chang C. Chen, "Acquisition Time Performance of PN Spread-Spectrum Systems", IEEE Trans. Commun., vol. COM-25, pp778-783, AUGUST 1977.
- [9] D.M. Dicarolo and C.L. Weber, "Multiple Dwell

- Serial Search : Performance and Application to Direct Sequence Code Acquisition*, IEEE Trans. Commun., vol. COM-31, pp650-659, MAY 1983.
- [10] 영광일, 광계달, "CDMA 이동국용 PN 부호 탐색기 설계 및 구현", 전자공학회논문지, 제34권 S 편 제8호, pp. 825-832, 1997. 8
- [11] 서민호, 서승모, "W-CDMA 방식 기저 대역 MODEM Chip Set 아키텍처 구현 연구", 전자공학회지, 제25권 제5호, pp. 61-70, 1998. 5.
- [12] Seongjoo Lee, Jaeseok Kim, and Moonkey Lee, "VHDL Design of the Optimum Code Acquisition System Suitable for CDMA PCS Modem Chip", Proceedings of the ITC-CSCC'97, 1997. 7, pp665-668. *Modem Chip*", Proceedings of the ITC-CSCC'97, 1997. 7, pp665-668.
- [13] Andrew J. Viterbi, "Principles of Spread Spectrum Communication", Addison-Wesley Pub. Company, 1995.
- [14] Charles H. Roth, Jr., "Fundamentals of Logic Design", PWS Pub. Company.
- [15] 홍종석, 광경섭, "이동 통신 시스템에서 페이딩 채널 모델링", 한국통신학회논문지, Vol. 20 No. 4, pp840-852, '95. 4
- [16] JTC(AIR)/94.09.23-065R6, "Technical Report on RF Channel Char. and System Deployment Modeling", Deployment /Testing AD HOC Group, San Diego, CA, 1994.

저 자 소 개



趙庸權(正會員)

1974년 10월 14일생. 1997년 2월 연세대학교 전자공학과(공학사). 1997년 3월~현재 연세대학교 전기·컴퓨터공학과 재학. 주관심분야는 정보통신 ASIC 설계연구

李聲柱(正會員) 第 36卷 S編 第 9號 參照

金在錫(正會員) 第 36卷 S編 第 9號 參照