

# 메모리의 IDDQ 테스트를 위한 내장전류감지 회로의 설계

## A Design of BICS Circuit for IDDQ Testing of Memories

문 홍 진\*, 배 성 환\*\*

(Hong Jin Moon\*, Sung Hwan Bae\*\*)

### 요 약

IDDQ 테스트는 CMOS 소자로 구성된 회로에서 기능 테스트로는 검출할 수 없는 결함을 찾아내어 회로의 신뢰성을 높여주는 전류테스트 방식이다. 본 논문에서는 IDDQ 테스트를 테스트 대상 칩 내에서 수행할 수 있는 내장전류감지(Built-In Current Sensor: BICS) 회로를 설계하였다. 이 회로는 메모리의 IDDQ 테스트를 수행할 수 있도록 설계되었으며, 적은 트랜지스터를 사용하여 빠른 시간 내에 테스트를 수행할 수 있도록 구현하였다.

### ABSTRACT

IDDQ testing is one of current testing methodologies which increases circuit's reliability by means of finding defects which can't be detected by functional testing in CMOS circuits. In this paper, we design a Built-In Current Sensor(BICS) circuit, which can be embedded in chip under test, that performs IDDQ testing. Furthermore, it is designed for IDDQ testing of memories and implemented to carry out testing at high-speed by using small number of transistors.

### I. 서 론

CMOS의 소자는 그 구조적 특성으로 인하여 결함이 없으면 정지상태(steady state)에서 pn 접합 누설전류(pn junction leakage current) 이외에는 전류가 흐르지 않는다 [1]. IDDQ(Quiescent power supply current) 테스트는 정지 상태에서 테스트 대상 회로에 흐르는 전류를 VDD 또는 GND에서 측정함으로써 전압을 테스트하는 기능 테스트 방식에서 요구되는 제어성(controllability)과 관측성(observability)을 고려할 필요가 없다. 제어성이란 테스트 대상 회로의 수위 입력단(primary input)에 테스트 벡터를 인가하여 그 데이터 값이 검출하고자 하는 내부 회로에 접근할 수 있도록 조절하는 능력을 의미하고, 관측성이란 내부 회로에 고장이 발생하였을 때 테스트 대상 회로의 수위 출력단(primary output)에서 고장 유, 무를 관찰할 수 있도록 조절하는 능력을 뜻한다.

IDDQ 테스트는 전압테스트보다 적은 수의 테스트 패턴을 사용하여 브리징과 같은 물리적인 결함뿐만 아니라 게이트 누설전류와 같이 신뢰도에 관계되는 고장도 검출할 수 있다. 전류테스트의 장점중의 하나는 고장의 영향

을 출력단까지 전달할 필요가 없다는 것이다.

IDDQ 테스트에 사용되는 전류 측정 방식은 외부 측정 방식과 칩 내에서 자체적으로 수행하는 내부 측정 방식으로 크게 분류되어진다[1,2]. 외부 전류 측정 방식은 그 장비가 고가이면서 테스트 대상 회로에 비해 상대적으로 큰 부하를 갖고 있으며, 테스트 대상 회로가 출력 구동단에서 큰 전류를 소비하게 되어 빠른 클럭을 인가할 경우 정전류(quiescent current)와 과도전류(transient current)를 구별하기 어려운 단점을 갖고 있다[1]. 그러나 내부 전류 측정 방식인 내장전류감지기(Built-In Current Sensor: BICS)는 외부 전류 테스트 장비를 이용하여 측정할 때보다 빠른 속도로 낮은 전류량을 측정할 수 있는 장점을 갖고 있다[1]. BICS는 정전류를 측정하는 회로로서 정지 상태에서 CMOS 회로 내의 반전 결함과 GOS 결함 등에 의해 정지 상태에서 VDD와 GND 사이에 전류가 흐를 수 있는 경로가 형성되어 정상 상태보다 훨씬 큰 전류가 흐를 때 그 전류를 감지해준다[3-6]. 즉, 고장 전류가 흐르게 되면 그 전류를 기준 전류와 비교하여 CMOS에서 사용될 수 있는 전압으로 고장 신호를 발생시킨다.

본 논문에서는 빠른 시간 안에 이상 전류를 감지하여 결함의 존재를 검출하는 BICS 회로를 구현하고자 한다. 이 회로는 특히 테스트 대상회로를 메모리로 선택하였으며 적은 숫자의 트랜지스터로써 구현되었다. II장에서는 BICS 회로의 기본구조와 각 구조별 기능에 대해 알아보

\* 전주대학교 컴퓨터공학과 부교수

\*\* 한려대학교 정보통신학과 전임강사  
접수일자 : 1998년 10월 9일

고 III장에서는 메모리에 적용할 수 있는 BICS 회로의 설계와 각 블록에 대한 시뮬레이션 결과에 대해 서술하였다. 그리고 IV장에서 결론을 맺었다.

### II. BICS 회로의 기본구조

지금까지 제안된 BICS 회로는 디지털 회로의 IDDQ를 측정하기 위한 회로로 초점을 두었다. 일반적으로 BICS 회로는 CMOS 회로와 칩의 GND 또는 VDD 사이에 위치시켜서 전류를 측정하고 영구적으로 칩 내에 장착되어 있기 때문에 IC의 정상 동작 동안 발생하는 에러를 검출할 수 있다.

일반적인 BICS 회로에 대한 블록 다이어그램을 그림 1에 보였다. BICS 회로는 그림과 같이 전류-전압 변환기(current-voltage transducer), 레벨 변환기(level shifter), 전압 비교기(voltage comparator), 기준 전압회로(reference voltage circuit)로 크게 나눌 수 있다.

전류-전압 변환기는 테스트 회로에 흐르는 전류를 전압으로 변환시켜 주는 회로이다. 정상 회로에서는 pA~nA 정도의 pn 접합 누설 전류만이 흐르게 되지만 결함이 발생되면 VDD에서 GND로 전류 경로를 형성하게 되어 많은 양의 전류가 흐르게 된다.

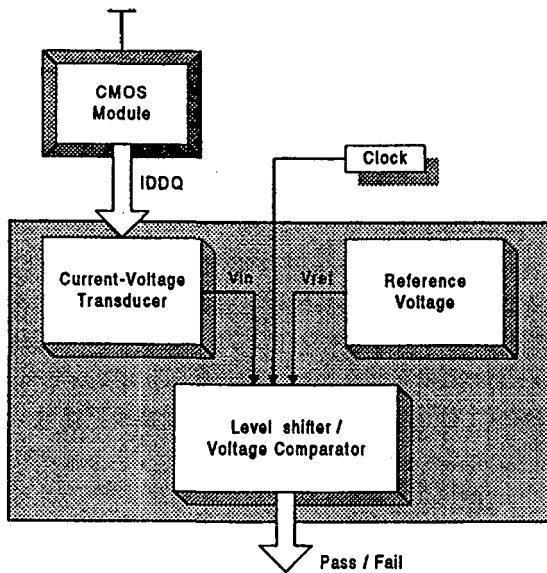


그림 1. BICS의 블록 다이어그램  
Fig. 1. Block diagram of BICS.

그러나 PMOS와 NMOS가 동시에 동작 상태가 되는 스위칭 시간에는 과도상태가 되어 큰 전류가 흐르게 된다. 따라서 과도 상태에서는 전류 감지기의 저항이 적어져서 전압 강하가 적도록 해야 하고 정상상태에 있어서 고장 전류를 검출할 때에는 저항이 커져서 적은 전류량도 측정할 수 있도록 전압 강하가 커지도록 변환기를 구현해야

한다. 변환기로서 주로 NMOSFET, 다이오드 혹은 바이폴라 트랜지스터가 사용된다.

레벨 변환기와 전압비교기는 전류-전압 변환기에서 변환된 낮은 레벨의 전압을 회로에서 동작 가능한 전압으로 변환시키고 기준전압과 입력 전압을 비교할 수 있도록 하는 회로이다. 일반적으로 비교기는 두 노드 중에 높은 전압을 갖는 노드를 결정해 준다. 즉, 기준 전압과 입력된 전압을 비교하여 입력 전압이 더 클 경우에는 고장 신호를 보내 주고 작을 때는 정상 신호를 보내준다.

기준 전압 회로는 정상 회로에서 발생하는 전류량에 의한 전압을 발생시키는 회로로서 기준 전압이 안정되지 못하면 결함을 검출할 수 있는 정확도가 현저하게 줄어들 수 있다. 그리고 외부 기준 전압 회로의 구현은 용이하지 않기 때문에 칩 상에 수용할 범위 내에서 기준 전압을 조절하기 위한 회로를 고려해야 한다.

BICS의 구현시 고려해야 할 사항은 다음과 같다.

테스트 대상 회로에 대한 BICS 회로의 투명성(transparency): 전압을 측정할 때에는 측정하고자 하는 소자 혹은 회로 양단간의 노드에 병렬로 연결하지만 전류를 측정할 때에는 측정하고자 하는 곳의 노드 사이에 측정기를 직렬로 연결하여 관측하게 된다. 이 때, 전류 측정기 자체가 갖고 있는 저항에 영향을 받아서 측정기 사이에 많은 전압이 걸리게 되면 테스트 대상 회로의 속도 지연이 발생되어 성능 저하를 일으키게 되므로 상당히 큰 전류가 BICS 회로를 통하여 흐를지라도 양단에 걸리는 전압은 그 차이가 무시할 정도로 적어야 한다.

BICS가 차지하는 면적의 최소화: BICS 회로는 테스트 모드뿐만 아니라 정상동작시에도 칩 내부에 장착되어 있어야 하므로 원래 회로에 대한 면적비가 적어야 한다.

적은 전류에 대한 높은 감지성: 정상적인 회로에 있어서 정전류는 회로에 따라 차이가 발생하겠지만 거의 pA~nA 정도가 흐르게 된다. 그러나 결함에 의해 흐르는 전류는 그 크기가  $\mu A \sim mA$ 가 된다. 따라서 테스트 대상 회로의 크기가 커질수록 정상 전류와 이상전류간의 차이를 구분하기 어려워진다. 따라서 BICS의 전류 감지성은 수십  $\mu A$  정도의 차이를 구분할 수 있도록 민감해야 한다.

### III. BICS 회로의 설계

회로의 논리적 기능에는 전혀 영향을 주지 않는 결함이 발생하였을 경우 기능 테스트로는 검출할 수 없게 되어 회로의 전체적인 전력 손실을 가져오고 시간이 경과됨

에 따라 결함 부위가 자극을 받게 되어 고장을 발생시키므로 회로에 대한 신뢰성을 감소시킨다. 따라서 이러한 문제를 해결하기 위해 메모리에서 발생하는 결함들을 검출하는 회로를 구현하고자 한다. 구현할 BICS 회로는 II 절에서 설명한 전류-전압 변환기, 레벨변환기, 전압비교기, 기준 전압 회로로 구성된다.

1. 전류-전압 변환기

전류-전압 변환기는 정지 상태에서 흐르는 전류를 전압으로 변환시켜 주며 메모리를 구성하는 두 개의 상호 교차된 인버터에서 PMOS와 NMOS가 동시에 동작되는 과도상태시에 흐르는 큰 과도 전류에 대해서는 테스트 대상회로가 정상동작이 가능하도록 저항이 작아서 큰 전류를 전압강하가 적은 상태에서 통과시킬 수 있어야 하고, 고장전류 검출시에는 저항이 증가되어 수  $\mu A$  정도의 전류도 검출할 수 있도록 전압강하가 커야 한다.

CMOS 공정에서 설계 가능한 소자는 lateral BJT, MOSFET, 다이오드, 저항 등이다. 저항에서는 식 (1)과 같이 전압이 비례상수 R을 가지고 전류에 비례한다. 따라서 적은 값을 가진 저항은 테스트 대상 회로의 성능저하를 일으키지 않고 사용할 수 있으나 전류 정밀도(current resolution)가 떨어지며, 큰 저항은 전류정밀도는 증가하나 과도 전류가 흐를 때 테스트 대상 회로의 정상동작을 어렵게 만들어 전류-전압 변환기로 적합하지 않다.

$$V = R \times I \tag{1}$$

BJT에서 Ebers-Moll 모델에 의한 컬렉터 전류는 식 (2)와 같이 구해진다. 포화영역에서 동작할 때는  $V_{ce} < 0.2V$ 를 유지하고 작은 저항으로 동작하여 큰 과도전류를 통과시키는 동안 전압강하가 작아 테스트 대상회로를 거의 5V에서 동작시킬 수 있다.

$$I_c = I_s (e^{qV_{be}/kT} - 1) (1 + V_{ce}/V_A) \tag{2}$$

$I_s$ : junction saturation current

$V_A$ : early voltage

그러나 CMOS 공정에서는 lateral NPN 트랜지스터 구조를 가지게 되어 순방향 전류이득이 적어 전류정밀도가 낮아지므로 기준 전류가 낮을 때 적은 고장전류의 검출이 어려워진다. 반면에 선형영역에서는  $V_{ce}$  전압이 크기 때문에 테스트 대상 회로의 정상동작이 어렵고 베이스 전류 제어가 어렵다.

MOSFET 동작은 선형영역과 포화영역으로 나누어진다. 선형영역에서는 식 (3)과 같이 전류가 흐르며 BJT의 포화영역에 비하여  $V_{ds}$ 의 전압강하가 커서 적은 전류를 통과시킬 때는 전류정밀도가 좋다. 포화영역에서 흐르는 전류는 식 (4)와 같으며 큰 과도 전류를 통과시키기에는

트랜스컨덕턴스가 작아서 전압강하가 커지므로 테스트 대상회로의 정상동작이 어려워진다.

$$I_{ds} = [(V_{gs} - V_{th})V_{ds} - V_{ds}^2/2] \quad (0 < V_{gs} < V_{gs} - V_{th}) \tag{3}$$

$$I_{ds} = (V_{gs} - V_{th})^2/2 \quad (0 < V_{gs} - V_{th} < V_{ds}) \tag{4}$$

다이오드에 흐르는 전류식은 식 (5)와 같으며 임계전압 (0.6V) 이하에서는 거의 전류가 흐르지 않는다. 그러나 그 이상이 되면 작은 전압의 증가로 큰 전류를 통과시킬 수 있다. 따라서 큰 과도전류를 검출하는데 어려움이 있다.

$$I_D = A_D I_s (e^{qV_D/kT} - 1) \tag{5}$$

$A_D$ : Area of diode

가장 이상적인 전류감지기는 큰 전류가 흐르는 과도상태에서는 전압강하 없이 전류를 통과시킬 수 있어야 하고, 정지상태에서는 큰 전압강하가 발생하여 작은 전류의 검출도 가능한 회로이어야 한다. 그러나 이러한 조건을 모두 만족시키는 소자는 존재하지 않으므로 본 논문에서는 그림 2와 같이 NMOS와 다이오드를 병렬로 결합한 회로를 전류-전압 변환기로 사용한다. 전류-전압 변환기로서 NMOS와 다이오드를 병렬로 연결하여 과도전류가 흐를 때에는 다이오드에 전류를 통과시켜 다이오드 양단에 약 0.65V의 전압만이 발생하도록 하는 방법을 사용하고 있다. 즉, 과도 전류에 의한 BICS 회로의 전압 강하를 최소화시키기 위한 방법이다.

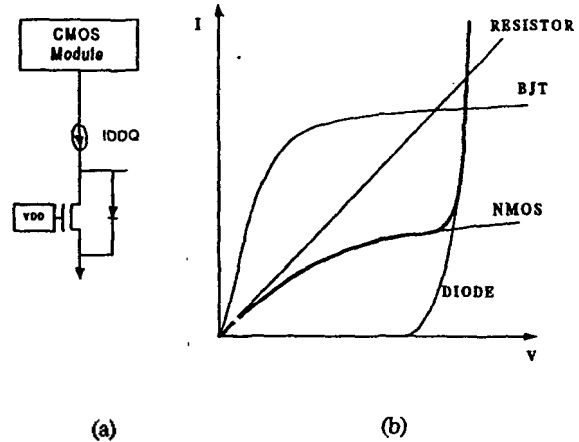


그림 2. NMOS와 다이오드를 이용한 전류-전압 변환기  
(a) 전류-전압 변환기 (b) I-V 특성곡선  
Fig. 2. Current-voltage transducer using NMOS and diode;  
(a) Current-voltage transducer, (b) I-V characteristic curve.

디지털 회로에서 과도 전류가 발생되는 시점을 알아내는 것은 쉽지 않고 또한 제어 신호를 사용하여 그 시점을 알아내야 한다. 그러나 메모리의 경우에는 셀에 쓸 데이터 값이 1→0 또는 0→1로 변환되어 쓰여질 때 PMOS와 NMOS가 약 수 ns정도 사이에서 동시에 선형영역에서 동

작하게 되어 많은 양의 전류가 흐른다[7]. 따라서 메모리에서 과도 전류가 흐르는 시점을 쉽게 알 수 있으므로 사용된 전류-전압 변환기는 NMOS를 선형영역에서 동작하게 하여 전류를 전압으로 변환시켜 준다.

2 레벨 변환기 및 전압 비교기

테스트 대상 회로에서 흐르는 전류는 전류-전압 변환기에서 전압으로 변환되며, 이 전압은 다이오드의 사용으로 인하여 0V에서 0.7V 사이에서 변환된다. 이러한 낮은 전압을 CMOS 회로에서는 사용할 수 없으므로 CMOS 회로에서 동작이 가능한 전압으로 레벨 변환하여 사용한다. 그림 7의 BICS 회로에서 T12, T13은 전류-전압 변환기의 전압을 비교기가 비교할 수 있는 전압으로 변환시킨다.

전압 비교기는 변환된 전압( $V_n$ )과 기준 전압( $V_{ref}$ )과 비교하여  $V_n$ 이  $V_{ref}$ 보다 큰 경우에는 pass(5V) 신호를 발생시키고 작을 경우에는 fail(0V) 신호를 발생시켜 결함의 유무를 알 수 있게 한다. 그림 3에는 제안된 전류-전압 변환기의 전류와 전압의 비율을 보여주고 있다. 그림에서 보는 바와 같이 다이오드의 사용은 전류감지기를 지나는 전압강하를 0.63V 이하로 제한한다.

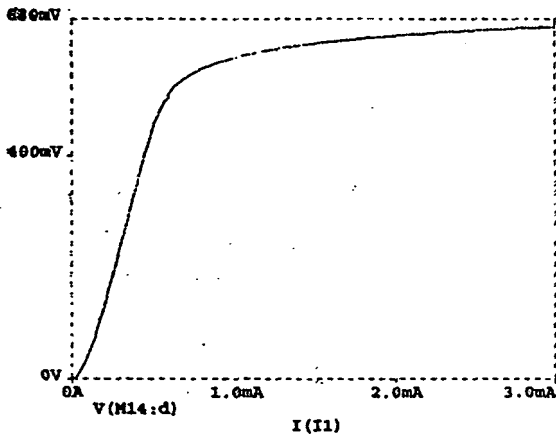


그림 3. 전류-전압 변환기의 전류 대 전압  
Fig. 3. Current versus voltage plot of current-voltage converter.

그림 4와 5에 전압 비교기의 특성을 알아보기 위한 시뮬레이션 파형을 보였다. 그림 4는 기준 전압이 1V일 경우 전압의 검출 범위를 알아보기 위한 파형으로서 입력 전압이 0.6V~1.4V로 변화될 때를 보여주고 있다.  $V_{ref}$ 는 기준 전압이고  $V_n$ 은 입력 전압을 의미하며  $V_{out}$ 은 BICS 회로의 출력 전압이다.

그림 5에는 레벨 변환된 전압비교기의 비교 시간에 따른 지연 정도를 살펴보기 위한 시뮬레이션 파형을 도시하였다. 입력전압은 0.6V에서 1.4V까지 증가를 시키고 다시 0.6V까지 감소시킨다. 그림을 살펴보면 5ns 이내에 전압을 비교하여 그 결과를 출력시켜 줄을 알 수 있다.

본 논문에서 전류감지기를 위해 클럭 신호를 사용하였

는데 이는 다음과 같은 두 가지 이유 때문이다. 첫째, 동작 중인 회로의 천이상태 동안에 입력단으로부터 전류감지기를 분리시키기 위해서이고, 둘째, 동작 중인 회로가 전류감지기의 신호에 의해서 영향을 받지 않게 하기 위해서이다. 또한 BICS 회로의 감지도를 높이기 위해서 비중첩 2상 클럭을 사용하였다. 사용된 클럭 방식을 그림 6에 보여주고 있으며 클럭 1과 2는 8n의 주기를 가진다.

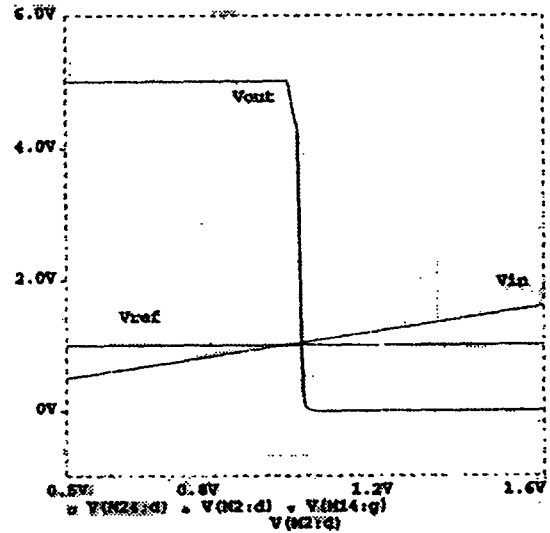


그림 4. 입력 전압의 차이에 따른 전압 비교기의 시뮬레이션 파형

Fig. 4. Simulation waveform of voltage comparator according to input voltage variation.

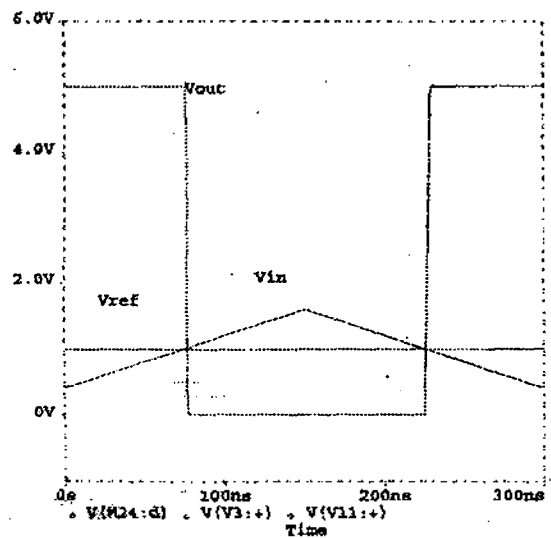


그림 5. 레벨 변환된 전압 비교기의 출력 지연 시간을 위한 시뮬레이션 파형

Fig. 5. Simulation waveform of level shifted voltage comparator for output delay.

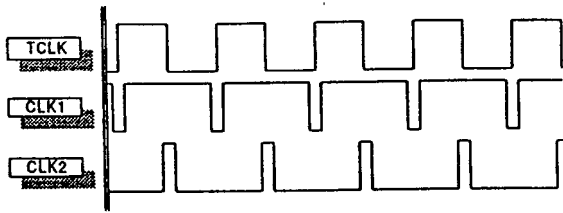


그림 6. 비중첩 2상 클럭 레벨  
Fig. 6. Non-overlapping two phase clocking scheme.

3. 기준 전압 회로

기준 전압 회로는 전류-전압 변환기를 통하여 레벨 변환기와 전압 비교기에 입력되는 전압을 비교하기 위한 기준 전압을 발생시키는 회로로서 정상적인 회로에서 정지 상태에 흐르는 아주 작은 전류를 전압 레벨로 변환시켜 주어야 한다. 여기에서 중요하게 고려해야 할 사항은 기준이 되는 전류의 크기를 어느 정도로 설정하는 가이다. 이것은 회로의 특성상 밀접한 관련을 갖고 있으며, 특히 테스트 대상 회로의 크기를 설정해주는 회로 분할(partition) 방법과 연관성이 높다. 만일 분할한 테스트 대상 회로의 크기를 경우에는 고장 발생 시의 전류 값과 정상적인 회로에서의 전류 값의 차이가 작아지고 기준 전류는 커질 것이다. 반면에 분할을 많이 해서 하나의 전류 감지기에 대한 테스트 대상 회로의 크기가 작아지면 감지기의 수가 많아져서 면적 오버 헤드가 커지겠지만 정확도가 높아지고 기준 전류의 크기는 작아진다. 따라서 고장 검출 정밀도와 전류 감지기의 면적 오버헤드에 대한 trade-off를 고려하여 기준 전류를 설정해야 한다.

본 논문에서는 수십  $\mu A$ 를 기준으로 설정하였으며 회로의 테스트시 다른 회로에 의해 전류가 변화되지 않고 일정한 전류를 유지시키기 위해 제안한 NMOS와 똑같은 회로를 사용하여 전압으로 변환시켰다. 이 변환된 전압을 MOSFET를 동작시킬 수 있는 전압 레벨로 변환시키기 위해 전류-전압 변환기에서 사용하였던 레벨 변환기와 같고 이를  $V_{ref}$ 로 사용하여 결함의 유, 무를 판별하게 된다.

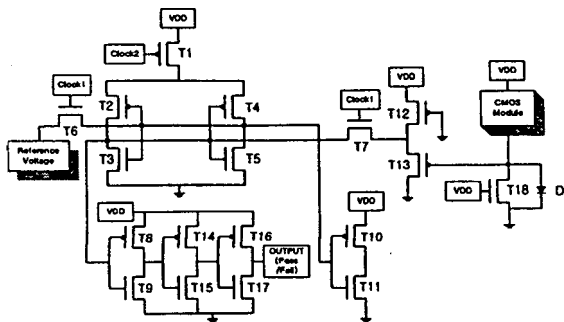


그림 7. 설계한 BICS 회로  
Fig. 7. Designed BICS circuit.

그림 7에 설계한 BICS 회로를 도시하였으며, BICS 회로의 정상 그리고 고장 전류에 대한 감지도를 알아보기 위한 시뮬레이션 결과를 그림 8에 도시하였다. 여기에서 기준전류를 200 $\mu A$ 로 설정하였으며 이 이상의 전류가 흐르게 되면 수 ns내에 결함발생 신호를 생성시켜줌을 살펴볼 수 있다.

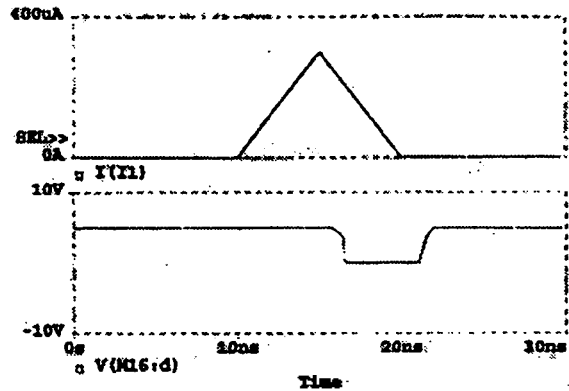


그림 8. BICS 회로의 시뮬레이션 파형  
Fig. 8. Simulation waveform of BICS circuit.

IV. 결 론

설계한 BICS 회로는 전류-전압 변환기, 레벨 변환기, 전압 비교기, 기준 전압 발생기로 구성되며 사용된 트랜지스터의 수를 살펴보면 전류-전압 변환 회로에서 1개, 레벨 변환기에서 2개, 전압 비교기에서 12개, 그리고 기준 전압발생기에서 3개, 클럭 1과 클럭 2를 통과시키기 위해 3개가 필요하다. 그러므로 메모리 전체를 이루는 트랜지스터 수에 비해 무시할 정도의 오버헤드가 발생된다. 그렇지만 메모리를 분할할 경우에는 각 블럭에 BICS 회로가 각각 필요하게 되므로 분할된 블럭의 개수에 따라 오버헤드는 증가하게 된다. 또한 설계된 BICS 회로는 메모리의 정상 동작시 발생하는 이상 전류를 수 ns 내에 검출하여 테스트 대상 메모리 셀 블럭의 결함을 신속하게 전달해 줌을 알 수 있다.

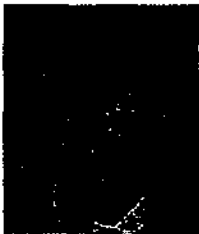
앞으로의 과정은 설계한 BICS 회로를 실제 메모리 셀 블럭에 장착하여 결함의 발생되었을 때 BICS 회로의 동작상태를 살펴보아야겠다.

참 고 문 헌

1. R. Rajsuman, Digital Hardware Testing : Transistor-Level Fault Modeling and Testing, Artech house, 1992.
2. R. Rajsuman, Iddq Testing for CMOS VLSI, Artech

- house, 1994.
3. R. Meershoek, et al., "Functional and IDDQ Testing on a Static RAM," Proc. of Int. Test Conf., pp. 929-937, 1990.
  4. Wojciech Maly and Marek Patyra, "Built-in Current Testing," IEEE Journal of Solid-State Circuits, Vol. 27, pp. 425-428, March 1992.
  5. Tung-Li Shen, et al., "A 2-ns Detecting Time, 2- m CMOS Built-in Current Sensing Circuit," IEEE Journal of Solid-State Circuits, Vol. 28, pp. 72-77, Jan. 1993.
  6. Ching-Wen Hsue and Chih-Jen Lin, "Built-in Current Sensor for IDDQ Testing in CMOS," Proc. Int. Test Conf., pp. 635-641, 1993.
  7. 전병실 외, "저항성 단락과 개방 결함을 갖는 메모리에 대한 동작분석과 효율적인 테스트 알고리즘에 관한 연구," 전자공학회논문지, Vol.33, No.7, pp.1090-1099, 1996.

▲문 흥 진(Hong Jin Moon)



1960년 7월 3일생

1983년 2월: 전북대학교 전자공학과  
(공학사)

1986년 8월: 전북대학교 대학원 전자공  
학과(공학석사)

1991년 2월: 전북대학교 대학원 전자  
공학과(공학박사)

1991년 3월 ~ 현재: 전주대학교 컴퓨터공학과 부교수

\*주관심분야: VLSI 설계, 시스템제어, 음성인식

▲배 성 환(Sung Hwan Bae)

한국음향학회지 제 18권 1호 참조