

# 형태학적 영상 분할을 위한 재구성 필터의 VLSI 구조 설계

## (VLSI Architecture Design of Reconstruction Filter for Morphological Image Segmentation)

李尙烈\*, 鄭義潤\*\*, 李皓榮\*\*, 金燾樹\*\*, 河永浩\*\*

(Sang-Yeol Lee, Eui-Yoon Chung, Ho-Young Lee, Hee-Soo Kim, and Yeong-Ho Ha)

### 요 약

본 논문에서는 형태학적 영상 분할을 위한 재구성 필터의 새로운 VLSI 구조를 제안한다.  $h_{max}$  연산에 기반한 재구성 필터는 영역의 경계정보는 보존하면서 영역 내부만을 평탄화하는 단순화 필터이다. 제안한 구조에서는 분할 메모리 구조와 효과적인 영상 스캔 방법을 도입하여 연산량과 시간을 줄였다. 분할 메모리 구조는 연산에 필요한 데이터의 동시 접근을 가능하게 하여 병렬 데이터 처리를 가능하게 하며, 확장된 화소 연결관계를 통해 스캔에 의한 단순화 정도를 높인다. 제안한 선택적 순방향 스캔은 간단한 연산부의 도입을 통해  $h_{max}$  연산이 영상의 밝기값에 의존적인 단점을 극복하여 잡음제거와 동시에 적은 연산량으로 단순화를 수행할 수 있게 한다. 제안한 구조는 VHDL을 이용하여 기술하였으며, CAD 툴인 Mentor를 이용한 실험 결과 기존의 방법에 비해 18%정도의 연산만으로도 효과적인 영상 단순화를 수행함을 확인하였다.

### Abstract

In this paper, the new VLSI architecture of a reconstruction filter for morphological image segmentation is proposed. The filter, based on the  $h_{max}$  operation, simplifies the interior of each region while preserving the boundary information. The proposed architecture adopts a partitioned memory structure and an efficient image scanning strategy to reduce the operations. The proposed memory partitioning scheme makes it possible that every data required for processing can be read from each memory at a time, resulting in parallel data processing. By the extended connectivity consideration, the operation is much decreased because more simplification is achieved in scanning stage. The selective raster scan strategy endows the satisfactory noise removal capability with negligible hardware complexity increase. The proposed architecture is designed using VHDL, and functional evaluation is performed by the CAD tool, Mentor. The experiment results show that the proposed architecture can simplify image profile with less than 18% operations of the conventional method.

\* 正會員, 國防科學研究所  
(ADD.)

\*\* 正會員, 慶北大學校 電子電氣工學部  
(School of Electronic Electrical Eng., Kyungpook  
Nat'l Univ.)

※ 본 연구는 한국과학재단의 '97년도 특정기초연구과제 지원 연구비에 의해 수행된 것임. (과제번호: 97-0100-0201-3)

接受日字: 1999年3月9日, 수정완료일: 1999年9月3日

### I. 서론

초저속 환경에서의 영상 전송 및 다양한 멀티미디어 서비스를 위한 MPEG-4 표준 기법에서는 객체기반 영상부호화(object-based image coding) 기법을 채택하고 있다<sup>1,2)</sup>. 객체기반 영상부호화는 한 영상내의 의미있는 객체별로 부호화하는 차세대 부호화 방법으로서 부호화 성능은 영상 분할(image segmentation)에 크게 의존한다. 집합이론에 기반한 수리 형태학(mathematical

morphology)은 영상에서 물체에 대한 형태, 크기, 대조, 동질성 및 연결성 등의 다양한 특징 추출이 용이하므로 영상 분할에 널리 이용되어 왔다<sup>[3]</sup>.

수리 형태학을 이용한 영상 분할은 단순화(simplification), 마커 추출(marker extraction), 그리고 영역 성장 및 결정(region growing and decision) 단계로 구성된다<sup>[4]</sup>. 이 가운데 단순화 단계는 영상 단면을 평탄화하는 과정으로서 형태학적 재구성(morphological reconstruction) 필터링을 통해 이루어진다. 재구성 필터는 영역의 경계는 보존하면서 영역 내부만을 평탄화시키며, 단순화 정도는 형태소(structuring element)의 크기에 의해 결정된다<sup>[5,6]</sup>. 그러나 형태소를 이용한 재구성은 반복연산을 기본으로 하는 방법으로서 영상 분할을 위한 전체 연산량의 대부분을 차지하는 단계이다. 또한 이에 대한 하드웨어 구조가 현재까지 구체적으로 제안되지 않은 상태이므로, 실시간 영상 분할을 위한 전용 프로세서 설계시 가장 큰 문제가 되는 부분이다.

Vincent가 제안한  $h_{max}$  연산자를 이용한 알고리즘은 효과적 스캔과 FIFO(first-in-first-out)를 이용한 단순화 영역의 확산을 통해 단순화에 필요한 연산 시간을 감소시켰다<sup>[7]</sup>. 그러나 메모리의 SISD(single instruction single data) 특성으로 인해 VLSI 구현시 연산에 필요한 주변 화소를 메모리로부터 읽어 오기 위해서는 화소 개수만큼의 대기 시간이 소요된다. 또한 기존 영상의 생성을 위해 적용되는 명암도 이동은 밝기값에 의존적인 연산이므로, 입력 영상에 잡음이 수반될 경우 잡음제거를 위한 전처리 과정이 필요하다.

본 논문에서는  $h_{max}$  연산을 통한 재구성 필터 구현시, 메모리 분할과 선택적 8방향 영상 스캔을 통해 연산량 감소 및 잡음제거를 동시에 가능하게 한 새로운 VLSI 구조를 제안한다. 제안한 구조는 영상 데이터를 연산창(operation window)내 위치에 따라 분할 메모리에 분산 배치함으로써 단순화 과정에 필요한 데이터를 읽어 오는데 필요한 대기시간을 줄인다. 또한 중심 화소와 8방향 주변 화소 사이의 연관성을 고려한 선택적 영상 스캔을 통해 잡음 제거 기능을 동시에 가지게 한다.

본 논문에서 먼저 수리 형태학을 이용한 영상 분할에 관해 살펴본 후, 기존의 영상 단순화 방법에 대해 살펴보고자 한다. 다음으로 제안한 재구성 필터링 방법에 대해 설명한 후, 각 기능별 VLSI 구조에 관해 설명하도록 하겠다. 그리고 기존의 방법과의 비교, 고찰을 통해 제안한 구조의 성능 및 특징에 관해 논한 후 결

론을 맺도록 하겠다.

## II. 형태학적 영상 분할을 위한 영상 단순화

### 1. 수리형태학적 영상 분할<sup>[4]</sup>

수리 형태학을 이용한 영상 분할은 분할 결과의 화질 및 영역 개수 조절을 위해 계층적으로 이루어지며, 단순화, 마커(marker) 추출, 영역 성장 및 결정의 세가지 단계를 거친다.

단순화 단계는 영역의 윤곽선을 유지하면서 영역 내부의 질감 성분을 평탄화하고 잡음 성분을 제거하여, 분할이 용이하도록 영상을 단순화하는 과정이다. 영상 단면의 단순화를 위해서는 재구성에 의한 열림\_닫힘 필터(open\_close by reconstruction)를 사용한다<sup>[5,6]</sup>. 영상 단면의 단순화 정도는 요구되는 부호화 비트율과 영역 개수에 의해 결정된다. 단순화의 결과로 생성되는 국부 평탄 영역인 마커는 마커 추출 과정에서 평탄 영역의 레이블링(labeling)을 통해 필요한 개수만큼의 마커가 크기순으로 선택된다. 이 과정에서 선택되는 마커의 개수가 최종 분할된 영역의 개수에 해당한다. 영역 성장 및 결정 단계에서는 분수계 알고리즘(watershed algorithm)<sup>[8]</sup>을 이용하여 최종적인 영역을 결정짓게 된다. 분수계 알고리즘은 선택된 마커로부터 시작하여 영역의 경계에 이를 때까지 영역을 성장시키는 방법으로서, 계층적 큐(hierarchical queue)를 이용한 영상의 효과적 스캔을 통해 구현 가능하다.

영상 분할을 위한 세 단계 가운데 마커 추출, 영역 성장 및 결정 단계는 큐를 이용할 경우 영상을 한 번만 스캔함으로써 완성할 수 있는 간단한 과정이다. 그러나 재구성에 의한 열림\_닫힘 필터를 이용한 영상 단순화 과정은 적용되는 형태소의 크기에 따라 기준 영상(reference image)을 생성하기 위해 요구되는 연산량이 기하급수적으로 증가할 뿐만 아니라, 측지학적 연산의 무한 반복적용으로 인해 재귀적 데이터 흐름이 수반된다. 실제 단순화 과정에 필요한 연산량은 전체 영상 분할 과정의 90% 이상을 차지하므로 실시간 영상 분할을 위해서는 가장 문제시되는 단계이다.

### 2. 형태소를 이용한 영상 단순화<sup>[4,6]</sup>

영상의 기하학적 연결관계 및 특징 추출이 용이한 비선형적 특성의 형태학적 연산자 가운데 재구성 필터는 영역간 경계의 완벽한 보존과 영역 내부의 평탄화

가 가능하므로 영상 분할을 위한 초기 단계인 영상 단순화에 사용된다. 단순화 과정에 사용되는 재구성에 의한 열림\_닫힘 필터는 재구성에 의한 열림과 재구성에 의한 닫힘 필터를 순차 적용한 것이다.

재구성을 통한 영상 단순화는 기준 영상을 생성하는 과정과 측지학적 연산을 수행하는 과정으로 구성된다. 재구성에 의한 열림의 경우 형태학적 열림을 수행하여 기준 영상을 만든 후, 원영상( $f(x)$ )과 기준 영상( $r(x)$ )을 이용한 측지학적 볼림(geodesic dilation)을 기준 영상에 변화가 없을 때까지 반복 적용한다. 또한 재구성에 의한 닫힘은 형태학적 닫힘에 의해 생성된 기준 영상과 원영상을 이용한 측지학적 녹임(geodesic erosion)을 반복 수행한다.

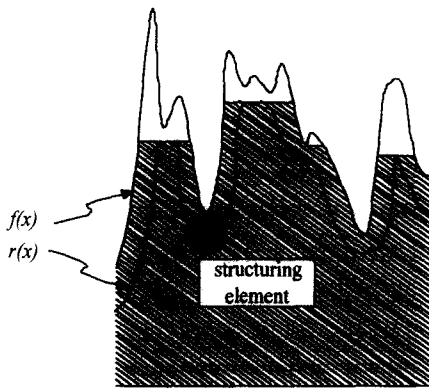


그림 1. 형태소를 이용한 영상 단순화  
Fig. 1. Image simplification using structuring element.

그림 1에서는 형태소를 이용한 재구성에 의한 열림의 결과로 단순화된 결과를 사진으로 나타내었다. 단순화 결과로 평탄해지는 각 봉우리 부분은 영상 분할 단계에서 각 영역 성장의 초기 위치로 사용된다.

형태소를 이용한 영상 단순화는 적용되는 형태소의 크기에 의해 단순화 정도가 결정되며, 영상 분할에 사용되는 일반적인 형태소의 크기는 1에서 25까지 사용된다. 형태소의 크기가  $n$ 인 경우, 크기가  $M \times N$ 인 영상으로부터 기준 영상을 얻기 위해서는  $(2n+1)^2 MN$ 의 연산량이 필요하며 기준 영상과 원영상간의 측지학적 연산시 반복 연산의 횟수를  $R$ 이라 하면  $(9 \times MN)^R$ 만큼의 연산이 요구된다.

형태소를 이용한 영상 단순화는 전용 프로세서 구현시 많은 연산량과 재귀적 데이터 흐름으로 인해 병렬

처리, 파이프라이닝(pipelining), 시스톨릭 어레이(systolic array) 등 연산시간 감소를 위한 효율적 구조를 적용하기가 곤란하며, 형태소 크기의 증가에 따라 단순화된 결과 영상을 얻기 위한 호출 대기시간이 기하급수적으로 증가하는 문제점을 가진다.

### 3. $h_{max}$ 연산자를 이용한 영상 단순화<sup>[7]</sup>

Vincent가 제안한  $h_{max}$  연산자를 이용한 영상 단순화 방법은 효과적인 영상 스캔후 FIFO를 이용하여 특정 평탄 영역만을 성장시킴으로써 빠른 단순화가 가능하다. 이때 적용되는  $h_{max}$ 의 값은 단순화된 영상의 최대 밝기값에 해당하는 수치로서, 결과 영상의 단순화 정도를 결정한다. 전송 환경 및 사용자 요구에 의해 결정되는  $h_{max}$ 값은 영역 개수와 반비례하여 설정된다. 이 방법에서는 기준 영상을 생성하기 위해 식 (1)과 같이 간단한 명암도 준위 이동만을 수행한다.

$$J = I - h_{max} \tag{1}$$

형태소를 이용한 영상 단순화 방법은 면적에 의존하는 연산인 반면,  $h_{max}$  연산자를 이용한 단순화 과정은 영상의 밝기값에 의존적 연산이다. 따라서  $h_{max}$  연산자를 이용한 단순화 기법은 배경 등의 큰 영역 추출이 쉬운 반면, 주위 밝기값 간의 동질성이 떨어지는 작은 영역이 과다 추출되는 단점을 가지므로 전처리 과정이 필요하다. 그러나  $h_{max}$  연산자는 가산기 하나만으로 구현가능하며, 비교에 의한 연산이므로 하드웨어 구현의 입장에서는 보다 적합하다. 그림 2에서는 원영상( $I(x)$ )과  $h_{max}$  연산을 통해 생성된 기준 영상( $J(x)$ )을 이용하여 단순화된 영상을 사진으로 나타내었다. 결과 영상의 단면은 형태소를 이용한 그림 1의 결과에 비하여 명암도 준위에 많은 영향을 받음을 알 수 있다.

$h_{max}$  연산을 통해 생성된 기준 영상을 이용한 영상 단순화는 2회의 영상 스캔과 영역 확산 과정으로 구성된다. 영상 스캔은 순방향과 역방향에 걸쳐 이루어지며 진행 방향별 영상 단순화를 수행한다. 스캔에 의해 단순화가 되지 않은 영역은 영역 확산 과정을 거쳐 영상 단면의 단순화를 마치게 되는데, 기존의 반복연산에 의한 방법과 달리 FIFO를 이용한 선택적 연산이 이루어지므로 최소의 연산량으로 요구되는 수준의 단순화를 마칠 수 있다. 그림 3에서는 각 단계에서 고려되는 중심화소에 대한 주변화소와의 연결관계를 나타내었다. 연산창 내의 중심화소에 대해 주위 4개 혹은 8개 화소

를 이용한 연산 결과를 중심화소에 대입하며, 그 결과는 다음 연산창 위치에 대해 주변화소 값으로 영향을 미치게 된다. 이러한 데이터 흐름은 기존의 파이프라이닝이나 시스톨릭 어레이 구조의 적용이 어렵게 하는 원인이 된다.

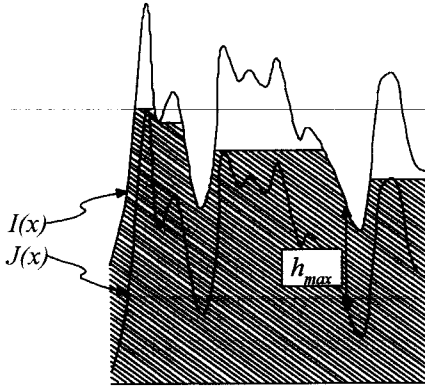


그림 2.  $h_{max}$  연산자를 이용한 영상 단순화  
Fig. 2. mage simplification using  $h_{max}$  operator.

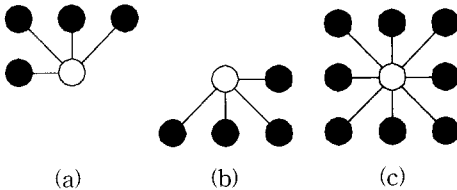


그림 3. 각 단계에서의 연결성 (a)순방향 스캔 (b)역방향 스캔 (c)영역확산  
Fig. 3. Connectivity for each stage. (a)Raster scan. (b)Anti-raster scan. (c)Propagation.

$h_{max}$  연산자를 이용한 방법은 최소의 연산량으로 효과적인 영상 단순화가 가능하다. 그러나 영상의 밝기값에 의존적인 연산자의 특성상 입력 영상에 잡음이 포함될 경우 연산 이후에도 잡음성분이 결과 영상에 그대로 남게 되어 잡음제거를 위한 전처리 과정이 필요하다. 또한 각 단계에 따른 주변 화소의 연결관계가 가변적이어서 VLSI 구현시 각 단계에 해당하는 연산 블록을 따로 구현해야 하며 이에 따른 하드웨어 비용증가가 불가피하다. 이 방법에서는 원영상과 기준 영상을 저장할 메모리가 필요한데, 구현시 발생하는 대부분의 시간 소모는 5개 혹은 9개의 영상 데이터를 메모리로부터 읽어오는 과정 중에 발생한다. 따라서 보다 짧은 시간 내에 영상 단순화를 수행하기 위해서는 효과적인 메모리 구조 설계와 이에 따른 제어신호의 생성이 필

요하다.

### III. 제안한 재구성 필터

#### 1. 전체 구조 및 특징

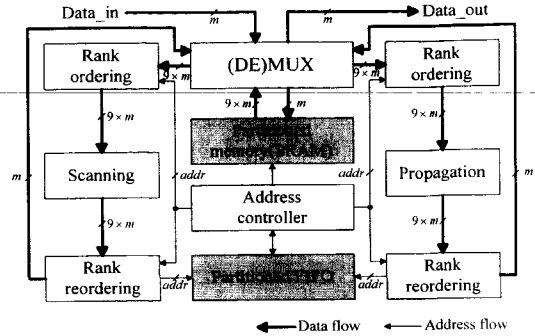


그림 4. 제안한 재구성 필터의 신호 흐름도  
Fig. 4. Signal flow diagram of the proposed reconstruction filter.

제안한 재구성 필터는 메모리 분할과 고정적 연결관계 고려 및 선택적 스캔을 통해 영상 단순화에 필요한 연산량 및 연산시간의 감소를 얻을 수 있는 VLSI 구조이다. 그림 4는 화소당 부호화 비트 수가  $m$ 일 경우, 제안한 재구성 필터의 전체적 데이터 및 메모리 제어용 주소 신호(address signal)의 흐름을 나타낸다. 분할 메모리(partitioned memory)로부터 출력된 데이터는 순위 정렬(rank ordering)과정을 거쳐 주변산부인 스캔 블록과 확산 블록으로 입력된다. 그리고 연산을 마친 데이터는 순위 재정렬(rank reordering)을 한 후 확산에 다시 이용하기 위해 분할 FIFO에 입력되거나 분할 메모리에 재입력되어 다음 연산에 영향을 미친다. 이때 분할 메모리의 입력단에는 다중화기를, 출력단에는 역다중화기를 두어 데이터의 흐름 방향을 제어하도록 하였다.

제안한 재구성 필터는 분할 메모리와 FIFO를 이용하여 한번의 연산 사이클 만에 연산에 필요한 데이터의 동시 읽기가 가능한 구조이며, 결과적으로 전체 데이터는 병렬 흐름을 형성한다. 따라서 연산 블록에 필요한 데이터의 동시 입출력으로 인해 메모리 입출력 및 연산에 필요한 대기 시간을 줄일 수 있다.

데이터 흐름은 주소제어 블록에서 발생하는 제어신호에 의해 결정된다. 주소제어 신호는 A에서 I까지 메

모리 종류를 지정하며, 또한 지정된 메모리 내에서의 데이터 위치를 알려주는 기능을 수행한다. 제안한 구조에서는 두 기능을 위한 비트를 연결(concatenation)시켜 이용하였다. 영상의 크기가  $M \times N$ 이며 화소별 부호화 비트 수를  $m$ 이라 할 경우, 각 분할 메모리 ( $Mem$ )의 크기는

$$Mem = \left\lceil \frac{M+2}{3} \right\rceil \times \left\lceil \frac{N+2}{3} \right\rceil \times m \text{ [ bit ]} \quad (2)$$

가 된다. 여기서  $\lceil \cdot \rceil$ 는 버림 연산에 해당한다. 따라서 주소제어 신호 가운데 각 메모리 내에서의 데이터 지정용 신호 ( $DA$ )의 크기는

$$DA = \left\lceil 1 + \log_2 \frac{Mem}{m} \right\rceil \text{ [ bit ]} \quad (3)$$

로 결정된다. 또한 제안한 구조의 경우 메모리를 9개로 분할하여 사용하게 되므로 메모리 지정을 위해서는 4비트가 필요하다. 따라서 결과적인 주소 제어 신호 ( $addr$ )의 크기는 데이터 지정 비트 크기와 메모리 지정 비트 크기의 합으로서 식 (4)와 같이 정해진다.

$$addr = DA + 4 \text{ [ bit ]} \quad (4)$$

기존의 순방향 및 역방향 스캔 방법은 중심화소와 주변화소간의 가변적 연결관계를 고려하므로 VLSI 구현시 각 연산 블록을 따로 구현해야 하는 하드웨어 부담이 있다. 그러나 제안한 구조에서는 고정적 연결관계를

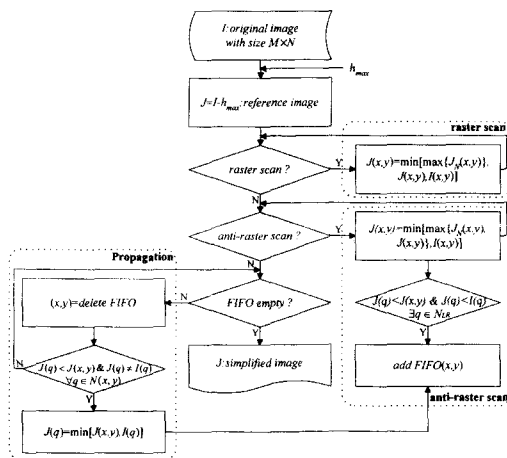


그림 5. 제안한 재구성 필터링의 흐름도  
Fig. 5. Flow chart of the proposed reconstruction filtering.

모든 연산과정에 동일하게 적용하여 연산 내용이 유사한 순방향 및 역방향 스캔 블록을 하나로 결합함으로써 하드웨어 비용의 증가를 최소화하였다.

그림 5의 흐름도에 나타난 바와 같이 전체 연산은 양방향 스캔과 영역 확산의 두 과정으로 구성된다. 여기서  $N(x, y)$ 는 중심화소  $(x, y)$ 에 대한 주변 8화소이며,  $N_{LR}$ 는  $N(x, y)$ 의 값 중에서 연산창의 왼쪽 아래에 위치하는 데이터이다. 각 방향별 스캔은 비교연산이 주를 이루며, 역방향 스캔시에는 영역 확산에 이용되는 화소의 주소를 FIFO에 입력하는 FIFO 초기화가 이루어진다. 영역 확산 과정에서는 중심화소의 주소를 이용한 비교 연산을 FIFO의 *empty* 상태까지 수행한다

2. 메모리 분할 및 고정적 연결관계

주변화소간 연결관계를 이용하는 영상처리 분야에서는 메모리로부터 정해진 크기의 연산창내 데이터를 읽어온 후 연산을 한다. 일반적 메모리는 한번의 읽기 혹은 쓰기 명령에 대해서 하나의 데이터 출력만이 가능한 SISD 동작을 하기 때문에 연산에 필요한 데이터를 모두 읽어오기 위해서는 연산창의 크기에 해당하는 시간 지연이 불가피하다. 또한 재구성 필터는 이전 사이클의 연산 결과가 다음 사이클에서 즉시 사용되며 영상 탐색 순서가 임의적이어서 연산창 크기만큼의 레지스터 추가 및 이에 따른 시간 지연이 불가피하다.

00	01	02	03	04	05	06	07	A	(00)(03)(06) ... (30)(33)(36) ... (60)(63)(66) ...
10	11	12	13	14	15	16	17	B	(01)(04)(07) ... (31)(34)(37) ... (61)(64)(67) ...
20	21	22	23	24	25	26	27	C	(02)(05)(08) ... (32)(35)(38) ... (62)(65)(68) ...
30	31	32	33	34	35	36	37	D	(10)(13)(16) ... (40)(43)(46) ... (70)(73)(76) ...
40	41	42	43	44	45	46	47	E	(11)(14)(17) ... (41)(44)(47) ... (71)(74)(77) ...
50	51	52	53	54	55	56	57	F	(12)(15)(18) ... (42)(45)(48) ... (72)(75)(78) ...
60	61	62	63	64	65	66	67	G	(20)(23)(26) ... (50)(53)(56) ... (80)(83)(86) ...
70	71	72	73	74	75	76	77	H	(21)(24)(27) ... (51)(54)(57) ... (81)(84)(87) ...
80	81	82	83	84	85	86	87	I	(22)(25)(28) ... (52)(55)(58) ... (82)(85)(88) ...

Image data Partitioned memory

그림 6. 분할메모리를 이용한 데이터의 분산 배치  
Fig. 6. Data distribution using partitioned memory.

본 논문에서 제안한 재구성 필터는  $3 \times 3$  연산창을 이용한다. 따라서 그림 6과 같이 9개로 나뉘어진 분할 메모리를 이용하여 입력 데이터를 분산 배치하였다. 이러한 배치는 임의 위치에 존재하는 연산창에 대해서도 9개의 영상 데이터가 분할 메모리에 항상 하나씩 존재하게 되므로 연산시 필요한 데이터에 동시 접근이 가능하다. 만일 (3,4) 위치가 중심화소인 연산창을 이용한

연산의 경우 (2,3), (2,4), ..., (3,4), ..., (4,5) 위치의 화소값을 메모리 G, H, ..., B, ..., F에서 독립적으로 읽을 수 있다. 즉 제안한 분할 메모리는 SIMD(single instruction multiple data) 데이터 흐름을 유도하여 병렬 데이터 처리를 가능하게 한다.

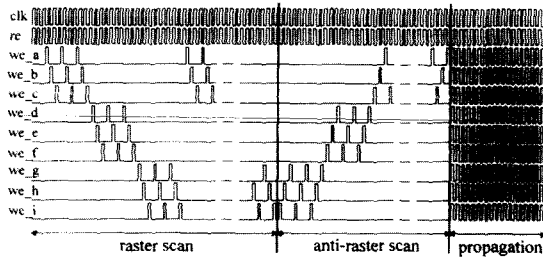


그림 7. 각 분할 메모리의 입출력 제어신호  
Fig. 7. I/O control signal for each partitioned memory.

그림 7에서는 각 메모리에 인가되는 읽기(*re*) 및 쓰기(*we*) 신호를 나타내었다. 매 사이클마다 모든 메모리에 인가되는 읽기 신호를 받아 동시 출력된 9개의 데이터를 이용한 연산 결과는 쓰기 신호를 받은 특정 메모리에 저장된다. 확산 단계에서는 그림 7의 쓰기 신호와 확산 블록에서 발생하는 쓰기 신호를 AND 연산한 신호를 메모리의 쓰기 신호로 사용함으로써 확산에 필요한 화소만을 저장할 수 있다. 데이터 입력시에는 순방향 스캔시 제어 신호를 그대로 이용하며, 출력시에는 순방향 스캔에서 사용되는 쓰기 신호와 동일한 읽기 신호를 인가함으로써 데이터 입출력을 간단히 제어할 수 있다.

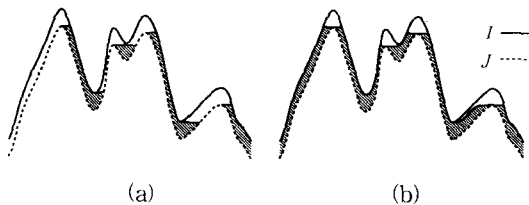


그림 8. 순방향 스캔후 연결관계 고려에 따른 단순화 부분 (a)4연결 (b)8연결  
Fig. 8. Simplified portion after raster scan in each connectivity consideration.  
(a) 4-connectivity. (b) 8-connectivity.

기존의 재구성 필터는 스캔시 각 방향별 4개, 영역 확산시 8개의 주위 화소를 고려하는 가변적 연결관계를 이용한다. 그러나 제안한 구조에서는 단계에 상관없

이 주위 8개 화소를 고려하는 고정적 연결관계를 적용하였다. 8방향 주변화소 고려는 기존의 4방향 고려에 비해 스캔에 의한 1차 단순화의 정도가 높아 영역 확산을 통한 단순화에 이용되는 화소 개수를 줄일 수 있다. 그림 8에서 사선으로 나타낸 부분은 순방향 스캔의 결과로 단순화된 부분을 나타낸다.

분할 메모리를 이용할 경우 제안한 연결성 고려는 중심화소의 위치만으로 주변 8화소의 위치가 자동적으로 결정되므로, 각 단계별로 필요한 화소만을 선택하는 블록이 필요 없으며 스캔시에 고려되는 주변화소의 위치가 동일하여 순방향 및 역방향 스캔을 위한 연산 블록을 하나로 결합할 수 있는 장점이 있다.

3. 선택적 스캔

$h_{\text{max}}$  연산자를 이용한 영상 단순화 방법은 영상의 밝기값에 의존한다. 따라서 입력영상에 잡음이 포함된 경우 잡음성분이 결과영상에 그대로 남기 때문에 단순화 연산 이전에 잡음제거를 위한 전처리 과정을 거쳐야 한다.

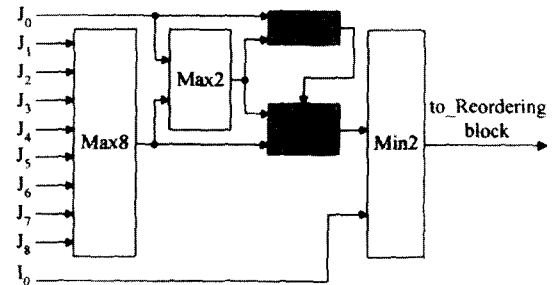


그림 9. 제안한 선택적 스캔 블록  
Fig. 9. The proposed selective scan block.

본 논문에서는 중심화소의 고려를 선택적으로 하는 선택적 순방향 스캔을 제안한다. 그림 9에 나타낸 바와 같이 순방향 스캔시에는 주위 8개 화소( $J_1, J_2, \dots, J_8$ ) 중 최대값인  $Max8_{out}$  과 중심화소( $J_0$ ) 가운데 큰 값인  $Max2_{out}$ 을 이용하여 원영상의 중심 화소값( $I_0$ ) 사이의 최소값을 기준 영상의 중심화소 위치에 대입한다. 결과적으로 제안한 선택적 순방향 스캔은 중심화소의 밝기 값과 주변 화소의 밝기 값 간의 상관성을 고려하여 중심 화소값이 주변 화소의 밝기 값에 비해 클 경우 잡음 성분으로 간주하고 주변 8개 화소만을 이용한 연산이 이루어진다.

제안한 스캔 방법은 비교기와 다중화기를 추가함으

로써 간단히 구현 가능하며, 각각은 식 (5)와 (6)과 같이 동작하도록 조절한다.

$$sel = \begin{cases} 1, & \text{if } J_0 = Max2_{out}, \text{ and state} = raster\_scan \\ 0, & \text{otherwise} \end{cases} \quad (5)$$

$$muxed = \begin{cases} Max8_{out}, & \text{if } sel = 1 \\ Max2_{out}, & \text{otherwise} \end{cases} \quad (6)$$

4. 제안한 재구성 필터의 VLSI 구조 설계

제안한 재구성 필터에서는 분할 메모리로부터 병렬 출력된 데이터가 연산블록을 거쳐 분할 FIFO와 분할 메모리에 다시 저장되는 데이터 흐름이 이루어진다. 주소제어 블록에서 출력되는 주소를 중심으로 하는 연산창 내 9개의 데이터가 분할 메모리로부터 동시 출력될 경우 스캔 혹은 영역 확산 전후에 각 분할 메모리의 출력이 연산창에서 차지하는 위치를 지정해야 한다. 따라서 제안한 구조에서는 각 연산 블록의 전후에 순위 정렬과 재정렬부를 삽입함으로써 연산창의 위치에 무관하게 올바른 데이터 접근이 가능하게 하였으며, 메모리 성분과 연산 블록의 독립적 구조 설계를 가능하게 하였다. 그림 10에 나타낸 바와 같이 순위 정렬 블록은 주소제어 블록의 출력을 선택신호로 이용하는 다중화기로 구현된다.

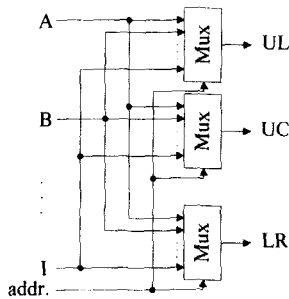


그림 10. 순위 정렬 블록  
Fig. 10. Rank order block.

표 1은 중심화소의 위치  $n$ 에 따른 각 다중화기의 출력력을 나타낸다. 이때 상하라인 화소의 주소 차이  $m$ 은

$$m = \left\lceil \frac{n+2}{3} \right\rceil \quad (7)$$

로 계산된다. 예를 들어, 중심화소를 1번 메모리의 주소

$n$ 으로부터 읽어올 경우, A번 메모리의  $n+m+1$ 의 주소에 위치하는 데이터를 읽어 위-왼쪽(UL)으로 B번 메모리의  $n+m$ 의 데이터는 위-중앙(UC)으로 이용하는 등의 순위 정렬을 한다. 순위 재정렬 과정에서는 표 1의 입력과 출력관계를 바꾸어 화소의 위치를 정렬한 후 해당 메모리에 저장함으로써 한 사이클의 단순화를 마친다.

표 1. 메모리 위치에 따른 중심 화소의 순위 (재)정렬

Table 1. Rank (re)ordering of center pixels according to their location in each memory.

in \ out	A	B	C	D	E	F	G	H	I
UL	n	n	n-1	n	n	n+1	n+m	n+m	n+m+1
UC	n	n	n	n	n	n	n+m	n+m	n+m
UR	n-1	n	n	n-1	n	n	n+m-1	n+m	n+m
CL	n	n	n+1	n	n	n+1	n	n	n+1
CC	n	n	n	n	n	n	n	n	n
CR	n-1	n	n	n-1	n	n	n-1	n	n
LL	n-m	n-m	n-m+1	n	n	n+1	n	n	n+1
LC	n-m	n-m	n-m	n	n	n	n	n	n
LR	n-m-1	n-m	n-m	n-1	n	n	n-1	n	n

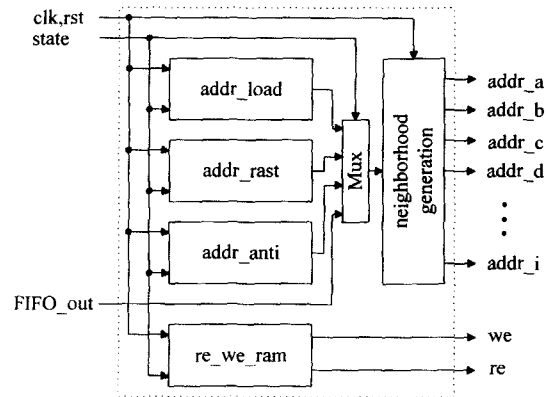


그림 11. 주소 생성 및 제어 블록  
Fig. 11. Address generation and control block.

제안한 재구성 필터의 전체 데이터 흐름은 주소제어 블록에서 발생하는 연산창의 중심화소 주소에 의해 결정된다. 주소제어 블록은 주소제어 블록은 각 단계별로 필요한 9개의 영상 데이터 위치를 지정하며, 분할 메모리에 읽기 및 쓰기 신호를 제공하는 기능을 담당한다.

전체 구조는 그림 11에 나타난 바와 같이 각기 독립적으로 설계된 주소 생성블록의 출력을 현재 연산 단계를 선택신호로 이용하는 다중화기로 제어한 후, 결정된 중심화소 주소를 포함하는 연산창내 9개 화소의 주소를 생성하는 기능을 수행한다. 그리고 시스템 클럭을 받아 각 단계에 해당하는 그림 7의 읽기 및 쓰기 신호를 메모리에 제공한다.

된 결과를 출력할 수 있는 실시간 출력효율을 가진다

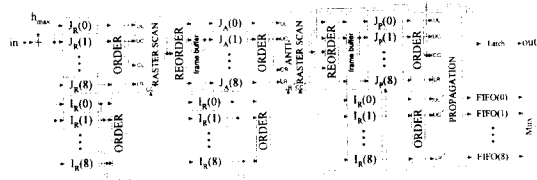


그림 13. 제안한 재구성 필터의 파이프라인 구조  
Fig. 13. Pipelined structure of the proposed reconstruction filter.

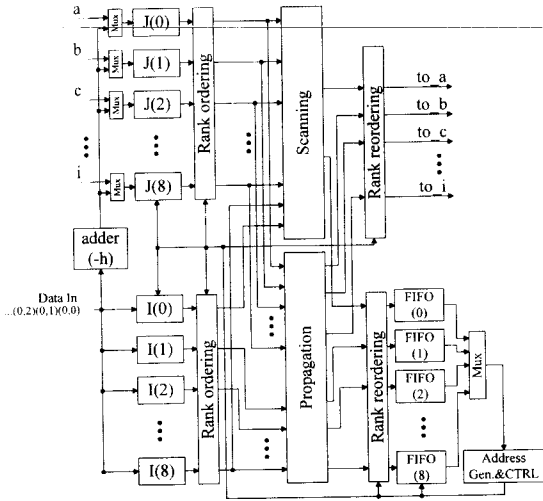


그림 12. 제안한 재구성 필터의 VLSI 구조  
Fig. 12. VLSI architecture of the proposed reconstruction filter.

제안한 재구성 필터의 VLSI 구조는 그림 12에 나타내었다. 기준 영상의 생성은 가산기를 이용하여 구현하였으며 필터에 입력되는 영상데이터는 순차 입력을 사용하였다. 단순화된 결과 영상은 분할 메모리 블록인 J(0)부터 J(8)까지 저장되어 있으며, 출력시에는 입력에서 사용한 쓰기 신호와 동일한 형태의 제어 신호를 읽기 신호로 사용한다.

그림 13은 제안한 재구성 필터를 이용한 파이프라인 구조를 나타낸다. 동영상 분할을 위해서는 실시간 출력 효율(real-time throughput)을 가지는 영상 단순화 필터의 구조설계는 필수적이다. 설계된 파이프라인 구조는 각 단계 사이에 프레임 메모리를 두어 단계별 데이터의 섞임을 방지하였다. 파이프라인 구조의 설계시에는 스캔 블록의 결과데이터를 메모리에 저장하지 않고 스캔 블록에 반환시킬 수 있으므로 연산블록과 메모리의 독립적 설계가 가능하다. 설계된 파이프라인 구조는 5 프레임의 초기 대기시간이 필요하나 매 프레임 단순화

#### IV. 실험 및 고찰

본 논문에서는 제안한 재구성 필터의 구조 검증을 위해 하드웨어 기술 언어인 VHDL(Very High Speed Integrated Circuit Hardware Description Language)을 이용하여 설계하였다. 또한 Mentor를 이용한 기능검증을 수행하였다<sup>[9]</sup>.

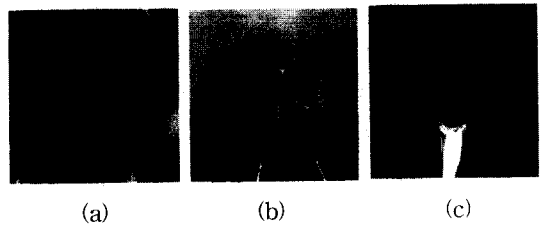


그림 14. 실험 영상 (a)Lenna (b)Cameraman (c) Claire\_N  
Fig. 14. Test images. (a)Lenna. (b)Cameraman. (c)Claire\_N.

실험에 사용한 영상은 그림 14에 나타난 세 가지 영상을 사용하였다. 각 영상의 크기는 256×256이며, 0에서 255까지의 명암도를 가지는 영상이다. 특히 잡음 제거기능의 검증을 위해서 Claire영상에 5%의 임의의 잡음(random noise)을 인가하였다.

제안한 고정적 8방향 연결성을 고려한 스캔 방법은 스캔에 의한 1차 단순화의 정도를 높여줌으로써 영역 확산 단계에 필요한 연산량을 줄이는데 효과적이었다.

그림 15에서는 Lenna영상에 대해 임의로 hmax를 70으로 정하고 연결성 고려를 다르게 적용했을 경우, FIFO에 입력되어 영역 확산 연산에 사용되는 화소를 검게 나타내었다. 선택적 8방향을 고려하는 제안한 스캔 방법은 스캔에 의한 단순화 효율을 높여주어, 그림 15(c)에서 검게 나타낸 화소 개수 만큼에 해당하는 연



산이 생략 가능하였다.

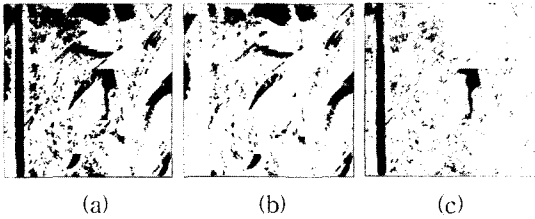


그림 15. 연결성 고려에 따라 영역 확산 과정에 이용되는 화소 위치 (a)4연결 (b)선택적 8연결 (c)차성분

Fig. 15. Pixel locations used in region propagation stage according to the consideration of (a) 4-connectivity. (b) Selective 8-connectivity. (c)Difference.

표 2. 전체 연산량

Table 2. Total amount of operations

State	4n with single memory	4n with partitioned memory	8n with single memory	8n with partitioned memory
Raster scan	5MN	MN	9MN	MN
Anti-raster scan	5MN	MN	9MN	MN
Propagation	$Q_4$	$Q_4$	$Q_8$	$Q_8$
Total	$10MN+Q_4$	$2MN+Q_4$	$18MN+Q_4$	$2MN+Q_8$

재구성 필터의 구현시, 영상의 크기가  $M \times N$ 일 경우, 메모리 형태와 스캔 방법을 다르게 했을 경우의 연산량은 표 2에 나타난 바와 같다. 제안한 구조에서 입력 영상의 크기( $M \times N$ )가 결정될 경우 양방향 스캔에 걸리는 시간은 각각  $MN$ 으로 고정적이나 영역 확산시에 필요한 시간은 영상 단면의 복잡도에 따라 가변적( $Q_8$ )이다. 그러나 일단 FIFO에 입력되었던 화소 정보가 재입력되지 않으므로  $Q_8$ 은 최대  $MN$ 이다. 즉 제안한 분할 메모리 구조를 사용할 경우 한 프레임의 영상을 단 순화하는데 걸리는 시간은 최대  $3MN$ 으로서 단일 메모리 구조의  $19MN$ 에 비하여 매우 효율적이다. 단일 메모리를 사용할 경우 1회의 연산 사이클을 완수하기 위해서 연산에 필요한 데이터 개수만큼의 지연시간이 필요하다. 그림 16은  $h_{max}$  값을 변화시키면서 각 연결성에 따라 확산 과정에 사용되는 화소 개수를 나타낸다. 주변화소 연결 관계에 따라 FIFO에 입력되어 확산 과정에 사용되는 화소 수를  $Q_4$ ,  $Q_8$ 라고 하면, 8방향 주변

화소 고려시  $h_{max}$  값의 변화정도에 무관히 연산이득을 얻을 수 있음을 알 수 있다. 주변화소 연결성 관계에 따라 FIFO에 입력되어 연산에 사용되는 화소 개수를  $Q_4$ ,  $Q_8$ 라고 하면,  $Q_8$ 는  $Q_4$ 의 0.4내지 0.7정도였으며 이는 영상의 복잡도 및  $h_{max}$  값에 따라 가변적이다.

제안한 재구성필터에서 도입한 스캔 방법은 중심화소의 고려를 선택적으로 함으로써 잡음제거가 가능하게 하였다. 그림 17에서와 같이 선택적 8방향 스캔시 영상단순화와 동시에 잡음성분이 제거되었다.

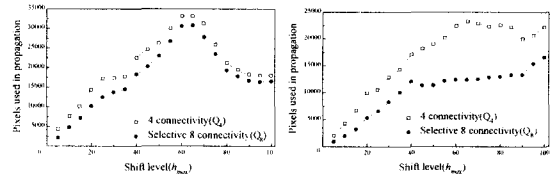


그림 16. 각 영상의 연결성 고려에 따라 영역 확산 단계에 이용되는 화소 개수 (a) Cameraman (b) Lenna

Fig. 16. The number of Pixels used in region propagation stage according to connectivity consideration. (a)Cameraman. (b)Lenna.

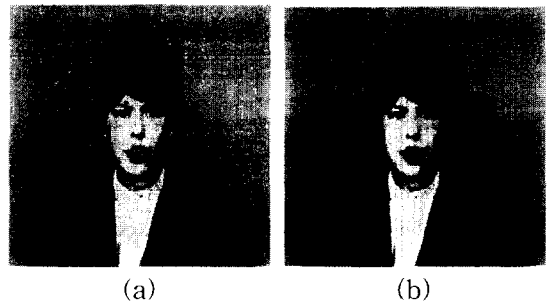


그림 17. 스캔 방법에 따른 잡음 제거 가능 (a)4연결 (b)선택적 8연결

Fig. 17. Noise removal capability. (a)4-connectivity. (b) selective 8-connectivity.

### V. 결론

본 논문에서는 수리 형태학적 영상 분할을 위한 전처리 단계인 영상 단순화에 사용될 재구성 필터의 VLSI 구조를 설계하였다. 제안한 구조는 분할 메모리를 사용하여 SIMD적 데이터 흐름을 유도함으로써 연산에 필요한 데이터를 모두 읽어오기 위해 요구되는 데이터 대기 시간을 완벽히 제거하였다. 또한 기존의

가변적 4방향 영상 스캔 방법을 하드웨어 구조설계에 적합한 고정적 8방향 스캔으로 수정함으로써 단순화 영역 확산 단계에 필요한 연산량을 줄임과 동시에 각 방향 스캔에 관계없이 동일 블록의 사용이 가능하게 하여 하드웨어 사용 효율을 높였다.

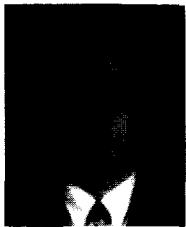
본 논문에서는 선택적 스캔을 도입하여 잡음제거 기능을 동시에 가지는 효율적 영상 단순화 방법을 제시하여 기존의  $h_{max}$  연산자가 밝기값에 의존하는 단점을 해소하였다.

Mentor를 이용하여 제안한 구조의 기능 검증 결과 제안한 재구성 필터의 VLSI 구조는 기존의 방법에 비하여 18%정도의 연산량으로 잡음제거와 영상 단순화가 동시에 가능한 구조임을 검증하였다. 기존의 단일 메모리를 이용한 단순화 방법과는 달리 병렬 데이터 라인에 대한 입출력 및 주소 신호의 제어를 위하여 하드웨어 복잡도가 다소 증가하기는 하였으나, 테스트 벡터를 이용한 검증 및 최적화된 프로그램 기법을 사용할 경우 훨씬 적은 비용으로 구현 가능할 것으로 예상된다.

### 참 고 문 헌

- [1] "JTC1/SC29/WG11 MPEG-4 video verification model Version 11.0," *Technical Report N2172*, International Organization for Standardization ISO/IEC (1998).
- [2] P. Salembier, "Region-based video coding using mathematical morphology," *Proc. IEEE*, vol. 83, no. 6, pp. 843-856, June 1995.
- [3] R. M. Haralick, "Image analysis using mathematical morphology," *IEEE Trans. Pattern Anal. Machine Intell.*, vol. 9, no. 4, pp. 532-550, July 1997.
- [4] P. Salembier, "Hierarchical morphological segmentation for image sequence coding," *IEEE Trans. Image Processing*, vol. 3, no. 5, pp. 639-651, Sep. 1994.
- [5] J. Crespo, J. Serra, and R. W. Schafer, "Theoretical aspects of morphological filters by reconstruction," *Signal Processing*, vol. 47, pp. 201-225, 1995.
- [6] P. Salembier, P. Brigger, "Morphological operators for image and video compression," *IEEE Trans. Image Processing*, vol. 5, no. 6, pp. 881-898, June 1996.
- [7] L. Vincent, "Morphological gray scale reconstruction in image analysis: applications and efficient algorithms," *IEEE Trans. Image Processing*, vol. 2, no. 2, pp. 176-201, Apr. 1993.
- [8] A. N. Moga and M. Gabbouj, "Parallel image component labeling with watershed transformation," *IEEE Trans. Pattern Anal. Machine Intell.*, vol. 19, no. 5, pp. 441-450, May 1997.
- [9] James T. Armstrong and F. Gail Gray, *Structured Logic Designed with VHDL*, Prentice Hall, 1993.

### 저 자 소 개



李尙烈(正會員)

1997년 2월: 경북대학교 공과대학 전자공학과 졸업(공학사). 1999년 2월: 경북대학교 대학원 전자공학과 졸업(공학석사). 1999년 3월~현재: 국방과학연구소 연구원. ※주관심분야: 영상부호화, 영상통신, 신호처리.

鄭義潤(正會員) 第35卷 S編 第11號 參照

李皓榮(正會員) 第34卷 S編 第11號 參照

金燾樹(正會員) 第36卷 S編 第3號 參照

河永浩(正會員) 第35卷 S編 第9號 參照