

위성방송 수신기용 저전력 3V 6-bit 100MSPS CMOS ADC의 설계

(Design of a Low Power 3V 6-bit 100MSPS CMOS ADC
for DBS Receiver)

文載峻 * , 宋敏圭 *

(Jae-Jun Moon and Min-Kyu Song)

요 약

QPSK 통신 방식의 고속 통신 단말기에 필요한 저 전력 3V 6-bit 100MSPS CMOS ADC를 설계하였다. 제안된 ADC는 폴딩 블록, 래치 블록과 디지털 블록으로 구성하였다. 인터폴레이션 블록에서 pMOS를 전류원과 캐스코드형태로 합성하여 기존의 블록보다 선형적인 폴딩신호를 얻었으며 Kickback를 감소시키는 새로운 래치구조로 고속 ADC를 구현하였다. 설계된 칩의 Post-layout 시뮬레이션을 통하여 각 부분의 성능을 평가하였으며, 0.65um 2-poly 2-metal CMOS 공정으로 칩을 제작하였다. 제작된 칩은 대략 $1500\mu\text{m} \times 1000\mu\text{m}$ 의 유효 칩 면적을 가지며, 실험결과 100MSPS의 속도로 3V 전원에서 40mW의 전력을 소모하며, INL은 $\pm 0.6\text{LSB}$ 이내, DNL은 $\pm 0.5\text{LSB}$ 이내, SNDR은 10MHz 입력 주파수에서 약 33dB의 실험 결과를 얻었다.

Abstract

A CMOS 6-bit 100MSPS ADC for DBS receiver is designed. The proposed ADC is composed of folding block, latch block, and digital block. The cascode interpolating block and kickback reduced latch are proposed with a high speed architecture. To verify the performance of ADC, simulations are carried out by HSPICE. The ADC achieves a clock frequency of 100MHz with a power dissipation of 40mW for 3 V supply voltage. The active chip area is $1500\mu\text{m} \times 1000\mu\text{m}$ with $0.65\mu\text{m}$ 2-poly 2-metal CMOS process. Further, INL and DNL are within $\pm 0.6\text{LSB}$, $\pm 0.5\text{LSB}$, respectively. SNDR is about 33dB at 10MHz input frequency.

I. 서 론

최근 CMOS 기술의 진보에 따라 디지털 신호 처리 용 칩의 높은 집적도가 가능하게 되었으나 아날로그 신

호와의 인터페이스가 중요한 문제로 대두되었다. 일반적으로 위성방송 수신기는 높은 주파수에서 동작하므로 고속의 ADC를 필요로 한다. 그러나 ADC의 동작 속도 한계 때문에 기존의 시스템에서는 약 60MSPS 정도에서 동작하며 대부분 BJT 공정으로 구현된다. 본 논문에는 CMOS 공정을 이용하여 동작 속도를 100MSPS 까지 올리며 동시에 3V의 낮은 전원에서도 동작이 가능한 ADC를 설계한다. 기존의 ADC는 병렬형 플래시(Flash) 타입의 구조를 선택하여 고속의 동작을 가능하게 하였다^[1]. 그러나 기존의 플래시 타입 ADC는 병렬의 기준신호와 입력신호를 비교하는 많은 비교기의 수

* 正會員, 東國大學校 半導體科學科

(Dongguk Univ., Dept of Semiconductor Science)

※ 본 연구는 서울대학교 반도체 공동 연구소의 교육부 반도체분야 학술연구조성비(과제번호:ISRC97-E-5006)에 의해 수행되었습니다. 지원에 감사드립니다.

接受日字:1999年5月17日, 수정완료일:1999年11月9日

로 인하여 칩 면적과 전력 소모가 크다는 문제점을 가진다. 또한 하나의 입력 신호가 많은 비교기의 입력으로 들어가기 때문에 큰 입력 캐패시터의 구동이 문제가 되며, 기준 전압을 나누기 위하여 많은 저항으로 인해 저항열의 부정합(Mismatch)현상이 문제가 된다. 최근에는 이러한 단점을 극복하기 위한 여러 방식의 ADC의 연구가 이루어지며, 폴딩(Folding)과 인터폴레이션(Interpolation)의 기법을 이용한 고속, 저 전력의 ADC가 그 예이다. 본 논문에서는 폴딩과 인터폴레이션 기법을 이용한 회로와 Kick-back을 줄이는 회로 설계 기법에 대해 제안한다. 2장에서는 제안하는 ADC의 전체구조를, 3장에서는 아날로그 블록과 디지털 블록을 나누어 회로 설계 및 동작원리를 설명한다. 4장에서는 실험 결과를, 그리고 마지막으로 5장에서 결론을 다룬다.

II. 전체구조

인터폴레이션 기법의 장점은 Full-Flash Converter와 비교하여 비교기의 수를 감소시키는데 있으나 래치(Latch)의 수는 여전히 플래쉬 타입의 ADC의 수와 같다[2]. 래치의 수를 감소시키기 위한 폴딩기법은 옵션 보상 없이도 동작이 가능하다. 또한, 높은 속도를 얻기 때문에 폴딩 구조에 인터폴레이션의 기법을 결합한 폴딩, 인터폴레이션 구조가 고속, 저 전력 응용에 가장 적합한 ADC 구조로 제안된 바 있다^{[3][8]}. 그림 1에 폴딩, 인터폴레이션 기법이 결합되어진 ADC 구조를 블록 다이어그램으로 나타내었다. 그림 1에서 보는 바와 같이 입력 신호는 폴딩 ADC(4-bit fine A/D)와 2-bit coarse ADC에 병렬로 연결된다. 그림 1에서 폴딩블록에서 나오는 정현파 형태의 폴딩 회로 전달 곡선은 전체 입력 신호(Vin) 레인지를 커버하며, 폴딩 회로의 출력 전압은 ADC의 4LSB 을 위한 64개의 Level 들로 변환되어 진다^{[6]-[8]}. 64개의 Level 은 Coarse ADC 의 2-bit(4부분)에 각각 배당되므로 폴딩 변환기에 대한 전체 비교기의 수는 Fine 부분에 15개, Coarse 부분에 3개로 18개면 충분하다. 기존의 6-bit Full flash 형태의 ADC의 비교기가 총 64개임을 감안하면 비교기 감소에 따른 칩 면적의 감소는 확연히 나타날 수 있으며, 2-bit MSB 와 4-bit LSB는 동기적으로 동시에 발생되어지므로 S/H(sample and hold) 기능이 필요없다^{[1][2]}.

이와 같은 폴딩 ADC에서 가장 중요한 점은 폴딩율(Folding Rate)과 인터폴레이션율(Interpolation rate)의

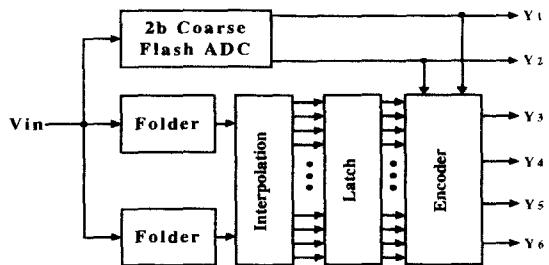


그림 1. 제안하는 6-bit ADC의 블록 다이아그램

Fig. 1. Block diagram of the proposed 6-bit ADC.

설정이다. 적은 폴딩율은 보다 많은 비교기를 요구하며 보다 높은 폴딩율은 보다 많은 기준 전압들을 필요로 한다. 그러므로 ADC가 몇 bit의 해상도를 가졌느냐에 따라 최적의 폴딩율을 결정할 수 있다. 폴딩 및 인터폴레이션 기법을 조합한 ADC는 8-bit ADC를 중심으로 많이 연구되고 있는 반면에 6-bit의 ADC의 연구는 미진한 상태이다^{[5]-[11]}. 폴딩 및 인터폴레이션 6-bit ADC에 관한 분석 결과가 표 1에 도시되어 있다. 표 1은 폴딩 및 인터폴레이션 6-bit ADC의 여러가지 조합을 통하여 간단히 비교기와 래치의 수를 비교하였다. 본 논문에서는 FR(Folding rate)=4, NFB(Number of offset parallel folding blocks)=2, IR(Interpolation rate)=8의 factor로 6-bit ADC를 설계한다. 그림 1에서 하위 LSB(4-bit)를 처리하는 fine ADC에서 폴딩 및 인터폴레이션 기법이 이용되어지며 인터폴레이션에서 나오는 16개의 bit는 Encoder에 의하여 4-bit의 하위 LSB부분이 출력되어진다. 이와 동시에 입력 신호는 coarse ADC에 의하여 상위 2-bit의 출력 코드를 생성한다. 자세한 동작 원리는 3장에서 블록별로 자세히 설명한다.

표 1. 6-bit ADC의 폴딩율(FR), 폴딩 블록수(NFB), 인터폴레이션율(IR)의 비교

Table 1. FR, NFB, IR comparision of 6-bit ADC.

분 해 능	FR	NFB	IR	MSB(bit)	LSB(bit)	비교기의 수
6	4	2	8	2	4	18
6	4	4	4	2	4	18
6	8	2	4	3	3	16
6	8	4	2	3	3	16

III. 블록별 회로 설계

1. Folding Block

풀딩 기법은 Coarse ADC에서 상위 MSB를 처리하는 동안에 각각의 상위 이진 코드 범위를 구분하여 하위 비트를 처리할 수 있는 신호를 발생시키는 원리로 구현된다. 입력 신호는 coarse ADC와 풀딩블록으로 병렬로 동시에 들어가게 되어 MSBs(2-bit)와 LSBs(4-bit)를 처리하게 된다. 그럼 2에서는 이러한 풀딩 신호를 발생시키는 회로를 도시한 바, 그럼 2의 회로는 홀수와 짝수의 차동 출력력을 가진 열개의 차동쌍 (Differential Pair)으로 구성되어져 있다. 입력 신호의 변화에 따라 각각 차동의 pMOS는 on과 off의 상태를 이루며, 전류원의 전류 분배로 인하여 출력단에서는 입력 신호에 따른 전류신호의 변화가 사인파의 형태로 이루어진다. 서로 다른 쌍 중 열개의 입력 pMOS는 이 전압 안에서 트랜지스터 $V_{gs}-V_t$ 의 범위에서 고정되어야 하므로 다른 쌍의 작은 전류($40\mu A$)와 입력소자를 위해서 큰 W/L 비율로 설계되어야 한다. 풀딩 블록에서의 실제적인 대역폭(BW_{fold})은 풀딩율과 최대 입력 신호 주파수와 관계되어 진다. 풀딩블록의 입력 신호가 sine 파인 경우 풀딩블록의 대역폭은 A/D 변환기의 최대 입력 주파수, $f_{in,max}$ 를 결정한다^[9].

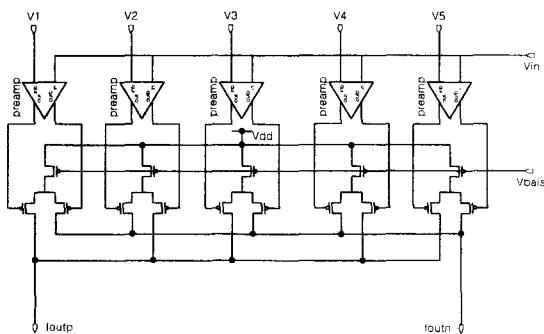


그림 2. FR(Folding Rate)=4인 풀딩 회로도
Fig. 2. Folding circuit with FR=4.

$$f_{in,max} = \frac{2BW_{fold}}{\pi F_r} \quad (1)$$

Fr = Foding Rate

풀딩율은 단일 풀딩 블록에서 두 출력이 교차하는 수

에 의해 결정되며, 제안하는 6-bit A/D 변환기의 풀딩율은 4이다.

2. Interpolation Block

풀딩에서 나온 정현파 형태의 풀딩 신호는 직접 래치에 연결되어 두 개의 차동 전압을 비교하여 Encoder의 입력으로 들어갈 수 있다. 그러나 풀딩블록에서의 많은 풀딩블록의 수는 결국 많은 기준 전압의 인가를 요구하게 되므로 부가적인 기준 전압 발생 회로의 설계가 필요하다. 따라서 이러한 문제의 해결과 비교기안의 증폭기의 수를 줄이기 위하여 인터폴레이션의 기법을 사용한다. 저항성 인터폴레이션은 풀딩에서 나오는 신호가 sine파이기 때문에 IR이 4이상에서는 비 선형적으로 풀딩에서 나오는 두 신호를 인터폴레이션하여 INL과 DNL을 악화시키는 단점이 있다. 그러므로 이러한 단점을 극복하기 위하여 MOS의 W/L의 비를 조정하여 인터폴레이션하는 방법이 쓰여지고 있다. 인터폴레이션 기법은 비교기의 증폭기의 수를 줄이므로써 입력 신호의 Load가 작아지는 장점이 있다. 그럼 3은 제안한 ADC의 인터폴레이션 블럭의 회로도로써 풀딩블록에서 얻어진 풀딩 전류를 인터폴레이션 회로의 입력으로 사용하여 90도 차이가 나는 두 풀딩 신호사이의 분해능을 높이는 방법을 취하였다. 인터폴레이션으로 풀딩신호수의 증가율은 log₂IR(Interpolation)만큼 증가되지만 인터폴레이션 기법은 풀딩블록의 수 및 기준 전압의 수를 감소시키는 장점을 갖는다^[5]. pMOS의 W/L를 비율적으로 스케일링하므로써 선형적으로 이동되어진 풀딩전류가 발생하며 기존의 방식에 비해 스케일링되어진 pMOS를 전류원과 캐스코드형태로 합성하여 전류 양을 조절하여 시뮬레이션상에서 ±0.1LSB이하의 보다 선형적인 풀딩신호를 얻었다.

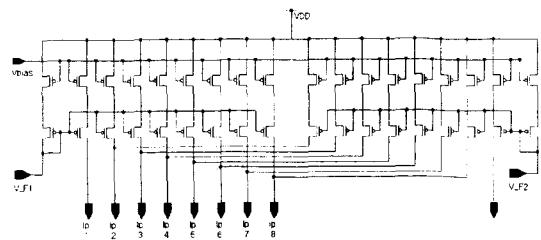


그림 3. 인터폴레이션 회로도
Fig. 3. Interpolation circuit.

3. 제안하는 래치 회로도

풀딩 및 인터폴레이션 블럭에서 나온 zero crossing

된 sine 파형의 신호는 증가하는 각각의 입력신호에 해당하는 값들의 연속적인 배열이며 이 신호는 래치에서 비교되어 0과 1의 값으로 출력되어진다. 그림 4에서 보는 바와 같이 인터폴레이션되어 나오는 신호들은 병렬로 래치단에서 비교되어 LSB를 결정하는 비트들이 생성하게 된다. 래치의 입력은 클럭 신호에 의하여 재이되며 출력단이 반대의 게이트 입력과 연결됨으로써 래치되어 진다. 래치에 삽입된 p 채널 트랜지스터와 입력 단에 클럭신호를 인가하여 이 신호가 Low인 상태에서 입력신호를 샘플링 하여 출력 코드를 생성한다. 래치에 삽입된 p 채널 트랜지스터와 입력 단에 100MHz의 클럭신호를 인가하여 이 신호가 Low인 상태에서 입력신호를 샘플링하여 출력 코드를 생성한다. 래치의 고속동작시에 발생하는 Kick-back 노이즈를 감소시키기 위하여 래치의 앞단에 상대적으로 큰 W/L을 가지는 Amp를 연결하였다. 또한 입력 단에 CMOS 스위치를 부가하여 래치의 입력단으로 Kick-back 노이즈가 전달되는 현상을 차단함으로써 보다 고속의 ADC설계가 가능하다.

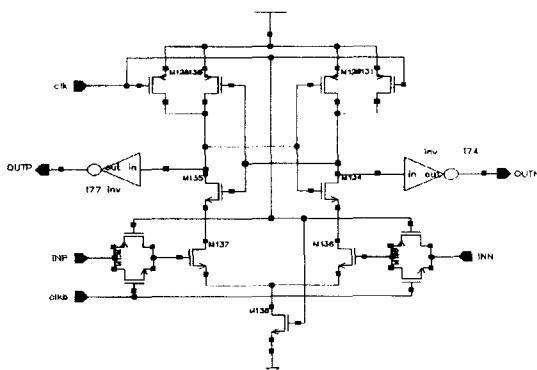


그림 4. Latch 회로
Fig. 4. Latch circuit.

4. 제안하는 엔코더 블록

아날로그 신호에 의해 발생된 16-bit의 신호를 분석하여 이를 LSB 4-bit, MSB 2-bit의 6-bit 2진 코드를 발생시켜주는 엔코더를 설계한다. 그림 5에 엔코더의 전체 블록 디아그램을 나타내었다. 래치에서 나온 16개의 코드는 엔코더에 입력되어 4-bit의 LSB가 출력된다. 동시에 상위비트는 4개의 코드가 엔코더에 의해 2-bit를 출력하고, 이들의 출력은 다시 출력 보정회로(Calibration Circuit) 블록을 거쳐 최종 6-bit를 출력한

다. 디지털 블록은 전체적으로 패스 트랜지스터 로직 및 Double Rail를 사용하여 지연시간 및 전력손실을 최소화하였다. 또한 모든 회로는 BDD(Binary Decision Diagram)기법을 사용하여 소자 수를 최적화 하여 소요 면적을 최소화하였다. 코드 오차에 따른 코드 에러를 보정하여 신뢰성을 향상시키기 위해 Priority Encoder를 사용한다.

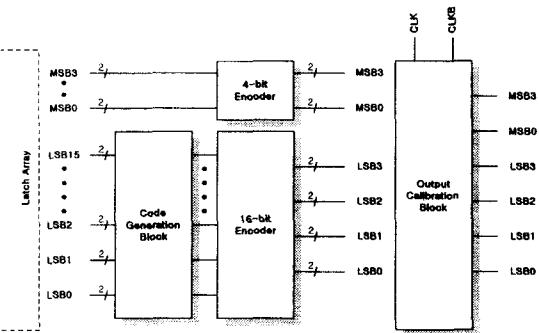


그림 5. 디지털 엔코더 블록 디아그램
Fig. 5. Digital Encoder block diagram.

IV 모의실험 및 결과

1. 아날로그 블록

그림 6은 하나의 폴딩블록에서 나오는 두 개의 폴딩 전류이며 폴딩율이 4로 정확히 offset이 되어진 파형이 나왔다. 그림 7은 폴딩 블록에서 나온 신호를 새롭게 제안되어진 하나의 인터폴레이션 회로를 거쳐 나오는 파형이며 선형성이 증가되어진 인터폴레이션 신호가 나왔다. 그림 8의 파형은 인터폴레이션에 나온 두 신호의 차를 비교할 수 있는 래치의 파형이며 모의 실험 결과 2mV의 차이까지도 검출할 수 있었다.

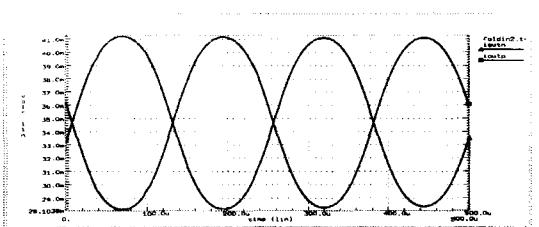


그림 6. 폴딩블록의 모의 실험 파형 (FR=4)
Fig. 6. Simulation of folding Block (FR=4).

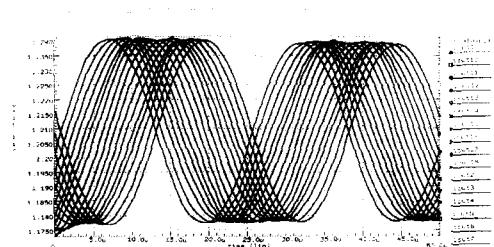


그림 7. 인터폴레이션 블록의 모의 실험 과정

Fig. 7. Simulation of interpolation Block.

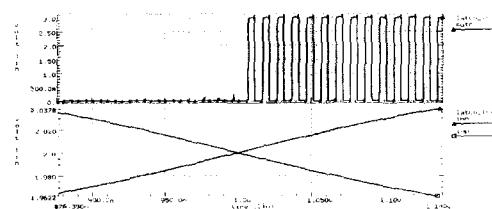


그림 8. Latch 회로의 모의 실험 과정

Fig. 8. Simulation of latch curcuit.

2. 디지털 블록

그림 9에는 MSB 블럭의 시뮬레이션 결과를, 그리고 그림 10에는 LSB 블럭의 시뮬레이션 결과를 각각 나타내었다. 시뮬레이션 결과 MSB 블록은 지연시간이 0.63ns 이었으며 LSB 블록은 1.64ns의 지연시간을 나

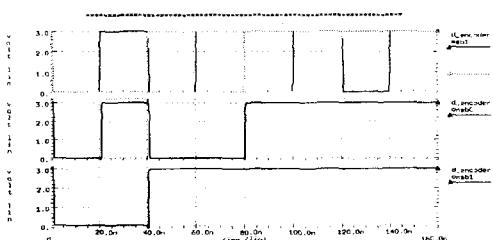


그림 9. MSB Block의 시뮬레이션 결과 과정

Fig. 9. Simulation of MSB Block.

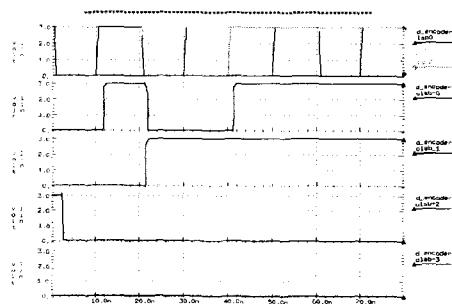


그림 10. LSB Block의 시뮬레이션 결과 과정

Fig. 10. Simulation of LSB Block.

타내었다. 이것은 전체 시스템에서의 100MHz 동작에 영향을 미치지 않는 지연시간이다.

3. 전체 회로

그림 11은 full 칩에 대한 시뮬레이션 파형으로 입력을 1.25에서 1.75까지 변환시킬 때의 출력으로 선형성 오차가 1LSB이하임을 알 수 있다.

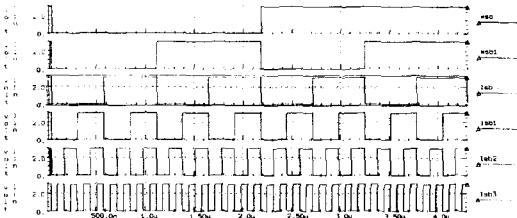


그림 11. 제안된 6-bit ADC의 full chip 시뮬레이션

Fig. 11. Full chip simulation of proposed 6-bit ADC.

4. 실험 결과

0.65um 2-poly 2-metal CMOS 공정을 사용하여 저전력 CMOS 폴딩·인터폴레이션 ADC를 설계, 제작하였다. 그림 12는 제안된 6-bit 100MSPS CMOS Dual ADC의 칩 사진이다. 유효 칩 면적은 1500um×1000um이다. 그림 13에는 ADC의 측정을 위한 PCB이며 클릭 발생기, 주변회로, DAC로 구성되어 있다. 측정된 ADC의 INL과 DNL은 그림 14에서와 같이 각각 +0.6LSB 와 ± 0.5 LSB이다. 100MHz의 샘플링 주파수에 대해 입력 주파수를 변화시켜 가면서 측정한 SNDR을 그림 15에 나타내었다. 그림 15에서 보듯이 입력 주파수가 10MHz이상에서 SNDR이 급격하게 떨어지는 것은 폴딩블록에서 대역폭의 한계에 기인한 것이며 추후에 폴딩블록의 대역폭을 늘리는 회로의 설계가 필요하다.

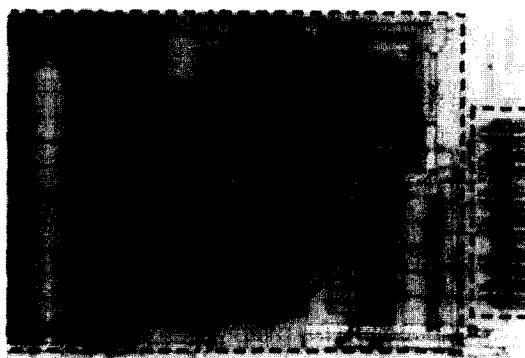


그림 12. 제안된 6-bit ADC의 현미경 칩사진

Fig. 12. Photograph of proposed 6-bit ADC.

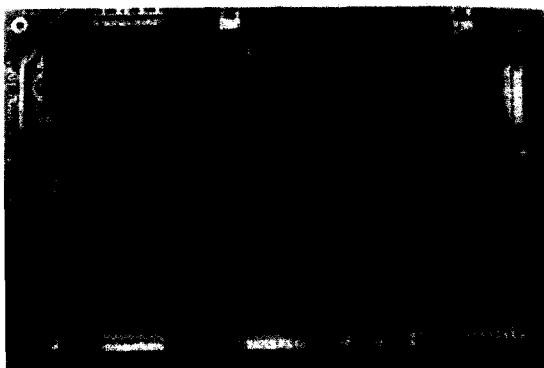
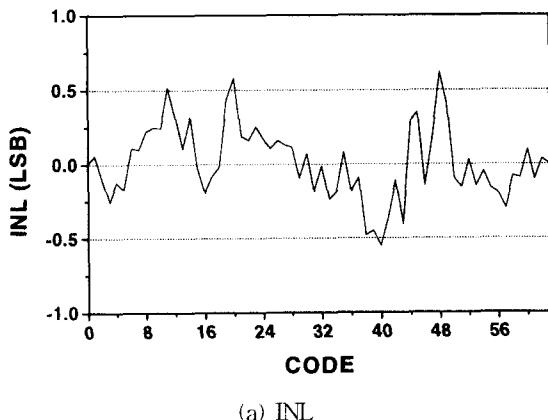
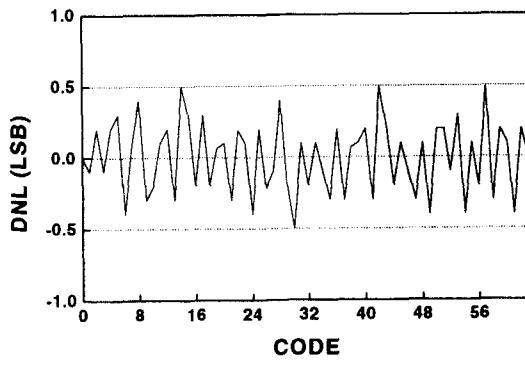


그림 13. ADC의 측정용 보드
Fig. 13. Evaluation board of ADC.

제작된 칩의 성능 평가가 표 2에 요약되어 있다. 전력소모는 약 40mW로 기존의 ADC에 비해 크게 감소하였다.



(a) INL



(b) DNL

그림 14. 측정된 ADC의 선형성 오차
(a)INL (b)DNL
Fig. 14. Linearity Error of proposed ADC.
(a)INL (b)DNL

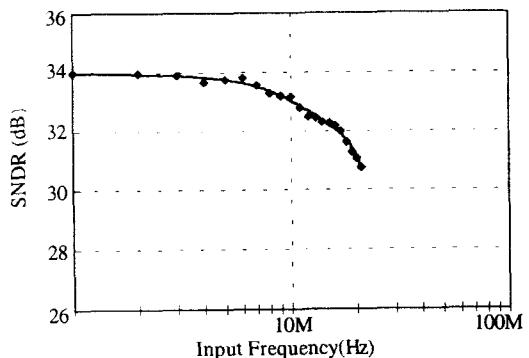


그림 15. 측정된 ADC의 SNDR
Fig. 15. SNDR of measured ADC.

표 2. 6-bit 폴딩 · 인터폴레이션 ADC의 측정 결과

Table 2. Measurement of 6-bit folding · interpolation ADC.

분해능	6-bit
변환 속도	100MSPS
전력 소모	40mW
INL	± 0.6 LSB
DNL	± 0.5 LSB
SNDR	33dB
전원 전압	단일 +3V
아날로그 입력범위	0.5Vpp
유효 칩 면적	$1500 \mu\text{m} \times 1000 \mu\text{m}$
공정	0.65um 2-poly 2-metal CMOS

V. 결 론

0.65um 2-poly 2-metal CMOS 공정을 사용하여 위성방송 수신기용 저전력 CMOS 폴딩 · 인터폴레이션 3V 6-bit 100MSPS CMOS ADC를 설계, 제작 하였다. 세안된 6-bit ADC는 Zero-crossing되는 완전 차동 신호를 위해 4개의 폴딩블록과 4개의 인터폴레이션 블록, 18개의 비교기, 상위 비트 ADC, 오차 보정회로, 디지털 인코더로 구성되어 있다. 또한 Kick-Back 현상을 줄이기 위해 새로운 래치를 제안 하였으며 디지털 블록은 패스트랜지스터 로직을 이용하여 설계 하였다. 제작된 칩은 $1500\mu\text{m} \times 1000\mu\text{m}$ 의 유효 칩 면적을 가지며, 3V의 전원전압에 대하여 약 40mW의 낮은 전력소모를 보

었다. 측정된 ADC의 INL은 ±0.6LSB 이내, DNL은 ±0.5LSB 이내였으며, SNDR은 10MHz의 입력 주파수에 대하여 약 33dB를 보였다. 따라서 제안한 ADC는 위성방송수신기 및 그 밖의 고속, 저전력용 시스템의 한 부분으로서 중요한 역할을 할 것으로 기대된다.

참 고 문 헌

- [1] B. Razavi, Principles of Data Conversion System Design, IEEE PRESS, Chapter6, 1995.
- [2] R. Plassche, Integrated ANALOG-TO-DIGITAL and DIGITAL TO ANALOG Converters, Kluwer Academic Publishers, 1994.
- [3] R. Grift, I. Rutten and M. Veen, "An 8-bit Video ADC Incorporation Folding and Interpolation Techniques," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 6, pp. 994-953, Dec. 1987.
- [4] R. Plassche and P. Baltus. "An 8-bit 100-MHz Full-Nyquist Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 23, no. 6, pp. 1334-1344, DEC. 1988.
- [5] J. Valburg and R. Plassche, "An 8-bit 650-MHz folding ADC." *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1662-1666, Dec. 1992.
- [6] B. Nauta and A. Venes, "A 70-MS/s 110-mW 8-bit CMOS folding and Interpolation A/D Converter," *IEEE J. Solid-State Circuits*, vol. 30, no. 12, pp. 1302-1308, Dec. 1995.
- [7] A. venes and R. Plassche, "A 80MHz 80mW 8b CMOS Folding A/D Converter with Distributed T/H Preprocessing," *ISSCC Digest of Technical Papers*, pp. 318-319, Feb. 1996.
- [8] Michael P. Flynn, and D. j. Allstot, "CMOS Folding A/D Converters with Current-Mode Interpolation," *IEEE J. Solid-State Circuits*, vol. 31, pp. 1248-1257, Sep. 1996.
- [9] Ardie G. W. venes. "An 80-MHz, 80mw, 8-b CMOS Folding A/D Converter with Distributed Track-and-Hold Preprocessing." *IEEE J. Solid-State Circuits*. Vol. 31, no. 12 1840-1853, Dec. 1996.
- [10] Raf Roovers. "A 175MS/s, 6b, 160mW, 3.3V CMOS A/D Converter," *IEEE J. Solid-State Circuits*. Vol. 31, no. 7 938-944, July. 1996.
- [11] Pieter VorenKamp. "A 12-b, 60-MSample/s Cascaded Folding and Interpolation ADC," *IEEE J. Solid-State Circuits*. vol. 32, pp. 1876-1886. DEC. 1997.

저 자 소 개



文 載 峻(正會員)

1998년 동국대학교 반도체과학과 학사. 1998년~현재 동국대학교 반도체과학과 석사과정 재학중, 주관심 분야는 CMOS 혼성모드 회로 설계, 저전력 집적시스템설계



宋 敏 圭(正會員)

서울대학교 전자공학과 학사(1986년), 석사(1988년), 박사(1993년). 1993년~94년 일본 동경 대학교 전자공학과 초빙연구원, 1995년~96년 삼성전자 ASIC 설계팀 선임연구원, 1997년~현재 동국대학교 반도체과학과 조교수, 주관심 분야는 CMOS 혼성모드 회로설계, 저전력 집적시스템설계