

論文99-36C-12-4

대역확산 시스템용 병렬 상관기를 위한 저 전력 누적기 설계

(Design of a Low Power Consumption Accumulator for Parallel Correlators in Spread Spectrum Systems)

柳根壯*, 鄭正和*

(Keun-Jang Ryoo and Jong-Wha Chong)

요약

일반적으로 병렬 상관기(correlator)는 대역확산 시스템의 전체 전력소모 중 많은 부분을 차지하며, 그의 주요 원인은 다수의 누적기에서 발생하는 전력소모에 기인한다. 본 논문에서는 이러한 병렬 상관기에 적합한 저 전력 소모 누적기를 제안한다. 제안된 누적기는 입력되는 데이터 값의 '1'의 개수를 비트별로 카운트하고 누적 완료 시에만 카운터 값들에 웨이트를 부가하여 가산함으로써 저 전력 동작을 구현한다. 제안된 누적기는 Cadence사의 Verilog-XL로 설계되고, 0.6μm의 Standard Cell Library를 사용하여 Synopsys사의 Design Compiler로 로직 합성이 수행되었다. 시스템의 전력 시뮬레이션은 Apic사의 Powermill을 사용하였다. 시뮬레이션 결과, 제안된 누적기의 전력 소모는 기존의 누적기보다 22%까지 감소되었으며, 또한 최대 동작 주파수는 323%까지 향상되었다. 제안된 누적기로 구성된 병렬 상관기의 전력소모는 기존의 누적기를 사용한 병렬 상관기에 비교해서 22% 감소하였고, 기존의 수동병렬 상관기에 비교해서 43% 감소하였다.

Abstract

In a typical spread spectrum system, parallel correlator occupies a large fraction of power consumption because of the large number of accumulators in the system. In this paper, a novel accumulator is proposed that can reduce the power consumption in the parallel correlator. The proposed accumulator counts the numbers of '1' of the incoming input data. The counted values are weighted and added together to obtain the final correlation value only at the end of the accumulation. The proposed accumulator has been designed and simulated by CADENCE Verilog-XL and synthesized by SYNOPSYS Design Compiler with 0.6 μm standard cell library. Power consumption results have been obtained from EPIC PowerMill simulations. Simulation results are very encouraging. First, the power dissipation is reduced by 22% and the maximum operating frequency is increased by 323%. In addition, the parallel correlator using the proposed accumulators consumed less power than the conventional active parallel correlators by 22%, and less power than the conventional passive parallel correlator by 43%.

I. 서 론

휴대 통신에 있어서 단말기의 부피와 무게를 최소화

하면서 밧데리의 사용 시간을 연장하기 위하여 전력 소모를 줄이는 것은 매우 중요하다. 직접 시퀀스 대역 확산(direct sequence spread spectrum) 수신 시스템의 신호 복원에 있어 중요한 기능인 초기 동기 획득 및 추적에 사용되는 상관기(correlator)는 단말기의 전체 전력 중 많은 부분을 소모한다. 많은 전력소모가 상관기에서 발생하는 이유는 상관기는 직접 시퀀스 대역

* 正會員, 漢陽大學校 電子工學科

(Dep. of Electronic Engineering, Hanyang University)

接受日字: 1999年3月16日, 수정완료일: 1999年11月9日

확산 수신기에서 가장 높은 주파수로 동작하기 때문이다. 즉 상관기는 국부(local) 확산 코드(PN code)와 입력신호와의 상관값을 칩 레이트(chip rate)로 누적하고 상관기의 출력은 심벌 레이트(symbol rate)로 테시메이션(deci-mation) 된다. 이러한 동작으로 인한 전력 소모는 신속하고 신뢰성 있는 초기 동기 획득 및 추적을 위하여 현재 많은 수신기에서 적용하는 다수의 상관기로 구성된 병렬 상관기에서는 더욱 더 중요하다^{[1][2][3]}.

병렬 상관기에는 수동 병렬 상관기와 능동 병렬 상관기가 있다^{[3][4]}. 수동 병렬 상관기는 PN 코드 정합 필터(matched filter)와 누적기로 구성되며 입력 신호를 tapped delay line을 통과시키면서 각 칩 주기마다 필터의 결과 값을 계산하고 이를 누적하는 동작을 한다. 정합 필터를 구성하는 가산기 네트워크는 긴 데이터 경로로 인하여 상관기의 동작 주파수의 제약 및 전력 소모의 주요한 원인이 된다. 능동 병렬 상관기는 여러 개의 상관기가 병렬로 연결된 구조를 갖으며, 각각의 상관기는 입력 신호와 칩 레이트만큼의 위상(phase)이 서로 다른 PN 코드를 XOR 동작을 수행하는 곱셈기와 곱셈기의 결과 값을 누적하는 누적기로 구성된다. 능동 병렬 상관기에서의 주된 전력 소모는 각각의 상관기를 구성하는 다수의 누적기에서 발생하며, 이때 사용되는 누적기는 입력 데이터의 비트 폭은 작고 누적 길이는 길다는 특징을 갖는다.

일반적인 산술(arithmetic) 계산을 위해 2의 보수(2's complement) 수 체계의 누적기의 전력 소모를 줄이기 위하여 부호-크기(sign-magnitude) 수 체계를 사용하는 누적기와 오프셋 2진(offset binary) 수 체계를 사용하는 누적기가 연구되었다. 부호-크기 수 체계를 사용하는 누적기는 부호를 나타내는 최상위 비트에 의하여 입력 데이터를 양수(positive number)와 음수(negative number)로 분리하여 양수는 양수 누적기에서 음수는 음수 누적기에서 각각 누적한 후 누적이 완료되면 양수 누적기의 결과 값에서 음수 누적기 결과 값을 감산하여 최종 출력을 구한다^[3]. 오프셋 2진 수 체계를 사용하는 누적기는 2의 보수인 입력 신호에 오프셋 값을 가산하여 양수로 변환하여 누적한 후 누적이 완료되면 누적 결과 값에서 전체 더하여진 오프셋 값을 감산하여 최종 출력 값을 구한다^[5]. 이러한 누적기는 모두 가산기의 부호 확장을 '0'으로 고정하여 상위 비트의 천이 확률을 낮추어 저 전력 소모가 되도록 하였으나 누적 동작동안 계속 활성화되어 전력을 소모한다.

이와 같이 대역 확산 시스템에 적용되는 병렬 상관기의 전력 소모의 효율성을 높이기 위해서 작은 비트 폭의 데이터를 많은 회수로 누적하는 동작을 저 전력 소모로 수행하는 누적기가 요구된다. 본 논문에서는 전력 소모를 발생시키는 신호선의 천이(transition) 회수를 감소시키기 위하여 입력 신호 비트 패턴에 따라 선택적으로 활성화되어 저 전력 소모로 동작하는 누적기를 제안한다. 제안한 누적기 및 기존의 3가지 종류의 누적기를 HDL 코딩 및 로직합성을 통하여 설계하고 전력 시뮬레이션을 수행하여 비교 평가를 하였다. 또한 제안한 누적기가 병렬 상관기에 적용되었을 때의 저 전력 효과를 검증하기 위하여 기존의 3가지 누적기를 적용한 능동 병렬 상관기 및 기존의 수동 병렬 상관기와 전력 시뮬레이션을 통하여 비교 평가를 하였다. 제안한 누적기는 최대 지연 경로(critical path) 경로의 단축으로 최대 동작 주파수 특성도 향상되었으며 이를 타이밍 시뮬레이션을 통하여 입증하였다.

본 논문의 각 부분에 대한 설명은 다음과 같다. 2장에서는 능동 병렬 상관기의 전체 아키텍처를 설명하고 3장에서는 제안하는 저 전력 소모 누적기의 하드웨어 구조, 동작 및 특성을 기술한다. 4장에서는 기존의 누적기 및 상관기와의 전력 소모를 비교 실험한 결과에 대하여 논한다.

II. 능동 병렬 상관기

능동 병렬 상관기의 전체 아키텍처의 구성은 그림 1과 같다. 동일한 구조의 상관기 M 개가 병렬로 연결되며 각각의 상관기는 곱셈기, 누적기 그리고 3-상태 버퍼(tri-state buffer)로 구성된다.

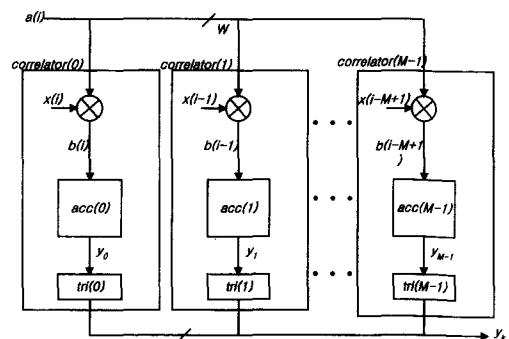


그림 1. M -병렬 능동 상관기 아키텍쳐

Fig. 1. M -parallel active correlator architecture.

그림 1의 병렬 상관기의 입력 신호 $a(i)$ 는 아날로그-디지털 변환기(analog-to-digital converter)에서 출력되는 신호로서 W 비트로 구성된 2의 보수(2's complement)로 표현되는 기저 대역 신호이다. 팔호 안의 i 는 순차적으로 입력되는 데이터 중에서 i 번째 입력되는 신호임을 나타내며 $correlator(0)$ 에서 $correlator(M-1)$ 까지의 M 개의 능동 상관기에 동시에 입력된다. 각각의 상관기에 입력되는 국부 발생 PN 코드는 chip rate 만큼 순차적으로 지연된 신호들이 각각 입력된다. k 번째 상관기에서는 $a(i)$ 와 $i-k$ 번째 발생한 1비트인 국부 발생 PN 코드인 $x(k)$ 와 XOR 동작을 통하여 곱셈이 수행되고 결과 값은 누적기에 순차적으로 누적되는 상관 동작이 수행된다. 상관길이인 N 번의 상관이 완료되면 누적기 결과 값인 y_0 부터 y_{M-1} 까지의 M 개의 상관기 결과 값은 3-상태 버퍼인 $tri(0)$ 부터 $tri(M-1)$ 까지의 3-상태 버퍼가 순차적으로 활성화되어 버스(bus)에 출력되며 동시에 다음 쌍이들의 상관을 위하여 0번째 상관기부터 M 번째 상관기까지 순차적으로 초기화된다. 3-상태의 버퍼의 활성화 및 상관기의 초기화는 별도의 제어부에서 발생된 신호선에 의하여 제어된다.

k 번째 상관기의 출력 값인 y_k 는 아래와 같다. 식 (1)에서 $a(i)$ 가 W 비트 일 때 그림 1의 각각의 누적기의 비트 수는 $W + \log_2 N$ 이 된다.

$$y_k = \sum_{i=k}^{N+k-1} a(k)x(i-k) \quad (1)$$

III. 제안한 저 전력 소모 누적기 구조

1. 누적기

그림 1의 능동 병렬 상관기에서 사용되는 각각의 누적기는 저 전력 소모를 위하여 그림 2와 같은 구조로 구성된다.

누적기의 입력 신호선 중 $b(i)$ 는 XOR 곱셈기의 출력과 연결된 2의 보수(2's complement)로 표현되는 W 비트로 구성된 입력 데이터 신호선이며, CLK은 국부 PN코드 chip rate로 입력되는 클럭 신호선이며, DUMP는 누적길이 완료 시에만 활성화되는 제어 신호선이다. 누적기는 2의 보수로 표현된 입력 데이터를 오프셋 2진으로 변환하는 전변환기(pre converter), 입력

신호선 각각의 비트에 순차적으로 입력되는 '1'의 개수를 카운트하는 W 개의 카운터(counter), 각각의 카운터의 결과 값에 입력 데이터의 자릿수에 해당하는 웨이트 ($2^0, 2^1, \dots, 2^j, \dots, 2^{W-1}$)를 곱하는 W 개의 웨이트 부가기(weighting circuit), 웨이트가 곱해진 카운터 값을 모두 더하여 오프셋 2진의 최종 상관값을 계산하는 가산기(adder) 그리고 오프셋 2진 상관값을 2의 보수 상관값으로 변환하는 후변환기(post converter)로 구성된다.

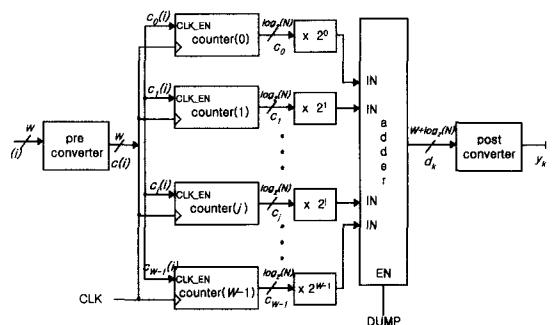


그림 2. 카운터를 사용한 저 전력 소모 누적기

Fig. 2. Proposed Low power consumption accumulator with counters.

전변환기는 식 (2)과 같은 범위에 있는 2의 보수로 표현된 입력신호 $b(i)$ 에 2진수 오프셋 2^{W-1} 을 더하여 식 (3)과 같은 범위의 오프셋 2진수인 W 비트의 양수 $c(i)$ 로 변환한다.

$$-2^{W-1} \leq b(i) \leq + (2^{W-1} - 1) \quad (2)$$

$$0 \leq c(i) \leq + (2^W - 1) \quad (3)$$

표 1은 IS-95등 많은 시스템의 기저대역 신호 비트 수인 4비트를 W 라고 가정하였을 때의 변환되는 수를 나타낸다. 표 1에서 볼 수 있는 바와 같이 최상위 비트의 인버팅을 수행함으로써 변환이 가능하다. 실제 구현에 있어서도 하나의 인버터(inverter)로 구현한다.

표 1과 같이 변환되어 누적기에 i 번째 입력되는 오프셋 이진수 $c(i)$ 는 식 (4)와 같이 표현되며 이때 $c_j(i)$ 는 $c(i)$ 의 j 번째 비트 값을 나타낸다.

$$c(i) = \sum_{j=0}^{W-1} c_j(i) 2^j \quad (4)$$

전 변환기의 출력 $c(i)$ 가 W 비트로 구성될 때 전체

W 개의 카운터는 각각 식 (4)와 같이 순차적으로 입력되는 $c_j(i)$ 의 '1'의 회수를 카운트한다. 즉 $\text{counter}(0)$ 는 $c(i)$ 의 0번째 비트인 $c_0(i)$ 의 상관길이 동안 입력되는 '1'의 회수를 카운트하고 $\text{counter}(1)$ 는 1번째 비트인 $c_1(i)$ 의 상관길이 동안 입력되는 '1'의 회수를 카운트한다. j 번째 비트의 순차적으로 입력되는 $c_j(i)$ 의 '1'을 카운트하는 j 번째의 카운터 $\text{counter}(j)$ 가 상관길이 N 번 누적을 완료한 후 카운터 $\text{counter}(j)$ 의 결과값 c_j 는 식 (5)와 같으며 최대 $\log_2 N$ 개의 비트 수를 넘지 않는다.

표 1. 전변환기의 비트 변환

Table 1. bit converting of the pre converter.

Integer	2^r s Complement $b(i)$	Integer + 8	Offset binary $c(i)$
7	0111	15	1111
6	0110	14	1110
.	.	.	.
1	0001	9	1001
0	0000	8	1000
-1	1111	7	0111
.	.	.	.
-7	1001	1	0001
-8	1000	0	0000

$$c_j = \sum_{i=0}^{N-1} c_j(i) \quad (5)$$

저 전력 소모를 위하여 각각의 카운터는 $c_j(i)$ 가 인가되는 CLK_EN(clock enable) 신호선과 CLK 신호선이 AND 동작으로 생성된 게이트 클럭(gate clock)을 내부 클럭으로 사용한다. 즉 카운터는 입력 비트 $c_j(i)$ 가 로직 '1'일 때만 클럭이 인가되어 카운트 동작을 수행하며 로직 '0'일 때에는 클럭이 인가되지 않아 카운트 동작을 수행하지 않음으로 클럭에 의한 전력 소모를 발생시키지 않는다. 이와 같이 $c(i)$ 의 비트 패턴에 따라 W 개의 카운터 중 선택적으로 일부만 활성화됨으로서 누적기의 반복되는 동작의 전력 소모가 절감된다. 상관길이 N 번의 누적이 완료되면 웨이트 부가기 및

가산기가 DUMP 신호선에 의하여 활성화된다. 즉 세어 신호선 DUMP는 누적의 완료 시만 로직 '1'로 활성화되어 카운터의 웨이트가 부가된 결과 값들을 가산기에 전파하고 반복되는 누적 동작 시에는 W 개의 가산기 입력 신호선에 $\log_2(N)$ 비트 길이의 '0' 값을 각각 전파하여 가산기의 입력단에 천이가 발생하지 않도록 하여 전력 소모를 차단한다. 식 (6)의 d_k 는 카운터의 결과값 c_j 에 $c(i)$ 의 비트 순서 j 에 해당하는 웨이트 2^j 를 부가하여 W 개를 가산한 k 번째 쌔이클 결과로써 덧셈기와 레지스터로 구성된 기존의 $W + \log_2(N)$ 비트의 누적기 결과값 $\sum_{i=0}^{N-1} (\sum_{j=0}^{W-1} c_j(i) 2^j)$ 와 동일하다.

$$d_k = \sum_{j=0}^{W-1} c_j 2^j = \sum_{j=0}^{W-1} (\sum_{i=0}^{N-1} c_j(i) 2^j) \quad (6)$$

후변환기는 오프셋 2진수로 표현되는 누적기 결과값을 2의 보수 형태인 최종 상관기 값으로 변환을 수행한다. 즉 d_k 는 전변환기에서 입력신호 $b(i)$ 에 2진수 오프셋 2^{W-1} 을 더한 $c(i)$ 를 N 번 누적을 한 결과이므로 당초의 입력 $b(i)$ 를 N 번 누적한 결과를 얻기 위해서는 $N \times 2^{W-1}$ 을 d_k 에서 감산하여야 하며 이는 후변환기에서 처리한다. 식 (7)에서 y_k 는 후변환기의 출력으로서 k 번째 쌔이클의 상관기 최종 출력이다. 후변환기는 감산기로 구성되며 감산기의 입력 신호인 d_k 는 상관 완료 시에만 동작하는 가산기의 출력이므로 평상시에는 감산기에서 전력 소모가 발생되지 않는다.

$$y_k = d_k - N \times 2^{W-1} = \sum_{j=0}^{W-1} (\sum_{i=0}^{N-1} c_j(i) 2^j) - N \times 2^{W-1} \quad (7)$$

그림 1과 같은 능동 병렬 상관기에 그림 2와 같은 제안한 누적기 M 개를 적용하였을 때 병렬 상관기의 전체 동작 절차는 다음과 같다.

단계 1 : 0부터 $M-1$ 까지 상관기 순차적으로 초기화 및 3-상태 버퍼 활성화.

단계 2 : 기저대역 신호 $a(i)$ 에 PN 코드 곱하여 $b(i)$

발생 및 오프셋 2진수 $c(i)$ 로 변환.

$c(i)$ 에 따라 선택된 카운터 카운트 후 단계 2 반복(만약 $i = N$ 이면, 단계 3으로 이동).

단계 3 : DUMP신호선 활성화하여 W 개의 카운터 결

과값 가산하여 d_k 결정 및

$y_k = d_k - N \times 2^{W-1}$ 계산 후 다음 상관 사이클을 위하여 단계 1로 이동.

2. 카운터

그림 2의 W 개 카운터의 상세 구조는 그림 3과 같으며 전체 R 비트의 카운터는 상위 $(R-r)$ 비트 카운터와 하위 r 비트 카운터로 구성된다.

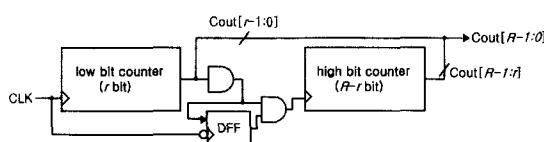


그림 3. 제안한 저 전력 소모 카운터

Fig. 3. Proposed low power consumption counter.

카운트 동작을 위한 주파수 f_c 를 갖는 클럭은 하위 r 비트 카운터에 인가되고, 하위 카운터의 비트 값이 모두 '1'일 때 활성화되는 주파수 $\frac{f_c}{2^r}$ 인 게이트 클럭은

상위 카운터에 인가된다. negative edge 클럭을 사용하는 D 타입 플립플롭은 게이트 클럭 생성 시 발생할 수 있는 글리치(glitch)를 방지하는 기능을 수행한다. 카운터는 가산기 중 전력 소모가 가장 적은 리플캐리 네트워크(ripple carry adder)와 레지스터로 구성되며 카운터의 각 비트는 한 개의 2입력의 반덧셈기(half adder)와 한 개의 플립플롭을 포함한다^[6].

기존의 카운터와 그림 3과 같은 제안한 카운터의 전력 소모를 비교하기 위하여 일반적인 CMOS 회로에서의 디이나믹 전력 소모 계산식 $P_d = \alpha f_c C_L V_{dd}^2$ 를 적용한다.^[7] f_c 는 클럭 주파수이고 C_L 은 유효 커패시턴스이다. α 는 클럭 한 주기 내에서 한 개의 노드 값이 상승전이(rising transition) 할 확률이며 이는 한 개의 노드 값이 천이 할 확률인 α_a 의 $\frac{1}{2}$ 이다. 계산식을 이용하여 카운터 한 개의 비트에서 소모되는 디이나믹 전력 소모는 아래와 같다.

$$P_{d-} = (C_{ck} + C_d \cdot \frac{\alpha_{ad}}{2} + C_a \cdot \frac{\alpha_{aa}}{2} + C_b \cdot \frac{\alpha_{ab}}{2}) f_c V_{dd}^2 \quad (8)$$

여기서 C_{ck} 는 플립플롭의 클럭 입력 신호선이 전파되는 경로의 로드 커패시턴스의 합이며 C_d , C_a , C_b 는 각각 플립플롭의 데이터, 반덧셈기 입력 a, 반덧셈기의

입력 b에 해당하는 로드 커패시턴스의 합이다. α_{ad} 는 플립플롭의 데이터 입력 신호선이 천이 할 확률이고 α_{aa} , α_{ab} 는 각각 반덧셈기의 입력 a, 반덧셈기의 입력 b가 천이 할 확률이다. 반덧셈기의 입력 신호선 a는 플립플롭의 출력 신호선과 연결되고 입력 신호선 b는 이전(previous) 비트의 반덧셈기의 캐리(carry) 출력과 연결된다. 그리고 플립플롭의 데이터 입력 신호선은 반덧셈기의 sum 출력 신호선과 연결되어 있으므로 $\alpha_{ad} = \alpha_{aa} = \frac{1}{2} \alpha_{ab}$ 가 된다. 또한 카운터 비트 0의 α_{ad} 는 1이고, 카운터 비트 1의 α_{ad} 는 $\frac{1}{2}$ 이 되는 방식으로 차수가 증가하면서 각 비트의 α_{ad} 는 $\frac{1}{2}$ 배로 감소한다. 이러한 천이 확률을 적용하여 한 개의 클럭이 R 개의 플립플롭에 인가되는 기존의 카운터의 전력 소모를 계산하면 식 (9)와 같다.

$$P_{d-} = [RC_{ck} + (C_d + C_a) \sum_{k=0}^{R-1} \frac{1}{2^{k+1}} + C_b (\sum_{k=0}^{R-1} \frac{1}{2^k} - 1)] f_c V_{dd}^2 \quad (9)$$

하위 r 비트의 카운터와 게이트 클럭을 사용하는 상위 $R-r$ 비트 카운터가 연결된 제안한 카운터의 전력 소모는 식 (10)과 같다.

$$\begin{aligned} P_{d-} &= [rC_{ck} + (C_d + C_a) \sum_{k=0}^{r-1} \frac{1}{2^{k+1}} + C_b (\sum_{k=0}^{r-1} \frac{1}{2^k} - 1)] f_c V_{dd}^2 \\ &+ [(R-r)C_{ck} + (C_d + C_a) \sum_{k=r}^{R-1} \frac{1}{2^{k+1}} + C_b (\sum_{k=r}^{R-1} \frac{1}{2^k} - 1)] \frac{f_c}{2^r} V_{dd}^2 \\ &+ [C_{ck} + C_d \frac{1}{2^{r+1}}] f_c V_{dd}^2 \end{aligned} \quad (10)$$

여기서 첫 번째 항은 하위 카운터의 소모 전력이며 두 번째 항은 주파수 $\frac{f_c}{2^r}$ 인 게이트 클럭이 인가된 상위 카운터의 소모전력이고 마지막 항은 글리치 제거를 위해 추가된 1비트 플립플롭의 소모 전력이다.

식 (10)에서 최소의 전력 소모를 위한 r 을 구하기 위해서는 4개의 커패시턴스 값이 결정되어야 함으로 게이트(gate)의 유효 로드 커패시턴스를 예측하는 수식 $C_L = C_w + nC_o + mC_i$ 를 적용한다^[8]. C_w 는 입력 및 출력에서의 선(wire)에 의한 커패시턴스, C_o 는 유효 트랜지스터 출력 커패시턴스, C_i 는 유효 트랜지스터 입력 커패시턴스이며 n 은 게이트의 전체 트랜지스터 개수이며 그리고 m 은 전체 로드 트랜지스터의 개수를

나타낸다. 실제 반도체 공정에 있어서 게이트 옥사이드(gate oxide)의 두께에 따라 C_{h} 와 C_{v} 의 비율은 변화하지만 간단한 계산을 위하여 $C_{\text{v}}=0.2C_{\text{h}}$ 이며 $C_{\text{h}}=0$ 라고 가정한다^[7]. 이러한 가정에 의하여 2개의 nand 게이트, 7개의 inverter와 4개의 transmission 게이트로 구성된 D 타입 플립플롭 및 1개의 nand 게이트, 5개의 inverter와 2개의 transmission 게이트로 구성된 반덧셈기(half adder)의 로드 커패시턴스를 계산하면 각각 $C_d = 19.6C_i$, $C_{CK} = 12.8C_i$, $C_a = 13.6C_i$, $C_b = 11.2C_i$ 가 된다.

이러한 4개의 커패시턴스 값을 전체 카운터 비트 길이 R 을 변화하면서 식 (9)에 대입한 기존의 카운터의 전력 소모 ($r=0$) 및 하위비트 카운터 비트 수 r 을 변화하여 식 (10)에 대입하여 계산한 제안한 카운터의 전력 소모 ($r \neq 0$)는 표 2와 같다. 표 2의 결과와 같이 4비트 카운터에서는 상위비트 카운터의 클럭을 생성하기 위한 플립플롭 및 추가된 게이트로 인하여 기존의 카운터의 전력 소모가 최소가 된다. 그러나 6비트 및 8비트 카운터에 있어서는 $r=2$ 일 경우에 그리고 10비트 이상의 카운터에 있어서는 $r=3$ 일 경우에 전력 소모가 최소가 됨을 알 수 있다. 이러한 기존의 카운터에 대한 제안한 카운터의 전력 소모의 감소율은 카운터의 전체 비트 수가 클 경우에 높으며 14비트 카운터에 있어서는 44%의 전력 소모의 감소 효과가 있다. 또한 카운터의 동작 주파수를 결정하는 리플캐리 덧셈기의 캐리 신호선에 관련된 최대 지연 경로(critical path)경로가 카운터를 분리함으로써 단축되고 상위비트 카운터의 분주된 클럭의 사용으로 인하여 제안한 카운터는 높은 클럭 주파수에서도 동작 가능하다.

표 2. 저 전력 소비 카운터를 위한 하위 카운터 비트수(r)

Table 2. Low order counter's bit number(r) for a low power consumption counter.

R (카운터 비트 수)	power ($C_{\text{v}}f_c V_{dd}^2$)									
	기존 구조	제안 구조								
		$r=0$	$r=1$	$r=2$	$r=3$	$r=4$	$r=6$	$r=8$	$r=10$	$r=12$
4	90	98	97	106	-	-	-	-	-	-
6	116	111	103	109	120	-	-	-	-	-
8	141	124	110	112	121	144	-	-	-	-
10	165	136	116	115	122	144	167	-	-	-
12	189	148	122	118	124	145	168	192	-	-
14	213	160	128	121	126	145	168	192	216	-

IV. 실험 및 결과

본 논문에서 제안된 누적기의 저 전력 소모 특성을 입증하기 위하여 제안한 누적기와 기존의 누적기를 HDL(Hardware Description Language)을 사용 구현 및 합성한 후, 전력 소모의 비교 실험을 하였다. 또한 제안한 누적기를 적용한 능동 병렬 상관기와 기존의 능동 및 수동 병렬 상관기의 전력 소모도 비교 실험을 수행하였다. 실험을 위하여 상용 EDA(Electronic Design Automation) 툴(tool)을 사용하였으며 하드웨어의 구현은 Cadence사의 Verilog-XL, 로직 합성은 Synopsys사의 Design Compiler, 그리고 전력 소모 시뮬레이션은 Apic사의 Powermill을 사용하였다. 전력 소모 시뮬레이션은 20MHz 주파수를 갖는 클럭을 사용하였으며 클럭을 포함한 입력 신호선 모두에 상승 천이 시간(rise time) 및 하강 천이 시간(fall time)이 2ns인 신호를 인가하였다. 실험에 적용한 반도체 공정은 0.6u의 Standard Cell, 5V 공정을 사용하였다.

표 3은 제안된 누적기에 사용되는 새로운 카운터 구조와 기존의 카운터와의 전력 소모를 비교한 시뮬레이션 결과이다. R 은 전체 카운터 비트 길이를 나타내며 r 은 하위비트 카운터의 비트 길이를 표현한다. 카운터가 모든 가능한 상태 값을 갖도록 카운터의 한 주기인 2^R 개의 클럭동안 평균 전력 소모를 구하였으며 $r=0$ 인 경우는 카운터가 분리되지 않은 기존의 카운터이다.

표 3. 제안한 카운터와 기존의 카운터의 전력 시뮬레이션 결과

Table 3. Power simulation results of proposed counters and conventional counter.

R (카운터 비트 수)	power (mW)									
	기존 구조	제안 구조								
		$r=0$	$r=1$	$r=2$	$r=3$	$r=4$	$r=6$	$r=8$	$r=10$	$r=12$
4	0.37	0.34	0.33	0.38	-	-	-	-	-	-
6	0.53	0.44	0.41	0.43	0.48	-	-	-	-	-
8	0.64	0.53	0.45	0.46	0.50	0.61	-	-	-	-
10	0.74	0.57	0.49	0.47	0.50	0.60	0.70	-	-	-
12	0.86	0.65	0.51	0.49	0.52	0.61	0.72	0.83	-	-
14	0.96	0.72	0.54	0.50	0.52	0.61	0.72	0.81	0.92	-

표의 수치는 시뮬레이션 구간동안의 평균 전력(average power) 소모를 나타내며 $R=4, 6, 8$ 인 경우에는 $r=2$ 일 때 $R=10, 12, 14$ 인 경우에는 $r=3$ 일 때 전력 소모가 최소가 된다. 이러한 제안한 카운터 구조의 시뮬레이션 결과는 식 (10)의 계산한 결과와 같이 전체 카운터 비트 길이 R 이 클수록 효과적이며 $R=14$ 인 경우에는 기존의 카운터와 비교하여 48%까지의 전력 소모 절감 효과가 있음을 알 수 있다.

그림 4는 입력 데이터가 4비트이고 누적길이(accumulation length)가 256인 경우 제안한 누적기와 기존의 누적기와의 전력 시뮬레이션 결과로서 왼쪽의 세로축으로 신호선 및 인가 전압 vdd 노드(node)의 평균 전류의 종류를 나타내고 오른쪽 세로축으로 각각의 수치를 나타내고 있다. $I(vdd_my)$ 는 제안한 누적기의 vdd의 평균 전류(average current)이고 $I(vdd_sn)$, $I(vdd_of)$ 그리고 $I(vdd_tw)$ 는 각각 부호-크기(sign-magnitude) 누적기^[3], 오프셋 2진(offset binary) 누적기^[5], 그리고 2의 보수(2's complement) 누적기^[9]의 vdd 노드의 평균 전류이다. 기존의 누적기 중 가장 전력 소모 특성이 좋은 부호-크기 누적기와 비교하여 제안한 누적기의 평균 전류가 20%의 감소 효과가 있고 2의 보수 누적기와 비교하여 30% 감소 효과가 있었다. 각각의 회로에 모두 인가 전압을 5V를 사용하였으므로 평균 전류의 감소 비율과 동일한 비율로 전력 감소가 발생하였음을 알 수 있다. 표 4는 입력 데이터가 4비트이고 누적길이가 각각 64, 256, 1024인 누적기에 대하여 전력 소모, 최대 동작 주파수 그리고 하드웨어 크기

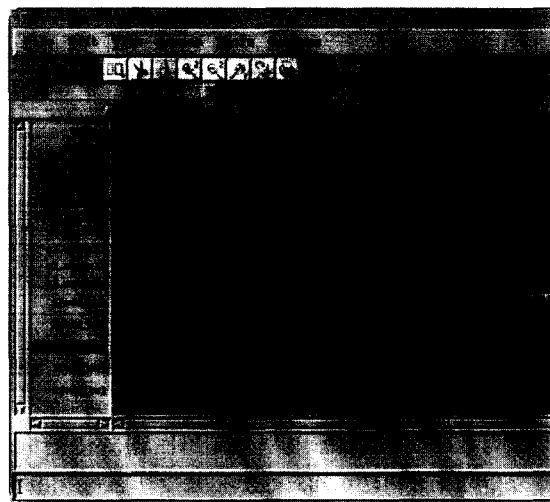


그림 4. 제안한 누적기와 기존의 누적기의 전력 시뮬레이션 결과

Fig. 4. Power simulation results of proposed accumulator and other accumulators.

에 대한 시뮬레이션 결과이다. 누적길이가 1024인 경우 제안한 구조의 누적기의 경우 게이트 수가 27%증가하였으나 전력 소모는 22% 감소하였고 최대 동작 주파수 특성은 323% 향상되었다. 제안한 누적기는 누적회수가 증가함에 따라 상위비트 카운터의 비트 수는 증가하지만 하위비트 카운터는 고정되어 있어, 기존의 누적기는 누적 회수가 증가함에 따라 최대 동작 주파수가 감소하는 것과는 달리 제안한 누적기는 최대 동작 주파수의 감소가 없는 장점이 있다.

표 4. 기존의 누적기와의 전력 소모 비교

Table 4. Power consumption comparison with other accumulators.

	누적길이=64			누적길이=256			누적길이=1024		
	면적 (Gates)	최대 동작 주파수 (MHz)	평균 전력 소모 (mW)	면적 (Gates)	최대 동작 주파수 (MHz)	평균 전력 소모 (mW)	면적 (Gates)	최대 동작 주파수 (MHz)	평균 전력 소모 (mW)
2's Complement Accumulator ^[9]	185	113	1.230	220	102	1.376	255	94	1.545
Offset Binary Accumulator ^[5]	169	119	1.162	199	109	1.262	229	100	1.373
Sign-Magnitude Accumulator ^[3]	343	127	1.117	414	119	1.199	487	105	1.352
본 논문	464	304	0.928	594	304	0.964	620	304	1.060

표 5와 표 6은 3종류의 기준의 누적기로 구성된 능동 병렬 상관기 및 기준의 수동 병렬 상관기와 제안한 누적기로 구성된 능동 병렬 상관기와의 전력 소모를 비교한 시뮬레이션 결과이다. 상관기는 입력 데이터의 비트 수 W 는 4비트이고 누적 회수 N 은 1024로 구성하였으며 tap 수 M 을 변화시키며 시뮬레이션을 수행하였다. 기준의 아키텍처는 일반적인 2의 보수(2's complement) 누적기^[9], 부호-크기(sign-magnitude) 누적기^[3], 그리고 오프셋 2진(offset binary) 누적기^[5]를 사용하는 능동 병렬 상관기와 오프셋 2진 데이터 표현을 하고 2진 트리(binary tree) 가산기를 사용하는 수동 병렬 상관기^[2]이다. 수동 병렬 상관기는 참고 문헌 [2] 와 동일하게 구현하여 비교하였다. 즉 2진 트리 가산기는 4:2 형태의 CSA(Carry Save Adder)를 사용한 $\log_2(M)-1$ 단(stage)의 가산기 트리(adder tree)와 $W + \log_2(M)$ 비트의 리플캐리 가산기(ripple carry adder)를 사용한 vector merger로 구성하였으며 가산기 트리의 지역 경로를 줄이기 위하여 vector merger 앞과 뒤에 레지스터를 삽입하였다. 표 5는 상관기의 기저대역 입력 신호에 최상위 비트는 양수와 음수를 번갈아 발생하기 위하여 toggle하며 하위 3비트는 '1'씩 증가하는 4비트 순환(cyclic) 패턴을 인가한 시뮬레이션 결과이고 표 6은 랜덤(random) 4비트 패턴을 인가한 결과이다. 두 개의 경우 모두 LFSR(Linear Feedback Shift Register)을 사용한 동일한 PN 코드를 사용하였다.

표 5의 실험 결과와 같이 제안한 병렬 상관기는 기준의 능동 병렬 상관기 중 전력 소모가 가장 적은 부호-크기 누적기(sign-magnitude accumulator)를 사용한 경우보다 21%, 2진 가산기 트리(binary tree adder)를 사용하는 수동 병렬 상관기보다 43%의 전력 소모 절감이 있었다. 또한 표 6의 실험 결과에서는 부호-크기 누적기를 사용한 경우보다 22%, 수동 병렬 상관기보다 43%의 전력 소모 절감이 있음을 알 수 있다. 랜덤 패턴을 인가한 표 6의 결과와 비교하여 양수와 음수를 번갈아 인가한 표 5에서 2의 보수 가산기(2's complement accumulator)를 사용한 병렬 상관기의 전력이 많이 소모되는 것으로 보아 누적기의 사인 확장(sign extension)에 의한 전력 소모가 많음을 알 수 있다. 2의 보수 가산기를 사용한 상관기를 제외한 상관기에서는 사인 확장 동작이 수행되지 않기 때문에 두 가지 패턴의 경우에서 비슷한 결과를 나타내고 있다.

표 5. 순환 입력 패턴 인가시 기준의 병렬 상관기와의 전력 소모 비교

Table 5. Power consumption comparison with other parallel correlators for cyclic patterns.

상관기 종류	전력 소모(mW)			
	M=4	M=8	M=16	M=32
2's Complement Accumulator ^[9]	7.79	15.66	31.23	62.31
Binary Tree Adder ^[2]	10.44	17.82	33.94	62.06
Offset Binary Accumulator ^[5]	5.95	11.96	23.76	47.96
Sign-Magnitude Accumulator ^[3]	5.57	11.14	22.29	44.35
본 논문	4.44	8.95	17.79	35.30

표 6. 랜덤 입력 패턴 인가시 기준의 병렬 상관기와의 전력 소모 비교

Table 6. Power consumption comparison with other parallel correlators for random patterns.

상관기 종류	전력 소모(mW)			
	M=4	M=8	M=16	M=32
2's Complement Accumulator ^[9]	6.17	12.39	24.75	49.44
Binary Tree Adder ^[2]	9.88	17.14	32.46	59.27
Offset Binary Accumulator ^[5]	5.47	10.96	21.83	43.96
Sign-Magnitude Accumulator ^[3]	5.42	10.89	21.70	43.28
본 논문	4.27	8.59	17.09	33.93

V. 결 론

본 논문에서는 직접 시퀀스 대역 확산 시스템의 수신기의 전체 전력 소모 중 많은 부분을 발생시키는 능동 병렬 상관기의 저 전력 동작을 위한 누적기의 구조를 제안하였다. 제안한 누적기는 입력되는 데이터 값의 '1'의 개수를 비트별로 카운트하고 누적 완료 시에만 카운터 값들에 웨이트를 부가한 후 가산하여 최종 결과 값을 계산하도록 구성하였다. 누적기를 구성하는 카운터는 입력되는 데이터 값이 '1'일 때만 활성화되는 하위 비트 카운터와 하위비트 카운터에서 캐리(carry)가 발생 할 때만 클럭이 인가되는 상위비트 카운터가 연결된 새로운 구조를 갖도록 하여 클럭 신호선의 친이 확률을 낮추어 카운터 전체의 전력 소모를 감소 시켰다. 제안한 누적기 및 새로운 누적기로 구성한 병렬 상관기의 저 전력 소모 동작을 검증하기 위하여 기존의 3 가지 종류의 누적기 및 기존의 4가지 종류의 병렬 상

관기와 전력 시뮬레이션을 수행하여 비교하였다. 제안한 누적기는 기존의 누적기와 비교하여 하드웨어 크기인 챠이트 수는 27% 증가한 반면에 전력 소모는 22% 감소하였고 최대 동작 주파수는 323% 향상되었음을 알 수 있었다. 또한 제안한 누적기로 구성한 능동 병렬 상관기의 전력 소모는 기존의 능동 병렬 상관기에 비하여 22% 및 기존의 2수동 병렬 상관기에 비하여 43% 감소하였다.

앞으로의 연구과제는 저 전력 소모의 동작을 위하여 부가된 하드웨어를 최소화하는 연구와 본 논문의 연구 결과를 직접 시퀀스 대역 확산 시스템의 데이터 처리부에 적용하는 것이다.

참 고 문 헌

- [1] Sheng, S. et al., "A low-power CMOS chipset for spread spectrum communications," Proc. IEEE ISSCC'96, pp. 346-347, Feb. 1996.
- [2] Won Namgoong and Teresa Meng, "Power Consumption of Parallel Spread Spectrum Correlator Architectures," Proc. ISLPED'98, pp. 133-135, Aug. 1998.
- [3] Anantha P. Chandrakasan et al., "Design of Portable Systems," Proc. IEEE CICC'94, pp. 259-266, 1994.
- [4] Pou-Tou Sun and Chih-Yuan Chu, "Hidden preamble detector for acquisition of frequency hopping multiple access communication system," Proc. IEE Communication'97, pp. 161-165, June. 1997.
- [5] Kenichi Nitta, "Low Power Adder for Accumulation," United States Patent, patent number 5691931, pp. 1-8, Nov. 1997.
- [6] Anantha Chandrakasan and Robert Brodersen, Low-Power CMOS Design, New York : IEEE PRESS, 1998.
- [7] N. H. E. Weste, K. Eshraghian, Principles of CMOS VLSI Design, Second Edition, Addison-Wesley Publishing Company, 1993.
- [8] Jan M. Rabaey and Massoud Pedram, Low Power Design Methodologies, Massachusetts : Kluwer Academic Publishers, 1996.
- [9] Kai Hwang, Computer Arithmetic : Principles, Architecture, and Design, New York : John Wiley & Sons., 1979.

저 자 소 개



柳 根 壯(正會員)

1962년 7월 14일생. 1985년 서강대학교 전자공학과(학사), 1994년 한양대학교 대학원 전자공학과(석사). 1995년~현재 한양대학교 대학원 전자공학과 박사과정. 1984년 12월~1992년 3월 삼성반도체(현 삼성전자) 근무. 1994년 11월~현재 고등기술연구원 책임연구원. 주관심 분야는 저전력 설계, VLSI 테스팅, 유무선 통신용 ASIC 설계.

鄭 正 和(正會員) 第35卷 C編 第10號 參照

현재 한양대학교 전자공학과 교수