

論文99-36C-12-7

# Deep Submicron CMOS ASIC에서 다중 구동 게이트를 갖는 배선회로 해석 기법

(An Analysis Technique for Interconnect Circuits with Multiple Driving Gates in Deep Submicron CMOS ASICs)

趙 敬 淳 \* , 卞 榮 基 \*

(Kyeongsoon Cho and Young-Ki Byun)

## 요 약

ASIC의 타이밍 특성 분석은 회로를 구성하는 게이트와 이들을 연결하는 배선의 지연 시간을 바탕으로 이루어진다. 게이트의 지연 시간은 입력에 인가된 파형의 천이 시간과 출력에 연결된 부하 커패시턴스를 변수로 하는 이차원 테이블로 모델링할 수 있다. 배선의 지연 시간은 배선에서 추출한 저항, 커패시턴스 등으로 구성된 배선회로에 AWE 기법을 적용하여 계산할 수 있다. 그러나 이를 지연 시간은 구동 게이트와 배선의 상호 작용의 영향을 받으므로 이 효과를 반영하여 이차원 테이블 모델과 AWE 기법을 사용하여야 한다. 배선을 구동하는 게이트가 한 개라는 가정 하에서 유효 커패시턴스와 게이트 구동 모델을 통하여 상호 작용을 고려하는 기법이 제안된 바 있다. 본 논문은 이를 확장하여 병렬로 연결된 여러 개의 CMOS 게이트가 동시에 배선을 구동하는 경우를 다룰 수 있는 기법을 제시하고 있다. 이 기법을 C 프로그램으로 구현하여 CMOS ASIC 제품에 적용한 결과, 게이트와 배선의 지연 시간을 SPICE와 비교하여 수십 배 이상 빠른 속도와 수 % 이내의 오차로 분석하였다.

## Abstract

The timing characteristics of an ASIC are analyzed based on the propagation delays of each gate and interconnect wire. The gate delay can be modeled using the two-dimensional delay table whose index variables are the input transition time and the output load capacitance. The AWE technique can be adopted as an algorithm to compute the interconnect delay. Since these delays are affected by the interaction between the driving gate and interconnect wire, this effect should be also considered in addition to the two-dimensional delay table and the AWE technique. A method to model this effect has been proposed through the effective capacitance and the gate driver model under the assumption of single driving gate. This paper presents a new technique to handle the multiple CMOS gates driving interconnect wire by extending previous approach. This technique has been implemented in C language and applied to several interconnect circuits driven by multiple CMOS gates. In most cases, we found a few tens of speed-up and only a few percents of errors in computing both of gate and interconnect delays, compared to SPICE.

\* 正會員, 韓國外國語大學校 電子工學科

(Department of Electronics Engineering, Hankuk

University of Foreign Studies)

※ 이 논문은 1998년도 한국과학재단 핵심전문연구과  
제 (981-0909-039-1) 지원에 의해 수행되었음.

接受日字: 1999年4月23日, 수정완료일: 1999年11月15日

## I. 서 론

반도체 제조 공정의 선 폭이 0.5m 이하로 미세화 되고 시스템의 동작 주파수가 수백 MHz 이상으로 증가함에 따라 ASIC (Application Specific Integrated Circuit)을 설계할 때 타이밍 특성을 정확하게 분석하려

는 노력이 더욱 강조되고 있다. ASIC의 타이밍 특성 분석은 회로를 구성하는 모든 게이트와 이들을 연결하는 배선의 지연 시간을 바탕으로 이루어지므로, 이를 지연 시간을 정확하게 구하는 방법에 대한 많은 연구가 수행되었다. 게이트의 지연 시간을 모델링하는 대표적인 방법으로 이차원 테이블 모델<sup>[1]</sup>이 제안되어 산업계에서 널리 사용되고 있다. 이 모델은 게이트의 입력에 인가된 파형의 천이 시간과 게이트의 출력에 연결된 부하 커페시턴스라는 두 개의 요소가 게이트의 지연 시간에 주는 영향을 표현하고 있다. 배선에서 추출한 저항, 커페시턴스 등의 소자로 구성한 배선회로를 SPICE와 같은 회로 시뮬레이터로 해석하여 배선의 지연 시간을 구할 수 있다. 그러나 반도체 제조 공정의 미세화와 배선 층 수의 증가에 따라 배선회로는 복잡한 구조를 갖는 대규모 회로로 모델링 되고 있으며, 하나의 배선회로가 수 만 개 이상의 소자를 포함하는 것은 흔히 볼 수 있는 현상이다. 이와 같은 대규모 회로를 SPICE로 해석하는 것은 컴퓨터 메모리 용량 및 실행 시간 측면에서 현실적이지 못하므로, 이에 대한 해결책으로 AWE (Asymptotic Waveform Evaluation) 기법<sup>[2]</sup>이 제안되어 계산의 효율성 측면에서 좋은 성과를 거두었다<sup>[3]</sup>. AWE는 임의의 선형 회로에 대하여 정확한 응답을 구하는 대신, 일부의 극점과 레자드를 계산하여 이들로부터 근사적인 응답을 유도해내는 선형 회로 해석 기법이다. 이 기법을 사용하면 선형 회로로 표현할 수 있는 모든 형태의 배선을 다룰 수 있을 뿐만 아니라, 계산 결과의 정확성 측면에서도 RC 트리에 근거한 방법<sup>[4,5]</sup>보다 우수하다고 판명된 바 있다.

게이트와 이에 의해서 구동 되는 배선은 서로의 동작에 영향을 주므로 지연 시간을 계산할 때 이와 같은 상호 작용을 고려하여 이차원 테이블 모델과 AWE 기법을 사용하여야 한다. 배선에 분포되어 있는 저항 성분이 게이트의 지연 시간에 주는 영향, 즉 저항 차폐 효과는 유효 커페시턴스 개념<sup>[6]</sup>을 통하여 반영할 수 있다. 또한 게이트의 구동 능력이 배선의 지연 시간에 미치는 영향은 게이트 구동 특성 모델<sup>[7,8]</sup>로 나타낼 수 있다. 이상의 개념들을 종합하여 CMOS ASIC에서의 게이트와 배선의 지연 시간을 계산하는 기법이 연구된 바 있다<sup>[9]</sup>. 그러나 이는 배선을 구동하는 게이트가 한 개인 경우만을 고려한 해결책이다. 풀 커스텀 방식으로 칩 설계를 하는 경우, 원하는 구동 능력을 갖는 게이트를 필요할 때마다 만들어 사용할 수 있다. 그러나 게이-

트 어레이 설계 방식이나 표준 셀 설계 방식 등을 사용하는 ASIC의 경우, 원하는 구동 능력을 갖는 게이트가 셀 라이브러리에 존재하지 않으면 여러 개의 게이트를 병렬로 연결하여 사용하는 것이 보통이다. 특히 수 많은 플립 플롭이 연결되어 있는 클락 네트를 구동할 때 여러 개의 클락 구동 게이트를 사용함으로써 원하는 구동 능력을 구현하고, 각각의 플립 플롭에 전달되는 클락 신호의 균형을 유지할 수 있다. 따라서 여러 개의 게이트가 동시에 배선을 구동하는 경우를 다룰 수 있도록 기존의 방법을 확장할 필요가 있다.

본 논문에서는 배선회로가 다중 CMOS 게이트에 의해서 구동 되는 경우에 대하여 게이트와 배선의 지연 시간을 계산하는 새로운 기법을 제안하고 있다. 기존의 이차원 테이블 모델, AWE 기법, 유효 커페시턴스, 게이트 구동 특성 모델을 종합하고 이 개념들을 확장하는 접근 방식을 취하였다. 제안된 기법은 C 프로그램으로 구현되었으며, 이를 실제 CMOS ASIC 제품의 분석에 적용한 결과, SPICE와 비교하여 수십 배 이상 빠른 속도와 수 % 이내의 오차로 지연 시간을 구할 수 있었다.

## II. 단일 게이트로 구동 되는 배선 회로 해석

배선회로를 구동하는 CMOS 게이트의 특성은 게이트와 배선회로가 연결되는 지점인 구동점의 전압 파형을 살펴 보면 알 수 있다. 구동 게이트의 출력 단을 구성하는 트랜지스터가 선형 영역에서 동작하는 동안 구동점의 전압 파형은 시간에 대한 지수 함수로서 디지털 파형으로 볼 수 없다<sup>[6]</sup>. 특히 배선 저항이 출력 단 트랜지스터의 ON 저항과 비교하여 상대적으로 클수록 디지털 파형과의 편차는 더욱 커진다. 따라서 구동점의 전압 파형을 단순한 경사 힘수 등으로 표현하고, 이 파형이 배선회로를 구동한다는 가정은 적합하지 않다. 결국 구동 게이트와 배선회로를 합하여 전체 회로를 동시에 해석하는 방식을 선택하여야 한다. 이 때 선형 회로 해석 기법인 AWE를 사용하려면 비 선형 소자인 트랜지스터들로 구성된 구동 게이트에 대한 선형 모델이 필요하다.

CMOS 게이트의 구동 특성을 AWE 기법을 적용할 수 있도록 선형 소자만을 사용하여 근사적인 모델로 표현한 것이 게이트 구동 특성 모델<sup>[9]</sup>이며, 본 논문에

서 제안하고자 하는 방법의 출발점이 된다. 이 모델은 그림 1과 같이, 하나의 게이트가 배선회로와 여러 개의 부하 게이트를 구동하는 경우, 이를 경사 함수 형태의 독립 전압원  $V_{dr}$ 과 선형 저항  $R_{dr}$ 로 근사화 한 것이다. 이 때 구동 게이트의 입력으로부터 구동점까지의 신호 전달 지연 시간을 게이트 지연 시간이라 하고, 신호가 구동점에서 각각의 부하 게이트 입력에 도달하는데 소요되는 시간을 배선 지연 시간으로 정의한다.  $V_{dr}$ 과  $R_{dr}$ 을 결정하고 이를 이용하여 게이트와 배선 지연 시간을 구하는 알고리즘이 그림 3에 나타나 있다.

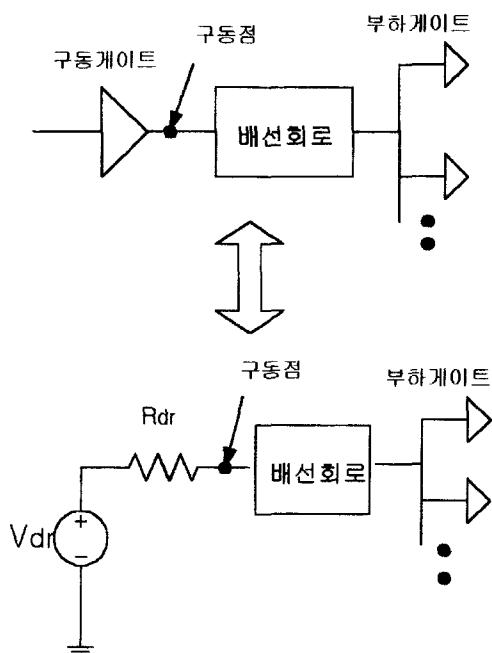


그림 1. 단일 구동 CMOS 게이트에 대한 모델링  
Fig. 1. Modeling for a single driving CMOS gate.

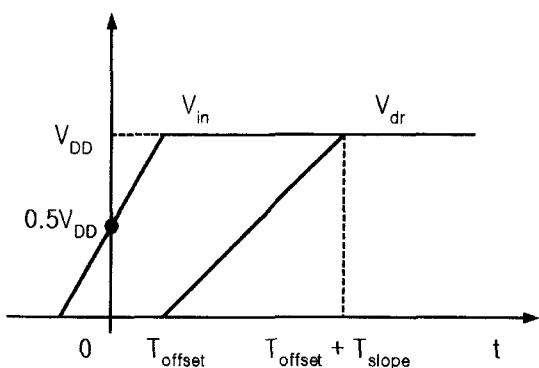


그림 2.  $V_{dr}$ 의 정의 ( $V_{in}$  = 게이트 입력 파형)  
Fig. 2. Definition of  $V_{dr}$  ( $V_{in}$  = gate input waveform).

그림 3에서 유효 커패시턴스 ( $C_{eff}$ )란 구동 게이트에서 배선회로를 바라보았을 때의 등가 부하 커패시턴스로서, 배선 저항을 무시한다면 배선에 분포되어 있는 커패시턴스와 부하 게이트의 입력 커패시턴스를 모두 합한 것 ( $C_{total}$ )으로 볼 수 있다. 그러나 게이트가 실제로 구동하는 부하 커패시턴스 값은 배선 저항이 클수록 감소하므로, 이와 같은 저항 차폐 효과가 고려된 등가 부하 커패시턴스 값이  $C_{eff}$ 로 정의된다. 저항 차폐 효과의 정도를 미리 알 수는 없으므로, 우선  $C_{eff}$ 를  $C_{total}$ 로 초기화하고, 이 값과 게이트에 인가된 입력 파형의 천이 시간을 사용하여 미리 구축해 두었던 이차원 테이블 형태의 타이밍 데이터 베이스로부터 타이밍 파라미터  $T_a$ 를 구한다.  $T_a$ 는 게이트가 커패시턴스만으로 구성된 부하를 구동할 때 입력 전압이  $V_{DD}$ 의 50%가 되는 순간부터 출력 전압이  $V_{DD}$ 의  $\alpha\%$  지점에 도달하는데 소요되는 시간으로서, SPICE와 같은 회로 시뮬레이터를 통하여 추출되어 타이밍 데이터 베이스에 저장된다. 유효 커패시턴스  $C_{eff}$ 와 타이밍 파라미터  $T_a$ 를 구하면 이 값들로부터  $R_{dr}$ 과  $V_{dr}$ 을 결정한다.  $V_{dr}$ 은 그림 2에 나타나있듯이, 구동 게이트의 입력 전압  $V_{in}$ 이 전원 전압  $V_{DD}$ 의 50%가 되는 지점을 기준 시간으로 하여  $T_{offset}$  만큼 평행 이동된 기울기가  $T_{slope}$ 인 경사 함수로 정의하였다. 따라서 게이트 구동 특성 모델을 결정하기 위하여 필요한 파라미터는  $R_{dr}$ ,  $T_{offset}$ ,  $T_{slope}$ 이다. 우선 구동 게이트의 출력이 상승하는 경우, 이 3개의 파라미터를 구하기 위한 식들은 다음과 같다<sup>[9]</sup>.

$$R_{dr} = (T_{50} - T_{50}) / (C_{eff} * \ln 5)$$

$$0.5V_{DD} = ((T_{50} - T_{offset}) - R_{dr}C_{eff}(1 - \exp(-T_{50}))$$

$$- T_{offset}) / R_{dr}C_{eff})) * (V_{DD} / T_{slope})$$

$$0.2V_{DD} = ((T_{20} - T_{offset}) - R_{dr}C_{eff}(1 - \exp(-T_{20}))$$

$$- T_{offset}) / R_{dr}C_{eff})) * (V_{DD} / T_{slope})$$

구동 게이트의 출력이 하강할 때는 다음 식들로 표현된다<sup>[9]</sup>.

$$R_{dr} = (T_{10} - T_{50}) / (C_{eff} * \ln 5)$$

$$0.5V_{DD} = ((T_{50} - T_{offset}) - R_{dr}C_{eff}(1 - \exp(-T_{50}))$$

$$- T_{offset}) / R_{dr}C_{eff})) * (V_{DD} / T_{slope}) + V_{DD}$$

$$0.8V_{DD} = ((T_{80} - T_{offset}) - R_{dr}C_{eff}(1 - \exp(-T_{80}))$$

$$- T_{offset}) / R_{dr}C_{eff})) * (-V_{DD} / T_{slope}) + V_{DD}$$

위의 식들을 풀어하여  $R_{dr}$ 과  $V_{dr}$ 을 결정하면, 이 모델과 배선회로 및 부하 게이트의 입력 커패시턴스들을 모두 연결한 전체 회로에 AWE 기법을 적용하여  $V_{dr}$ 에서 구동점까지의 지연 시간을 구한다. 그 다음 단계로 동일한 모델에  $C_{eff}$ 만을 연결하였을 때, 배선회로를 연결한 경우와 동일한 지연 시간을 발생시킬 수 있는 새로운  $C_{eff}$  값을 구한다. 이 값과 이전  $C_{eff}$  값의 차이가 일정 범위 내로 수렴할 때 까지 이상의 과정을 반복한다. 대부분의 회로의 경우, 2~4번의 반복 작업을 필요로 한다.  $C_{eff}$  값이 확정되면 이 값을 사용하여 게이트 지연 시간을 이차원 테이블 형태의 타이밍 데이터 베이스에서 구하고, 이에 대응되는  $V_{dr}$ 과  $R_{dr}$ 로 구성된 구동 모델에 배선회로와 부하 게이트의 입력 커패시턴스들을 연결하고 AWE 기법을 적용함으로써 배선 지연 시간을 구한다.

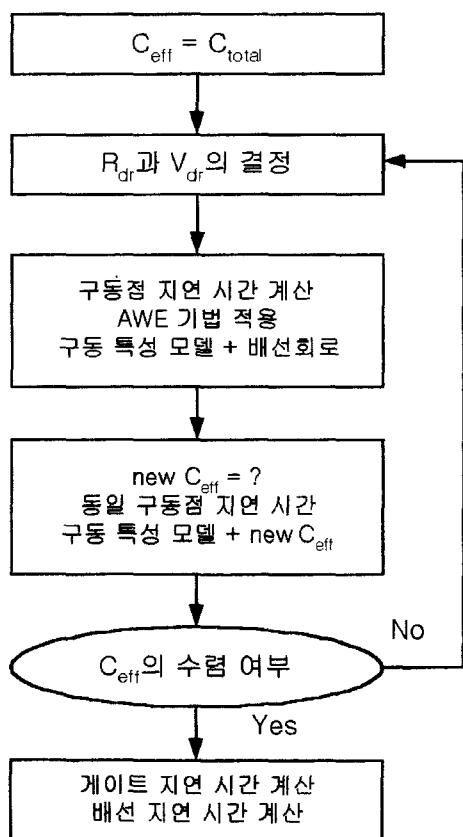


그림 3. 단일 CMOS 게이트에 의해서 구동 되는 배선 회로 해석 알고리즘

Fig. 3. Algorithm for the analysis of the interconnect circuit driven by a single CMOS gate.

### III. 다중 게이트로 구동 되는 배선 회로 해석

그림 4와 같이 여러 개의 게이트를 병렬로 연결하여 동시에 배선회로 및 부하 게이트들을 구동하게 하면, 전체적인 구동 능력을 향상시킬 수 있다. 본 절에서는 이와 같이 다중 게이트가 배선회로를 구동할 때 각각의 구동 게이트와 배선의 지연 시간을 구하는 방법에 대해서 설명한다. 이 방법은 II절에서 설명한 단일 게이트로 배선회로를 구동하는 경우의 해석 기법을 출발점으로 하여 이를 확장한 것이다.

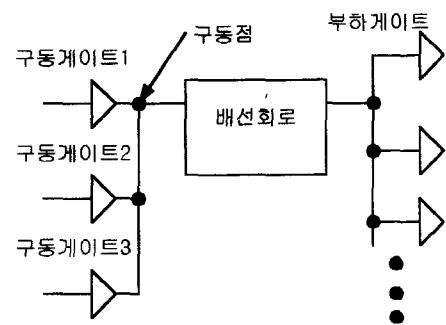


그림 4. 다중 구동 게이트를 갖는 배선 회로  
Fig. 4. Interconnect circuit with multiple driving gates.

#### 1. 게이트 지연 시간

배선회로를 구동하는 게이트가 여러 개인 경우, 각각의 구동 게이트의 지연 시간을 구하려면 해당 게이트에 대응되는 유효 커패시턴스 값을 알아야 한다. 이 값을 알면 이차원 테이블 형태의 타이밍 데이터 베이스로부터 해당 게이트의 지연 시간을 찾아낼 수 있다. 구동 게이트가 한 개인 경우의 유효 커패시턴스는 배선회로와 부하 게이트들 만을 고려한 등가 커패시턴스이다. 그러나 다중 구동 게이트 상황에서 각각의 구동 게이트에서 바라 본 유효 커패시턴스는 해당 게이트를 제외한 나머지 회로 전체를 하나의 등가 커패시턴스로 근사화 한 것으로 보아야 한다.

그림 5는 두 개의 게이트가 구동하는 배선회로를 보여 주고 있다. 구동 게이트 1에 대한 유효 커패시턴스  $C_{eff1}$ 은 구동 게이트 2와 배선회로를 하나의 등가 커패시턴스로 모델링 한 것이고, 구동 게이트 2에 대한 유효 커패시턴스  $C_{eff2}$ 는 구동 게이트 1과 배선회로를 하

나의 등가 커패시턴스로 근사화 한 것이다. 구동 게이트 1과 2가 동일한 게이트라면  $C_{eff1}$ 과  $C_{eff2}$ 가 동일한 값을 갖겠지만, 본 논문에서는 서로 다른 게이트가 구동하는 일반적인 경우를 상정하였다.  $C_{eff1}$ 과  $C_{eff2}$ 를 구하는 방법은 II절의 알고리즘을 확장한 것이다. 우선  $C_{eff1}$ 을 모든 부하 커패시턴스의 합인  $C_{total}$ 로 초기화하고 이에 대응되는 구동 모델의 파라미터 값을 ( $R_{dr1}$ ,  $V_{dr1}$ )을 II절에서 제시한 식들로부터 구한다. 같은 방법으로  $C_{eff2}$ 를  $C_{total}$ 로 초기화하고 II절의 식들로부터  $R_{dr2}$ ,  $V_{dr2}$ 를 구한다. 이 모델 파라미터 값을 사용하여 그림 5의 아래와 같은 회로를 구성한 다음, AWE 기법을 적용하여  $V_{dr1}$ 과  $V_{dr2}$ 로부터 구동점까지의 지연 시간  $RLC1$ 과  $RLC2$ 를 구한다. 이 때 전압원이 두개이므로 중첩의 원리를 이용하여 회로를 해석한다. 이와 같이 두 전압원을 모두 포함하여 회로를 해석하므로,  $RLC1$ 은 구동 게이트 2의 영향이 고려된 지연 시간이고  $RLC2$  역시 구동 게이트 1의 영향이 고려된 계산 결과이다. 다음은 그림 6과 같이  $RLC1$ 과  $RLC2$ 를 계산할 때 사용했던 것과 동일한 구동 모델에 새로운  $C_{eff1}$ 과  $C_{eff2}$ 를 연결한 회로에서 동일한 지연 시간을 갖도록 만드는 조건 ( $CD1 = RLC1$ ,  $CD2 = RLC2$ )으로부터 새로운  $C_{eff1}$ 과  $C_{eff2}$ 를 구한다. 여기서  $CD1$ 과  $CD2$ 는 각각

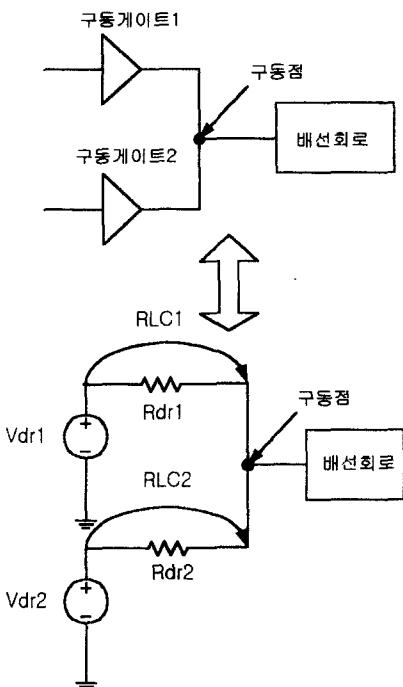


그림 5. 두개의 구동 게이트에 대한 모델  
Fig. 5. Model for the two driving gates.

$V_{dr1}$ 과  $V_{dr2}$ 로부터  $C_{eff1}$ 과  $C_{eff2}$ 까지의 지연 시간이다. 그림 8에서 제시한 알고리즘과 같이  $C_{eff1}$ 과  $C_{eff2}$ 가 모두 일정한 범위 내로 수렴할 때 까지 이상의 과정을 반복한다.  $C_{eff1}$ 과  $C_{eff2}$  값이 확정되면, 이들로부터 두 개의 구동 게이트 각각의 지연 시간을 이차원 형태의 타이밍 데이터 베이스에서 구한다. 이 방법은 구동 게이트의 개수에 관계 없이 적용 가능하다.

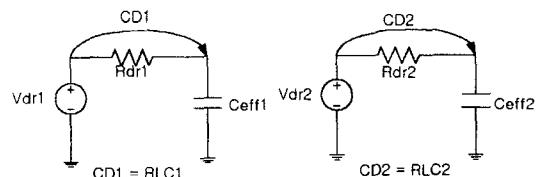


그림 6. 게이트 지연 시간을 계산하기 위한 등가회로  
Fig. 6. Equivalent circuits to compute the gate delay.

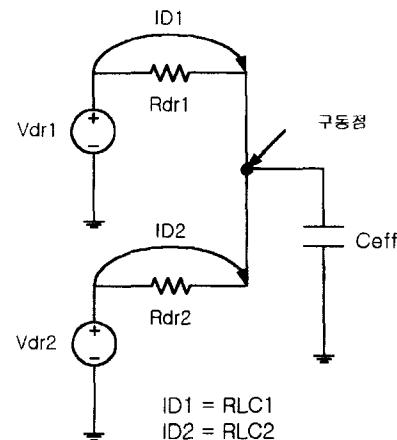


그림 7. 배선 지연 시간을 계산하기 위한 등가회로  
Fig. 7. Equivalent circuit to compute the interconnect delay.

```

 $C_{eff1} = C_{eff2} = C_{total}$  ;
Do
    Compute  $R_{dr1}$ ,  $V_{dr1}$  using  $C_{eff1}$  and  $R_{dr2}$ ,  $V_{dr2}$  using  $C_{eff2}$  ;
    Compute  $RLC1$  and  $RLC2$  using AWE
    from the circuit in Fig. 5 ;
    Compute new  $C_{eff1}$  and new  $C_{eff2}$  from
    the circuit in Fig. 6 ;
    Update  $C_{eff1}$  and  $C_{eff2}$  ;
    While ( $|C_{eff1} - old\ C_{eff1}| < C_{eff}$  and  $|C_{eff2} - old\ C_{eff2}| < C_{eff}$ ) ;

```

그림 8. 유효 커패시턴스를 구하기 위한 알고리즘  
Fig. 8. Algorithm to compute the effective capacitances.

## 2. 배선 지연 시간

앞 절에서 설명한 바와 같이, 게이트의 지연 시간을 계산하려면 그림 5의 회로에서 RLC1과 RLC2를 구하고 그림 6의 회로에서 유효 커패시턴스를 구하는 과정을 반복한다. 배선의 지연 시간을 구할 때는 RLC1과 RLC2를 구하는 과정까지는 동일하지만, 배선회로를 하나의 유효 커패시턴스로 모델링한 그림 7의 회로를 사용한다는 점이 다르다. 게이트 지연 시간을 계산할 때는 각각의 구동 게이트가 배선회로와 나머지 구동 게이트들을 바라 본다는 관점에서 각각의 구동 게이트에 대한 유효 커패시턴스 값이 서로 다르다고 가정하였다. 그러나 배선 지연 시간을 계산할 때는 배선회로에서 모든 구동 게이트들을 바라 보는 경우이므로 하나의 커패시턴스로 근사화된 배선회로를 게이트들이 구동하는 것으로 모델링하였다. 따라서 그림 5의 회로에서 RLC1과 RLC2를 구한 다음, 그림 7의 회로에서 지연 시간이 동일하다는 조건 ( $ID_1 = RLC_1$ ,  $ID_2 = RLC_2$ )으로부터 새로운  $C_{eff}$ 값을 구하고, 이 값이 수렴할 때 까지 이 과정을 반복한다.  $C_{eff}$ 와 구동 모델의 파라미터 값들 ( $R_{drl}$ ,  $V_{drl}$ ,  $R_{dr2}$ ,  $V_{dr2}$ )이 확정되면, 그림 5의 회로에 AWE 기법을 적용하여 배선 지연 시간을 구한다. 이 방법 역시 두개 이상의 구동 게이트를 갖는 모든 경우로 확장 가능하다.

## IV. 실험 결과

본 논문에서 제안한 다중 구동 게이트를 갖는 배선에서의 구동 게이트와 배선의 지연 시간 계산 방법은 C 프로그램으로 구현되었다. 구현된 프로그램 (INT)의 정확성을 확인하기 위하여,  $0.8\mu m$ 과  $0.5\mu m$  CMOS ASIC 제품의 배치 및 배선 설계 도면으로부터 8가지 종류의 배선회로들을 추출하고, INT를 사용하여 분석하였다. 클락 구동 게이트 (CK4)에 의해서 구동되는 클락 네트를 선정하여 이에 대한 배선회로를 상용 회로 추출기를 사용하여 추출하였다. 배선회로들은 수십 개부터 수십 만개의 저항과 커패시턴스로 구성된 다양한 규모의 회로들을 대상으로 하였다. 또한 이 회로들은 부동 커패시턴스, 접지 저항 등을 포함하는 복잡한 구조를 가지고 있다. 표 1은 각 배선회로의 규모와 이에 연결되어 있는 부하 게이트의 개수를 나타내고 있다.

그림 9~12는 규모가 작은 회로들 (배선회로 1~4)에

대한 실험 결과이다. CK4를 1개부터 5개까지 사용하여 배선회로와 부하 게이트들을 구동하였을 때의 게이트 및 배선 지연 시간을 계산하였으며, 이를 SPICE와 비교하였다. 이 그림들에서 상승, 하강이란 CK4의 입력에 인가한 입력 파형이 상승 함수인지, 하강 함수인지지를 의미한다. 이 실험에 사용된 입력 파형은 600ps의 기울기를 갖는 경사 함수이다. 배선 지연 시간은 각각의 부하 게이트에 대해서 계산된 값을 SPICE와 비교하여 오차를 구하였으며, 이 오차들의 평균값을 표에 나타내었다. 이 표들에 나타나 있듯이, 게이트와 배선의 지연 시간이 구동 게이트의 개수, 제조 공정 ( $0.8\mu m$  혹은  $0.5\mu m$ ), 입력 파형의 천이 방향 (상승 혹은 하강)에 관계 없이 거의 대부분 경우에 대해서 수 % 이내의 오차만을 보이고 있다는 것을 알 수 있다. 그림 14는 이 실험을 통해서 계산된 지연 시간 값의 범위를 보이기 위해서 배선회로 2에 대한 배선 지연 시간 값의 분포를 보여 주고 있다. 이 그림에 나타나 있듯이, 수십~수백 ps 범위의 값을 갖으며, 다른 배선회로의 경우도 비슷한 범위의 값을 갖는다.

그림 13과 표 2는 대규모 배선회로 중 배선회로 6을 선택하여 이에 대해 INT로 시뮬레이션한 결과를 SPICE와 비교한 것이다. 이 표들에 나타나 있듯이, INT는 SPICE와 비교하여 수 % 이내의 오차를 유지하면서, 수십 배 이상 계산 속도가 빠르다는 것을 알 수 있다. 그림 15는 나머지 대규모 배선회로들에 대하여 INT가 소모한 CPU 시간을 나타내고 있다. 이 회로들에 대한 SPICE 시뮬레이션은 메모리 용량 초과로 결과를 얻지 못하였다. 이 실험들은 모두 SUN ULTRASPARC I 상에서 수행되었다.

표 1. 실험에 사용한 배선회로의 규모

Table 1. Size of the interconnect circuits used for our experiments.

회로 종류	R 개수	C 개수	부하게이트 개수
배선회로 1	69	68	55
배선회로 2	26	27	18
배선회로 3	94	94	79
배선회로 4	90	91	50
배선회로 5	11653	210163	55
배선회로 6	3932	75025	18
배선회로 7	13573	21666	79
배선회로 8	12137	20249	50

그림 16은 그림 9~13에 나타나 있는 모든 오차 값을 종합하여 그 분포를 하나의 그래프에 나타낸 것이다. 이 그림에서 알 수 있듯이, 대부분의 오차가 5% 이내에 분포한다는 것을 알 수 있다.

표 2. CPU 시간 비교 (배선회로 6)

Table 2. CPU time comparison (Interconnect circuit 6).

구동케이트 개수	CPU 시간 [sec] : $0.8\mu m$		CPU 시간 [sec] : $0.5\mu m$	
	SPICE	INT	SPICE	INT
1 개	731.2	7.0	524.5	6.0
2 개	722.4	9.0	527.1	9.0
3 개	716.5	11.0	527.3	12.0
4 개	722.1	13.0	557.4	13.0
5 개	742.5	16.0	523.5	14.0

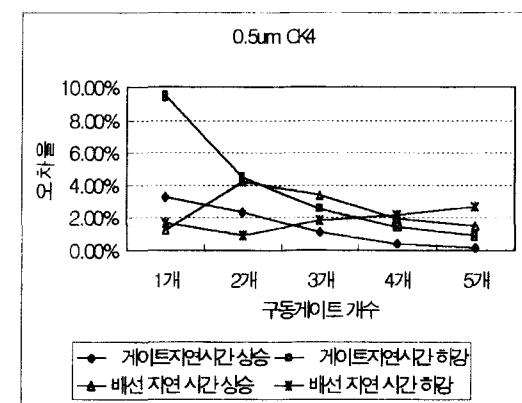
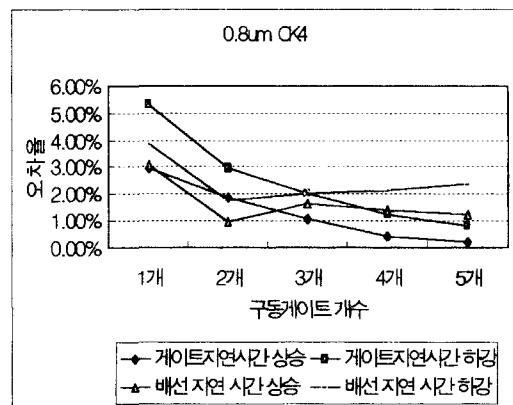


그림 9. SPICE와의 오차 (배선회로 1)

Fig. 9. Error rates compared to SPICE (Interconnect circuit 1).

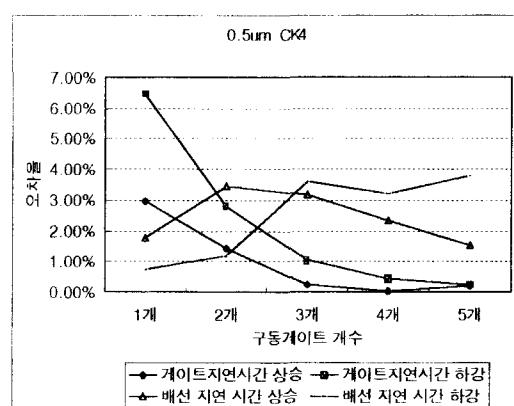
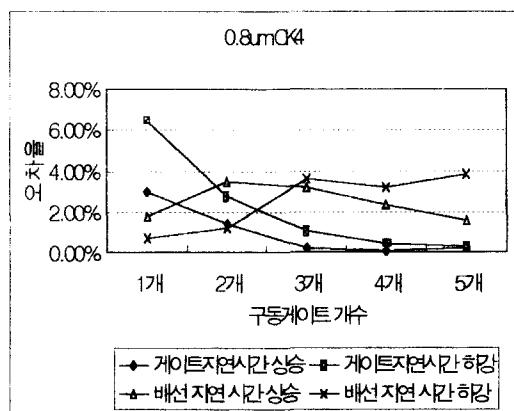
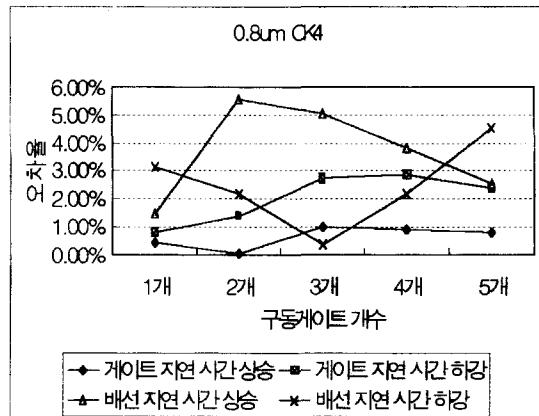


그림 10. SPICE와의 오차 (배선회로 2)

Fig. 10. Error rates compared to SPICE (Interconnect circuit 2).



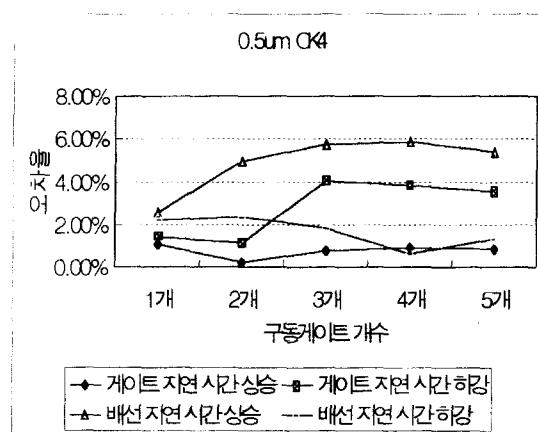


그림 11. SPICE와의 오차 (배선회로 3)

Fig. 11. Error rates compared to SPICE (Interconnect circuit 3).

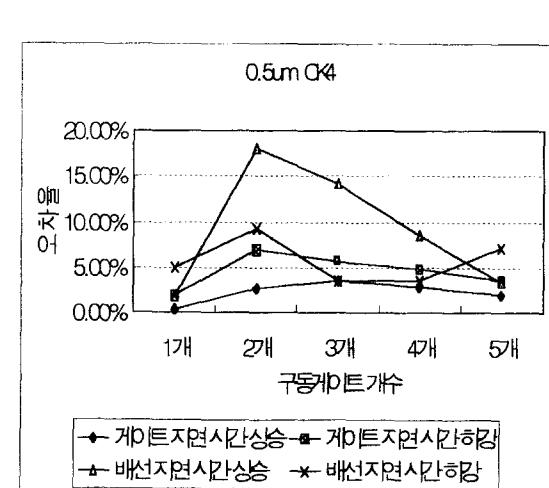
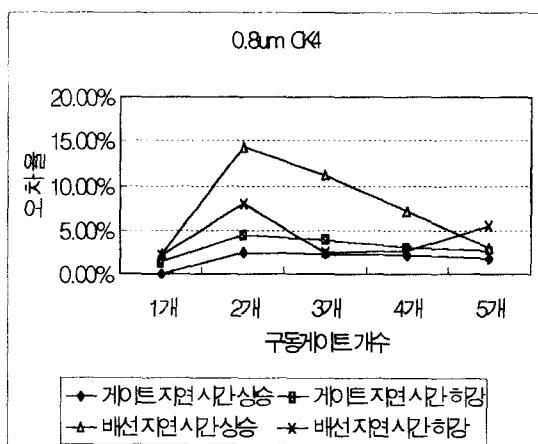


그림 12. SPICE와의 오차 (배선회로 4)

Fig. 12. Error rates compared to SPICE (Interconnect circuit 4).

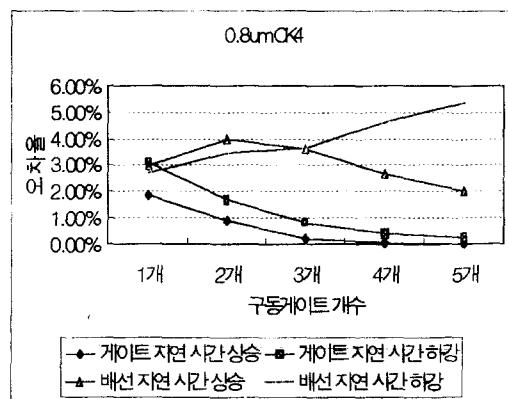


그림 11. SPICE와의 오차 (배선회로 3)

Fig. 11. Error rates compared to SPICE (Interconnect circuit 3).

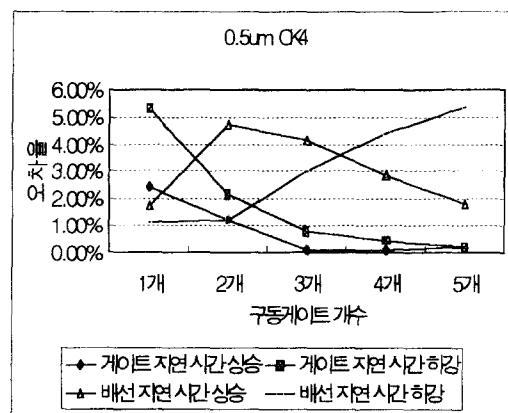


그림 13. SPICE와의 오차 (배선회로 6)

Fig. 13. Error rates compared to SPICE (Interconnect circuit 6).

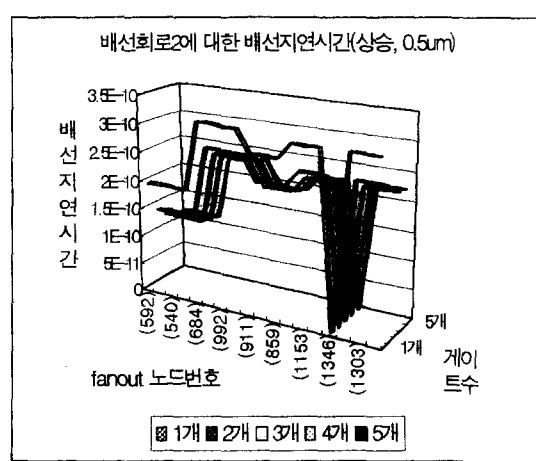


그림 12. SPICE와의 오차 (배선회로 4)

Fig. 12. Error rates compared to SPICE (Interconnect circuit 4).

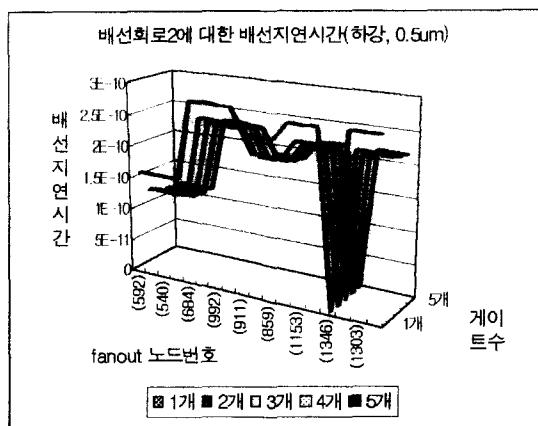


그림 14. 배선 지연 시간 (배선회로 2)

Fig. 14. Interconnect delay values (Interconnect circuit 2).

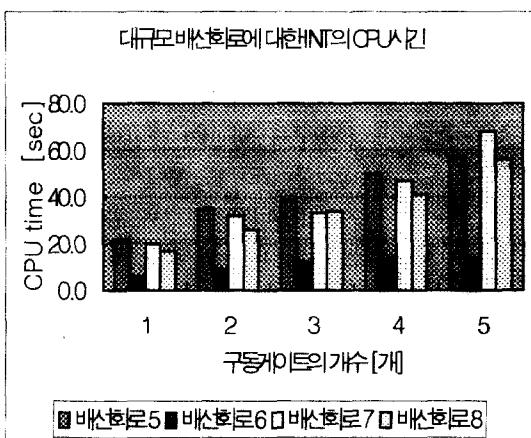
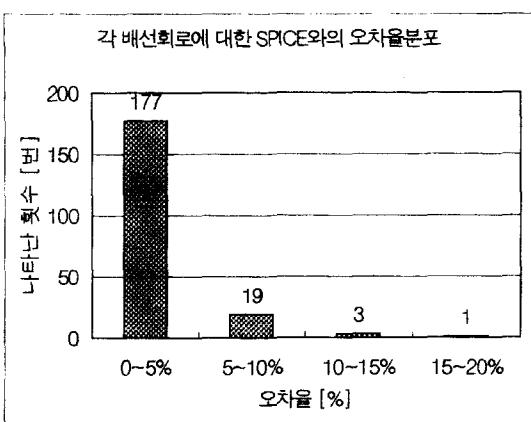
그림 15. 대규모 배선회로들에 대한 INT의 CPU 시간  
Fig. 15. CPU time of INT for large interconnect circuits.

그림 16. 오차율 분포

Fig. 16. Distribution of error rates.

## V. 결 론

시스템 동작 속도의 증가로 인하여 더욱 높은 수준의 정확도를 요구하는 ASIC의 타이밍 특성 분석을 위하여 이의 바탕이 되는 게이트와 배선의 지연 시간을 정확하게 구하는 방안이 필요하다. 또한 반도체 제조 공정의 미세화와 배선 층 수의 증가에 따라 배선은 수만 개 이상의 소자가 복잡하게 연결된 대규모 회로로 모델링 되고 있으므로, 해석의 정확성 뿐만 아니라 효율성도 매우 중요하다. 본 논문에서는 게이트의 타이밍 특성을 이차원 테이블 형태로 모델링하는 기법, 선형 회로 해석 기법인 AWE, 배선 저항에 의한 저항 차폐 효과를 반영하기 위한 유효 커페시턴스 선형 소자로 구성된 게이트 구동 특성 모델을 종합함으로써 CMOS 게이트에 의해서 구동되는 배선회로를 해석하여 구동 게이트와 배선의 지연 시간을 계산하는 기법을 제안하였다. 특히 여러 개의 게이트가 병렬로 연결되어 배선과 부하 게이트들을 동시에 구동하는 경우를 처리할 수 있도록 기존에 제안된 방법을 확장하였다. 제안된 기법은 C 프로그램으로 구현되었으며, CMOS ASIC 제품에 적용하여 SPICE와 비교한 결과, 대부분의 경우 수 % 이내의 오차와 수십 배 이상 빠른 계산 속도를 보여줌으로써 정확성과 효율성 측면 모두에서 미세 선 폭 ASIC의 타이밍 특성 분석에 적용 가능하다는 것이 입증되었다.

## 참 고 문 헌

- [1] E. Y. Chung, B. H. Joo, Y. K. Lee, K. H. Kim and S. H. Lee, "Advanced Delay Analysis Method for Submicron ASIC Technology," *Proc. of IEEE ASIC Seminar*, pp. 471-474, 1992.
- [2] L. T. Pillage and R. A. Rohrer, "Asymptotic Waveform Evaluation for Timing Analysis," *IEEE Trans. on Computer-Aided Design*, vol. 9, no. 4, pp. 352-366, Apr. 1990.
- [3] 조경순, 김나현, 송오영, 김건, 김현준, "ASIC 배선 지연시간의 효율적 계산," *대한전자공학회 CAD 및 VLSI 설계 연구회 학술발표회*, pp. 43-47, May 1996

- [4] W. C. Elmore, "The Transient Response of Damped Linear Networks with Particular Regard to Wideband Amplifiers," *Journal of Applied Physics*, vol. 19, no. 1, pp. 55-63, 1948.
- [5] J. Rubinstein, P. Penfield Jr. and M. A. Horowitz, "Signal Delay in RC Tree Networks," *IEEE Trans. on Computer-Aided Design*, vol. 2, no. 3, pp. 202-211, Jul. 1983.
- [6] J. Qian, S. Pullela and L. T. Pillage, "Modeling the Effective Capacitance for the RC Interconnect of CMOS Gates," *IEEE Trans. on Computer-Aided Design*, vol. 13, no. 12, pp. 1526-1535, Dec. 1994.
- [7] N. Menezes, S. Pullela and L. T. Pillage, "Simultaneous Gate and Interconnect Sizing for Circuit-Level Delay Optimization," *Proc. of 32nd ACM/IEEE Design Automation Conference*, pp. 690-695, Jun. 1995.
- [8] F. Dartu and L. T. Pillage, "Calculating Worst-Case Gate Delays Due to Dominant Capacitance Coupling," *Proc. of 34th ACM/IEEE Design Automation Conference*, pp. 46-51, Jun. 1997.
- [9] 조경순, 변영기, "CMOS 케이트에 의해서 구동되는 배선 회로의 타이밍 특성 분석," *전자공학회 논문지 제 35권 C편 제 4호*, pp. 21-29, Apr. 1998

---

저 자 소 개

---



趙敬淳(正會員)

1982년 2월 서울대학교 전자공학과 학사. 1984년 2월 서울대학교 전자 공학과 석사. 1988년 12월 미국 Carnegie Mellon University 전기 및 컴퓨터 공학과 박사. 1988년 11 월~1994년 8월 삼성전자(주) 반도체부문 ASIC 선임, 수석 연구원. 1994년 8월~1996년 8월 한국외국어대학교 전자공학과 조교수. 1996년 9월~현재 한국외국어대학교 전자공학과 부교수. 주관심분야는 CAD 및 VLSI 설계



卞榮基(正會員)

1968년 11월 16일생. 1997년 2월 한국외국어대학교 제어계측공학과 학사. 1997년 3월~현재 한국외국어대학교 전자제어공학과 석사과정. 주 관심분야는 CAD 및 VLSI 설계