

고속 통신 시스템의 신호충실성 향상을 위한 선로 설계 방법론 및 Backplane Boards Testing를 위한 BIST 설계

장 종 권[†]

요 약

최근의 반도체 및 시스템 기술의 급격한 발달로 인하여 고속 통신 시스템의 동작 주파수가 매우 빨라지게 되었다. 이러한 고속 통신의 backplane상에는 신호의 충실성을 저해하는 많은 요소들이 존재한다. 또한 현재 주요 시스템은 backplane으로 되어 있어 보드를 제거하거나, 교체, 또는 추가할 경우 연결 지점에 고장(fault)이 발생할 수 있다. 이러한 고장을 검출하기 위해 Backplane Boards Testing가 절실히 필요하다. 첫째, 고속 통신 시스템의 내부 잡음들이 신호에 미치는 영향을 모형화하고 잡음의 영향을 최소화할 수 있는 새로운 Backplane 설계 방법론을 제안한다. 설계 방법론을 제시하기 위해 신호 경로의 특성값을 구하고, 최적의 시뮬레이션 모형을 구하는 과정에 대해 언급한다. 이 과정들을 통해 얻어진 결과를 기존 시스템의 시뮬레이션 결과와 비교하여 고속 통신 시스템의 성능을 향상시킬 수 있음을 증명한다. 둘째, 제안하는 Backplane Boards Testing를 위한 BIST(Built In Self Test)가 고속 통신 시스템상의 오류가 있음을 증명한다.

A Design Methodolgy on Signal Paths for Enhanced Signal Integrity of High-speed Communication System and a BIST Design for Backplane Boards Testing

Jong-Kwon Chang[†]

ABSTRACT

The operation frequency of High-speed Communication System becomes very fast with the advanced technology of VLSI chips and system implementation. There may exist various types of noise sources degrading the signal integrity in this system. The present main system is made of backplane, so faults can be brought whenever a board is removed, replaced or added. This backplane boards testing is a very important process to verify the operation of system. Firstly, we model the effects of the internal noises in the High-speed Communication System to the signal line and propose a new design method to minimize these effects. For the design methodology, we derive the characterization value for each model and then construct the optimal simulation model. We compare the result of own proposing method with that of the existing methods, through simulation and show that the quality of High-speed Communication System is significantly enhanced. Secondly, our proposing BIST for the Backplane Boards Testing is designed to guarantee that there is no fault in the high-speed communication system.

1. 서 론

VLSI 시스템이 집적화되고 동작주파수가 높아짐에 따라 시스템의 모듈(Module) 내부 및 상호간에 신호의

충실성(Signal Integrity)을 보장하는 것이 매우 중요한 문제로 부각되고 있다. 또한 현재 주요 시스템은 Backplane으로 되어 있어 보드를 제거하거나, 교체, 또는 추가할 경우 연결 지점에 고장(fault)이 발생할 수 있다[1]. 이러한 고장을 검출하기 위해 Backplane Boards Testing이 절실히 필요하다.

[†] 정 의 원 울산대학교 컴퓨터·정보통신공학부 논문집수, 1999년 8월 23일, 심사완료, 2000년 3월 15일

고속 통신 시스템에서 신호의 충실성을 저해하는 잡음 요인들은 여러 가지가 있는데, 이들의 영향은 시스템의 동작주파수가 높아짐에 따라 더욱 중요하게 되었다. 현재 고속 통신 시스템의 동작주파수(Operating Frequency)는 수 GHz범위의 고주파이므로 신호 신호를 전송선(Transmission Line)으로 간주하여 해석해야만 한다. 신호 신호를 전송선으로 간주함에 따라 시스템 해석 시에 고려해야 할 사항으로는 신호의 비행 시간(Time of Flight), 종단망(Far-end) 조건에 따른 파형 반사(Reflection) 및 이웃한 선로간의 전자기적 결합으로 인한 누화(Cross-talk) 등이 있다. 신호의 충실성을 저해하는 잡음요소들은 고속 통신 시스템의 비트 오류의 증가를 초래하게 되며, Backplane Boards의 연결 지점에서의 고장(fault)은 더욱 치명적인 시스템의 오류를 발생하게 된다.

본 논문은 고속 통신 시스템상의 신호의 충실성을 보장하기 위한 설계방법론 제시와 그 설계방법론으로 모형화한 시스템의 Backplane Boards Testing을 위한 BIST 설계가 목표다. 고속 통신 시스템에서 발생할 수 있는 잡음원들을 분석하고 각 잡음원에 대한 영향을 해석하여 잡음을 최소화할 수 있는 새로운 설계방법론을 제안하고 그 설계방법론으로 만든 모형 시스템의 Backplane Boards Testing을 위한 BIST를 설계하고 고장 시뮬레이션을 수행하고자 한다.

서론에 이어 제2장에서는 고속 통신 시스템 내의 신호 파형을 왜곡시키는 여러 잡음 원인을 유형별로 분석하고, 이를 특성화(Characterization), 모형화(Modeling) 및 해석(Analysis)하는 방법을 제시한다. 전송선로의 신호 방정식에 대한 일반적인 해석 방법에 대해 제3장에서 설명한다. 제4장에서는 고속 통신 시스템내의 신호 선로를 모형화하고 해석결과를 보인다. 제5장에서는 Backplane Boards Testing을 위한 BIST설계 및 동작방법의 개략적인 설명을 하고 제6장에서 테스트의 수행 과정과 고장 시뮬레이션 결과를 보인다. 끝으로 제7장에서는 본 연구를 요약하고 결론을 맺는다.

2. 고속 통신 시스템의 신호의 충실성 문제

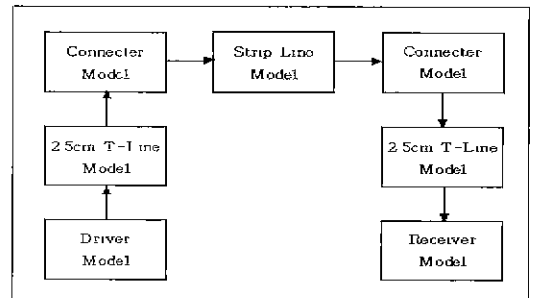
HMSB(High-speed Message Switching)의 충실성을 저해하는 잡음원에는 그라운드 시스템의 잡음, 신호 전송로상의 잡음, 이웃한 전송로간의 간섭등을 들 수 있다. 따라서 신호의 충실성을 만족하기 위해 각

잡음원이 신호 파형에 미치는 영향을 분석하고 이를 최소화하는 실제 방법론을 제시해야 한다.

2.1 접근방법

일반적으로 각 잡음원에 대한 영향 분석 연구는 특성화(Characterization), 모형화(Modeling), 해석(Analysis)의 3단계로 거친다. 특성화 단계에서는 신호 선로의 구조 및 배제 정보로부터 선로의 전자기적 특성을 유출해 내는 과정을 말한다. 1차적 해석(first-order analysis)을 위해서 근사치를 필요할 경우에는 선로의 구조 및 배제 정보로부터 단위 길이당의 직렬저항(R), 병렬 커패시턴스(C) 및 병렬 누설 콘덕턴스(G)를 계산하여 모형화 할 수 있다.

이상에서 서술한 접근 방법을 HMSB내의 주요 신호 선로에 적용하면 전체적인 회로 모형을 구성하여 해석할 수 있게 된다. HMSB의 특정신호를 드라이버에서 부하측까지의 신호 경로를 도식화 하면 (그림 1)과 같다.



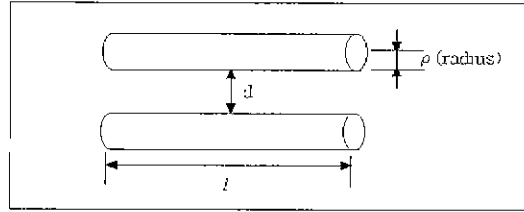
(그림 1) 고속 통신 시스템, HMSB내의 전형적 신호 선로 모형의 도식적 그림

2.2 HMSB 시스템의 현상분석

시스템의 여러 잡음에 대한 영향을 분석하기 전에 HMSB에서 가장 중요한 잡음원으로 예측되는 두 가지는 신호 경로 원단에서의 신호반사 및 인접 경로간의 전자기적 결합을 들 수 있다. 따라서 이 두 가지 잡음의 영향을 최소화하는 것은 전체 시스템의 신호의 충실성을 보장하기 위해 매우 중요하니.

신호 배치에 있어서 원래의 Futurebus+ 방식에서 규정하는 조건, 즉 2개의 신호핀마다 1개의 Ground를 배치하도록 하여 등시 스위칭이 일어나거나 급격한 전류 변화의 발생시 심각한 Ground Fluctuation을 줄이도록 규정하고 있다. 그러나 현재의 고속 통신 시스템,

HMSB는 이 규정을 무시하고 전체 커넥터 핀의 일부는 신호선으로 할당하고 Ground핀은 한군데 몰아서 배치하거나 사용을 하지 않고 있다. 또한 원단에서의 신호민사를 최소화하기 위해 원래의 Futurebus+에서는 Stub의 길이를 2.5cm 이하로 줄이고 적절한 종단망 조건을 갖출 것을 규정하고 있으나 현재의 시스템은 이 조건을 따르지 않고 있다

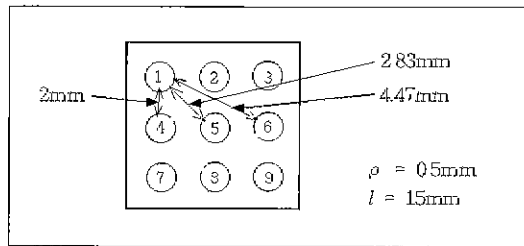


(그림 2) 커넥터상의 두 신호선로

2.3 HMSB 시스템의 개선 대책

HMSB 시스템에서 개선 효과가 가장 클 것으로 생각되는 것은 시스템의 커넥터상의 Edge 핀의 1/3이상을 Ground 핀으로 할당함으로써 Ground에서 발생하는 인덕턴스 영향을 최소화하여 동시시위칭잡음을 줄이는 방법이다. 이 방법은 사용하지 않는 Edge 핀의 비율이 30% 이상이므로 충분히 적용될 수 있다

신호 반사를 줄이기 위한 방법으로는 Stub의 길이를 줄이고 시뮬레이션(Simulation)을 통한 최적 종단 조건을 채택하는 것이다. Stub의 길이를 Futurebus+ 방식의 규정에 따라 2.5cm로 가정하였을 때 최적 종단 조건만을 구하면 신호 반사를 줄이는 것은 가능하다.



(그림 3) [3×3] Matrix구조의 커넥터 모형

커넥터를 [3×3] Matrix 모형으로 구성하면 (그림 3)과 같이 나타낼 수 있고, 각 핀에 대한 인덕턴스를 식 (1), 식 (2) 및 (그림 3)에 나타난 수치를 이용하여 인덕턴스 Matrix를 구하면 (그림 4)와 같다.

3. HMSB의 신호 선로 모형 및 해석

3.1 신호선로의 모형화

고속 통신 시스템의 전형적인 신호선로 모형은 (그림 1)로 표시된다 드라이버/리시버 모형은 2장에서 언급한 것처럼 Chip의 종류에 따라 다르게 구성할 수가 있는데 여기서는 TI(Texas Instrument, Inc)사의 FB2040 series 중 74FB2041 칩을 사용한다고 가정한다.

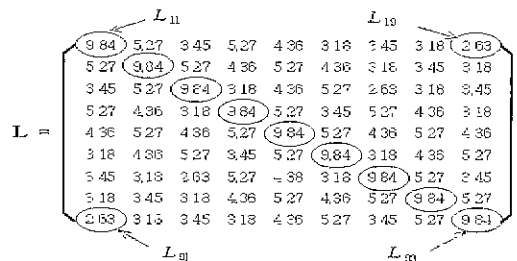
2.5cm T-line(Stub) 모형은 Microship 선로인데, uturebus+가 규정하는 조건에 따라 2.5cm로 가정을 하였다. Stub의 길이를 줄이게 되면 신호선간의 잡음을 거의 무시할 수가 있는데 이에 대해서는 [3, 4]에 잘 나타나 있다.

3.1.1 커넥터 모형

커넥터상의 두 신호선로를 (그림 2)와 같이 가정할 때, 자기 인덕턴스(L) 및 상호 인덕턴스(M)은 각각 식 (1), 식 (2)와 같이 주어진다[14].

$$L_s = 5l \left[\ln\left(\frac{2l}{\rho}\right) - \frac{3}{4} \right] \mu H \tag{1}$$

$$M = 5l \left[\ln\left(\frac{2l}{d} - 1 + \frac{d}{l} - \left(\frac{d}{2l}\right)^2 \right) \right] \mu H \tag{2}$$



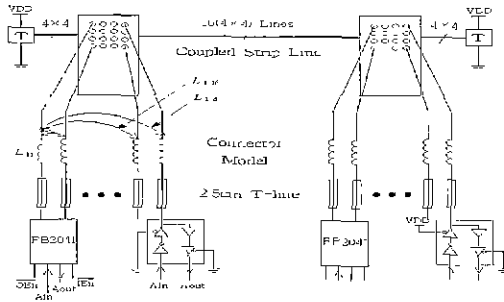
(그림 4) (그림 3)의 인덕턴스 Matrix

이상의 각 모형에 대해 특성화 과정을 거쳐 얻은 수치들 근거로 전체적인 신호경로를 구성한 회로는 (그림 5)와 같다.

3.2 해석결과

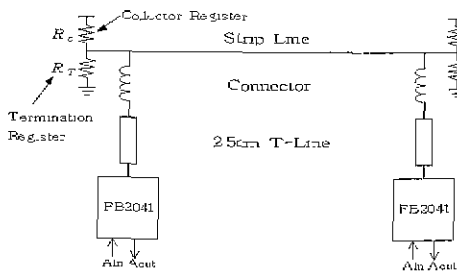
3.2.1 단일 신호경로

단일 신호경로에서는 최적 종단망 조건을 만족하는 종단망을 구성하는데 목적이 있다. 최적 종단망을 구성하기 위해서는 2장에서 언급한 바와 같이 여러 번의 시뮬레이션을 통한 방법밖에 없다[2-4]

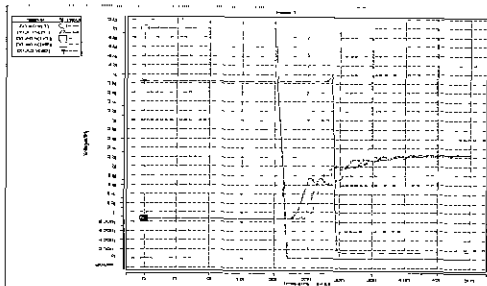


(그림 5) 전체적인 신호경로

따라서, 시뮬레이션 결과를 통해 얻은 최적 종단망 조건을 이용해 단일 신호경로 회로를 구성하면 (그림 6) 과 같다. 전압 파형은 (그림 7)과 같이 나타나는데, 그림에서 보는 바와 같이 신호 파형의 왜곡이 거의 발생하지 않음을 확인할 수 있다. 현재까지 시뮬레이션을 통해 얻은 최적 종단망 조건(R_c/R_t)은 (100Ω/82Ω)이다



(그림 6) 단일 신호경로의 회로 구성



(그림 7) 회로의 전압 파형

3.2.2 다중 신호경로

이제 다중 신호경로상에 발생할 수 있는 잡음 현상에 대한 직관을 얻기 위해 각각의 블록을 분할하여 다

음의 3단계로 나누어 해석하기로 한다.

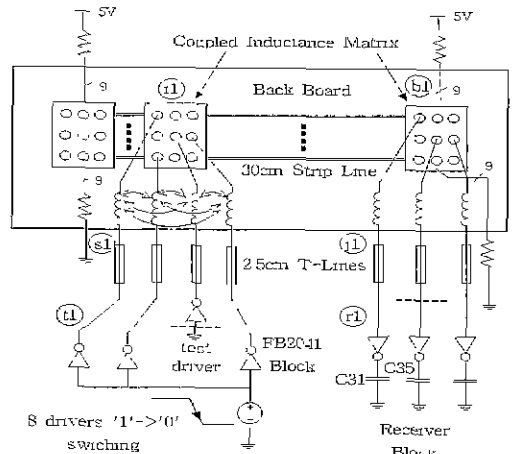
- (1) 2.5cm T-Line(Stub)상의 잡음 분석
- (2) 커넥터상의 잡음 분석
 - 유도성(Inductive) 결합을 가지는 커넥터 회로
 - 전류 회귀 경로를 가지는 커넥터 회로
- (3) Strip Line상의 잡음 분석

2.5cm T-Line(Stub)와 Strip Line상의 신호선들간의 누화(Cross-talk)는 크게 우려할 수준이 아니다 이에 대해서는 [4,5]에 잘 나타나 있으므로 본 연구에서는 이들의 영향에 대해서는 무시하기로 한다.

커넥터상의 잡음을 분석하기 위해 크게 Ground 측면에서 두 가지 경우로 나누어서 회로를 구성한다. 첫째는 커넥터상에 발생하는 유도성(Inductive) 결합을 가지는 회로이고, 둘째는 유도성 결합 및 전류 회귀 경로를 가지는 회로이다.

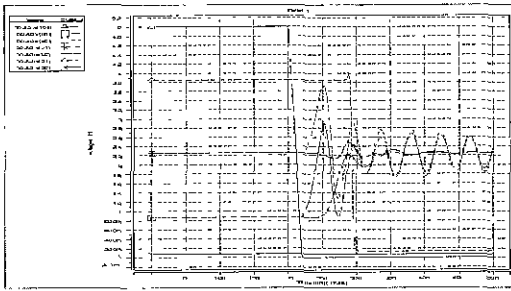
실제의 커넥터는 4x4 Matrix 형태로 구성되어 있으나 여기서는 3x3 Matrix 모형을 사용하여 이의 현상을 보고자 한다 이는 4x4로 구성하는 것이 매우 복잡하고 시간이 많이 걸리는 작업일 뿐만 아니라 3x3 Matrix 모형으로 구성하더라도 전체적인 결과는 크게 달라지지 않기 때문이다.

(그림 8)와 (그림 9)는 각각 유도성 결합만을 가지는 커넥터 회로와 전압 파형을 나타내고 있다. (그림 9)은 단지 커넥터 상에 존재하는 자기 인덕턴스와 상호 인덕턴스의 영향만을 볼 수 있도록 회로를 구성한 것이다.



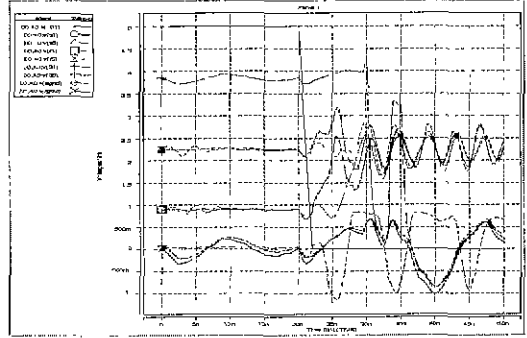
(그림 8) 유도성(Inductive) 결합을 가지는 커넥터회로

이 그림은 8개의 신호선이 '1'에서 '0'으로 동시스위칭하고 test driver 입력은 자신의 논리값, '0'을 유지하려고 할 때 발생하는 동시스위칭 잡음을 관찰하기 위한 것이다 (그림 9)서 보듯이 커넥터의 유도성 결합에 의해 test driver의 전압파형이 자신의 논리값을 유지하지 않고 진동함을 확인할 수 있다. 따라서 출력에서 논리값의 오류가 나타날 수도 있다.

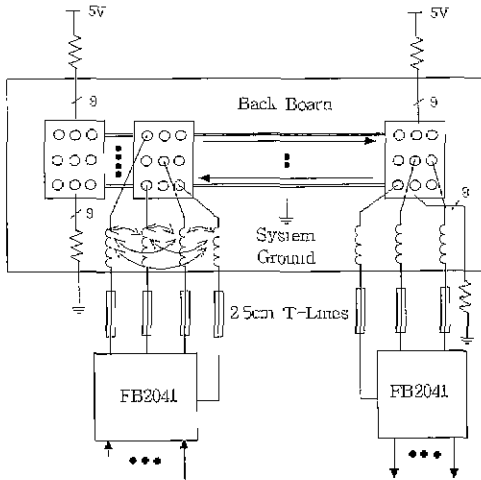


(그림 9) 회로의 전압파형

파형의 진동으로 인해 신호선들의 전압파형 또한 심하게 진동함을 확인할 수 있다. 전류 회귀 경로를 가짐으로 인해 (그림 10)의 회로의 결과보다 더욱 심한 논리값의 오류가 발생할 수 있다.



(그림 11) 회로의 전압파형



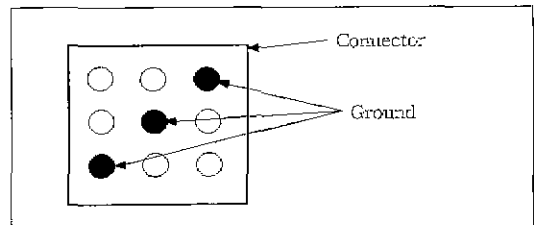
(그림 10) 전류 회귀 경로를 가지는 커넥터회로

(그림 10)과 (그림 11)은 각각 전류 회귀경로를 가지 커넥터회로와 전압파형을 나타내고 있다. (그림 10)회로는 유도성 결합 및 전류 회귀 경로를 가짐으로 인해 발생하는 복합적이고 보다 실제적인 잡음의 영향을 관찰하기 위한 회로이다. (그림 10)에서 Strip Line의 Ground는 Backplane 자체의 시스템 Ground를 사용한다고 가정한다. (그림 11)에서 Ground 전압

4. 신호의 충실성을 위한 설계방법론

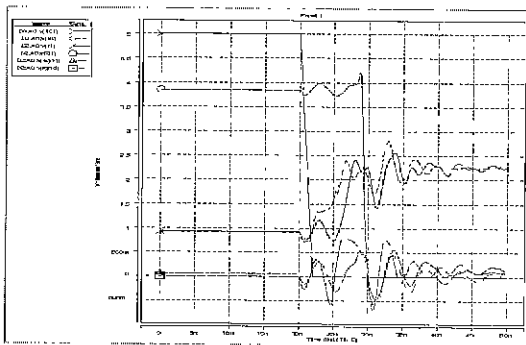
본 장에서는 잡음원의 영향을 최소화하는 회로 모형을 제시하여 이전의 결과와 비교한다. 특히, 3장에서 가장 잡음의 영향이 심한 커넥터의 잡음을 줄이는 방법을 제시한다

신호 반사를 최소화하기 위해서 최적종단조건을 만족하는 종단망을 구성한다. 최적종단망을 구성하기 위해서는 Bipolar Technology인 경우에는 병렬최적종단을 CMOS Technology인 경우에는 직렬최적종단을 사용한다 HMSB는 Bipolar Technology를 사용하였기 때문에 병렬최적종단망을 구성함에 의해 잡음의 영향을 줄일 수 있었다. 그러나 신호의 2차 반사를 줄이기 위해 드라이버 출력단에 30~40Ω 정도의 직렬저항을 삽입할 수도 있다.

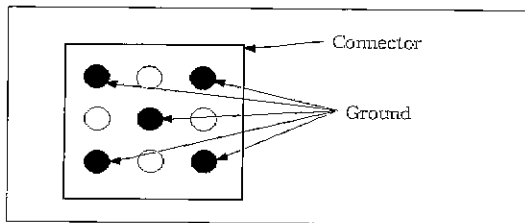


(그림 12) 커넥터상에 3개의 Ground와 6개의 신호선을 배치한 모형

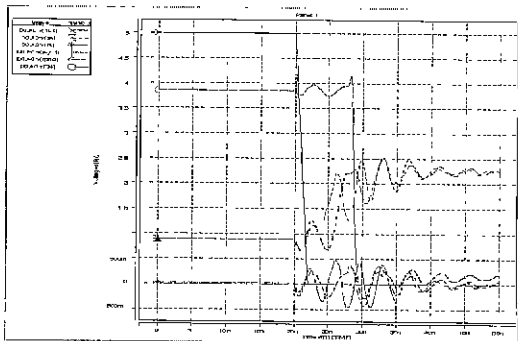
(그림 11)의 전류 회귀경로를 가진 커넥터 회로의 경우 사용하지 않는 Edge Pin을 이용하여 Ground를 배치하면 전체적인 전류 Loop 면적이 줄게되어 상호 인덕턴스를 최소화 할 수 있게 되고 신호의 충실성을 향상시키는 절파를 얻을 수 있다. (그림 12), (그림 14)는 각각 커넥터상의 핀에 각각 3개, 5개의 Ground를 배치한 커넥터 모형의 보이고, (그림 13), (그림 15)에서는 각 모형의 전압파형을 보인다. (그림 11)의 전압파형보다 개선된 전압파형을 얻을 수 있다.



(그림 13) (그림 12) 모형의 전압파형



(그림 14) 커넥터상에 5개의 Ground와 4개의 신호선을 배치한 모형



(그림 15) (그림 14) 모형의 전압파형

5. BIST(Built In Self Test) 회로 설계

BIST를 이용한 테스트 방법은 단일 보드나 단일 칩 내에서 이루어지 왔다. Backplane 시스템에서는 서로 다른 보드간의 테스트를 위하여 각 보드에 BIST 회로를 내장해야 한다.

BIST 회로는 부가적인 면적을 최소화하고 테스트의 효율성을 위해 Master-Slave 구조를 가진다. 패턴의 생성과 고장 검출, scheduling은 Master 보드의 BIST 회로가 담당하고, Slave 보드의 BIST 회로는 연결 선로에 의해 전달받은 신호를 Master 쪽으로 보내주는 역할을 한다.

각 BIST 회로의 동기화를 위해 시스템 clock과는 별도로 테스트용 clock을 사용하여 테스트 미스를 통해 Master와 Slave BIST에서 공통으로 사용한다.

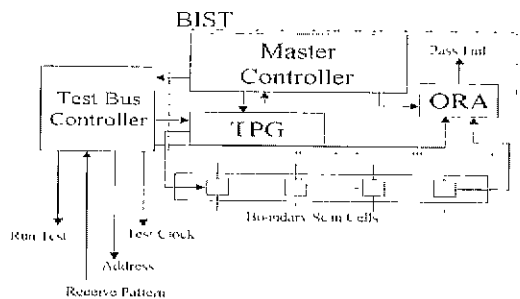
5.1 BIST 회로 구조

BIST 회로는 Master 보드에 사용되는 회로와 Slave 보드에 사용되는 회로로 구성된다

5.2 Master BIST

Master BIST는 테스트 벡터를 BSC에 전달하여 전송 선로(Bus)를 통해 Slave 보드의 BSC로 전송하고, 테스트 버스를 통해 Slave 보드에서 전달받은 벡터와 생성된 패턴을 비교하여 고장 검출의 기능을 수행한다

Master BIST 회로는 테스트 버스 컨트롤러와 TPG, ORA, Master 컨트롤러로 구성된다(그림 16).

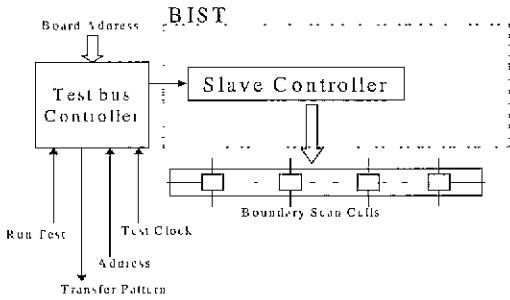


(그림 16) Master BIST 구조

5.3 Slave BIST

Slave BIST는 Master BSC에서 연결선에 인가한 테스트 벡터를 BSC를 이용하여 capture하고 테스트

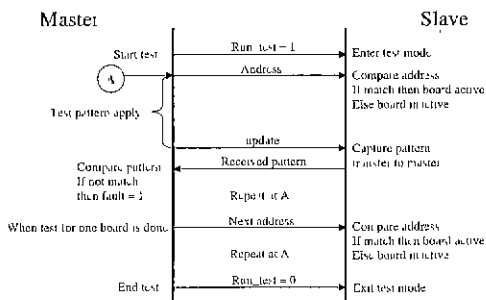
버스를 통해 capture한 데이터를 Master로 전송하는 기능을 수행한다. Slave BIST는 Slave 컨트롤러와 테스트 버스 컨트롤러로 구성된다(그림 17)



(그림 17) Slave BIST 구조

6. 테스트 수행 과정

(그림 18)은 Master와 Slave의 테스트 수행 과정을 도식화 한 것이다



(그림 18) 테스트 수행 과정

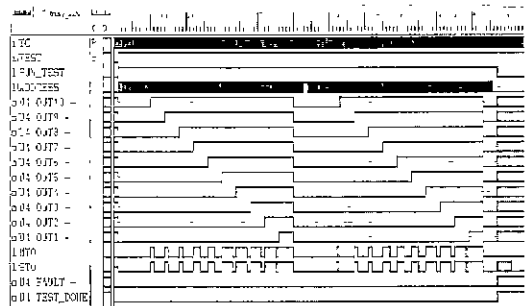
테스트 시작 신호가 들어오면 RUN_TEST를 High로 만들어 Master와 Slave의 회로가 테스트 모드로 들어가게 된다. Master 회로의 버스 컨트롤러에서 첫 번째 Slave 테스트를 위한 주소 생성이 완료되면 TPG가 테스트 데이터를 생성하고 BSC에 인가하게 된다. 이때 생성된 주소의 일치하는 Slave 회로는 enable 된다. 첫 번째 패턴이 Interconnect 미스에 인가되면 Master는 다음 테스트 데이터를 계속하고, Slave는 전송선에서 받은 테스트 데이터를 자신의 BSC로 capture하고 다시 테스트 버스를 통해 전송받은 테스트 데이터를 Master로 전송한다. 테스트 버스를 통해 전송된 패턴을 Master

의 ORA에서 고장 검출과정을 수행한다. 첫 번째 코드의 패턴 인과 과정이 끝나면 Master 버스 컨트롤러는 두 번째 주소를 생성시킨다. 이때 첫 번째로 Enable된 Slave 보드는 Disable되고 두 번째로 생성된 주소와 일치하는 Slave 회로가 Enable 된다.

모든 과정이 끝나면 RUN_TEST 신호가 Low가 되고 Master와 Slave의 회로는 테스트 과정을 끝내게 된다.

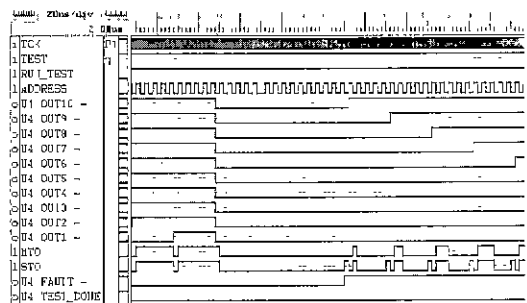
6.1 시뮬레이션

본 논문에서 제안한 BIST 회로는 Xilinx사의 Foundation 14를 이용하여 설계와 시뮬레이션을 하였다[10]. 시뮬레이션은 고장이 없는 상태와 Stuck-at 고장, 다중 Short고장에 대해 수행하였다. TCK의 주기는 20ns이며 첫 번째 Slave 보드의 주소는 (0,1), 두 번째 Slave 보드의 주소는 (1,0)이다.



(그림 19) Fault free 상태의 결과

(그림 19, 20)은 2가지 경우에 대한 시뮬레이션 결과를 나타낸 것이다. 고장 검출은 MTO(Master Test Data Output)의 STO(Slave Test Data Output)의 비교로 수행되며 두 신호선의 출력이 서로 다를 경우 고장 발생을



(그림 20) 두 번째 Slave 보드의 Stuck-at 1 고장 결과

나타내는 FAULT 신호 출력을 HIGH 상태로 만든다.

7. 결 론

본 논문에서는 삼성의 고속 통신 시스템, HMSB의 내부 잡음이 신호의 충실성에 미치는 영향에 대해 분석하였다. 내부 잡음요소 및 신호 경로를 모형화 하는 과정과 시뮬레이션을 위한 회로 모형과 과정에 대해 설명하였다. 더불어 여러 잡음원에 대한 영향을 최소화 할 수 있는 설계 방법을 제시하고 이 기법을 채택할 시의 개선된 신호 파형의 예를 시뮬레이션을 통하여 보였으며, 개선된 설계 방법으로 만든 시스템의 Backplane Boards Testing을 위한 BIST 설계 방법과 고장 시뮬레이션 결과를 보였다.

참 고 문 헌

[1] Chen-Huan Chiang and Sandeep K. Gupta, "BIST TPG for Faults in System Backplanes," IEEE/ACM International Conference on Computer Aided Design, pp.406-413, 1997.

[2] T.L. Quarles. SPICE 3e user's manual ERL. Univ. of California, Berkeley, Apr. 1989.

[3] D.F. Anastasakis, N. Gopal, S.Y. Kim and L.T. Pillage, "Enhancing the Stability of Asymptotic Waveform Evaluation for Digital Interconnect Circuit Application," IEEE Trans. on CAD, un 1994.

[4] S.Y. Kim, C.S. Chung, Y.W. Jeong, "A Study on Signal Interface Characteristics in Broadband Systems," Trans. KIEE, Vol.45, No.9, Sep. 1996.

[5] S.Y. Kim, C.S. Chung, Y.W. Jeong. "A Design Methodology on High-Speed Signal Paths for Signal Integrity," Trans. KIEE. Vol.45, No.9, Sep 1996.

[6] R. Senthinathan, et al., "Modeling and Simulation of Coupled Transmission Line Interconnects Over a Noisy Reference Plane," IEEE Trans. on CHMT, Nov. 1993.

[7] F.Y. Chang, "Transient Analysis of Lossless Coupled Transmission Lines in a Nonhomogeneous Dielectric Medium," IEEE Trans Microwave Th. Tech, Sep. 1970.

[8] F.Y. Chang, "Transient Simulation of Nonuniform Coupled Lossy Transmission Lines Characterized with Frequency-dependent Parameters-Part I : waveform Relaxation Analysis," IEEE Trans Circuits Syst., Vol.39, No.8, Aug. 1992.

[9] A.J. Rainal, "Computing Inductive Noise of Chip Packages," in AT&T Bell Lab Technical Journal. Vol.63, No.1, Jan. 1984.

[10] XILINX, "The Programmable Logic Data Book," XILINX Inc, 1996.



장 종 권

e-mail : jkchang@utou.ulsan.ac.kr

1973년 서울대학교 전기공학부 졸업(공학사)

1985년 University of Texas at Austin 전기공학과 졸업(공학석사)

1990년 University of Texas at Austin 전기공학과 졸업(공학박사)

1991년~현재 울산대학교 컴퓨터·정보통신공학부 부교수

관심분야 : Computer Aided Design, Built-in Self test for Embedded memories, Bus for High speed systems