

# 대용량 ZVS Full Bridge DC/DC 컨버터에 있어서 Digital-To-Phase Shift PWM 발생회로

論 文

49B-1-9

## Digital-To-Phase-Shift PWM Circuit for High Power ZVS Full Bridge DC/DC Converter

金 恩 洙\* · 金 泰 鎮\*\* · 卞 永 福\*\*\* · 朴 淳 球\*\* · 金 倫 鎬<sup>§</sup> · 李 在 鶴<sup>§§</sup>  
(E. S. Kim · T. J. Kim · Y. B. Byun · S. G. Park · Y. H. Kim · J. H. Lee)

**Abstract** - Conventionally, ZVS FB DC/DC converter was controlled by monolithic IC UC3879, which includes the functions of oscillator, error amplifier and phase-shift circuit. Also, microprocessor and DSP have been widely used for the remote control and for the immediate waveform control in ZVS FB DC/DC converter. However the conventional microprocessor controller is complex and difficult to control because the controller consists of analog and digital parts. In the case of the control of FB DC/DC converter, the output is required of driving a direct signal to the switch drive circuits by the digital controller. So, this paper presents the method and realization of designing the digital-to-phase shift PWM circuit controlled by DSP (TMX320C32) in a 2,500A, 40kW ZVS FB DC/DC converter.

**Key Words** : ZVS, FB DC/DC Converter, Phase-Shift Circuit, DSP

### 1. 서론

본 논문은 ZVS FB DC/DC 컨버터의 디지털 구동제어회로에 관한 것으로서, 전원장치의 제어회로 분야에 있어서 Phase shift FB DC/DC 컨버터의 구동을 디지털로 제어하기 위해, DSP(Digital Signal Processor) 또는 마이크로프로세서(80C196 또는 TMS320C24X DSP)에서 연산 처리된 디지털 값 그리고 프로그램 가능 논리소자(EPLD)를 사용하여 Phase shift된 디지털 값으로 변환하고, 이에 따라 대용량 ZVS FB DC/DC 컨버터의 구동을 제어하는 Digital-to-phase shift PWM 발생회로 및 적용 실험된 연구에 관한 것이다.

종래의 마이크로프로세서를 적용한 FB DC/DC 컨버터 제어회로는 디지털 제어를 통해 출력된 아날로그 신호(Reference 또는 Command)를 추종하도록 아날로그 제어가 Phase-Shift PWM을 발생시켜 주 회로를 구동 제어하는 방식이다 [1-2]. 따라서, 아날로그 제어기와 디지털 제어기로 분리되어 있기 때문에 회로의 구성이 복잡하고, 아울러 다단계의 제어회로를 거치기 때문에 회로설계의 변환 등의 유연성이 부족하다는 문제점이 있다. 또한, 전원장치의 단순제어기능에서 벗어나 진단기능 내장 및 다양한 펄스 파형 제어를 위해 전원장치에 있어서도 완전 디지털제어가 강하게 요구되고 있다 [3]. 본 연구에서는 제어회로의 유연성 및 단순화를 위해 아

날로그 제어를 제외하고 단지 DSP(TMS320C32)를 이용한 제어회로만으로 40kW FB DC/DC 컨버터를 제어하는 디지털 제어회로를 구성하여 적용했다.

### 2. FB DC/DC 컨버터의 Digital-to-Phase-Shift PWM 발생회로

ZVS FB DC/DC 컨버터는 그림 1에 나타난 바와 같이 안정한 영전압 스위칭(Zero voltage switching: ZVS) 동작영역을 확보하기 위해  $Q_2$ 와  $Q_4$ 에 대한 게이트신호가  $Q_1$ 과  $Q_3$ 에 대하여 Phase shift 되게 제어함으로써, 변압기 2차 측 전압이 Zero인 시간간격동안 1차 측 스위치 중 하나가 항상 On되게 제어한다. 이는 고주파 변압기의 누설인덕턴스와 스위칭소자의 기생출력 캐패시턴스와의 기생공진 문제를 해결할 수 있도록 누설인덕턴스에 따른 전류를 순환시키기 위한 낮은 임피던스 경로를 제공시켜준다. 이것은, 환류기간동안( $t_1-t_3$ ) 고주파변압기 1차 측 순환전류가 스위칭소자  $Q_3$ 의 역 병렬다이오드, 고주파변압기, 스위칭소자  $Q_2$ 를 통해 순환되고, 환류기간동안( $t_5-t_8$ ) 고주파변압기 1차 측 순환전류가 스위칭소자  $Q_1$ 의 역 병렬다이오드, 고주파변압기, 스위칭소자  $Q_4$ 를 통해 순환하게 함으로써 낮은 임피던스 경로를 제공하는 것이다[4].

따라서, Phase shift PWM 동작에 따라 FB DC/DC 컨버터 1차 측 Bridge 스위칭소자들이 영 전압 스위칭을 하게됨으로써 스위칭손실 및 노이즈를 저감할 수 있다. 이러한 스위칭 패턴을 제공하고 구성하기 위한 Digital-to-phase shift PWM 발생회로가 필요하다. 위에 설명한바와 같이 Digital-to-phase shift PWM 발생회로는 FB DC/DC 컨버터 1차 측 Bridge 스위칭소자가 고정된 스위칭주파수에서 각각 50% 듀티비를 갖는 방형파를 발생시켜야하고, 또한 FB DC/DC 컨버터의

\* 正 會 員 : 韓國電氣研究所 先任研究員

\*\* 正 會 員 : 韓國電氣研究所 研究員

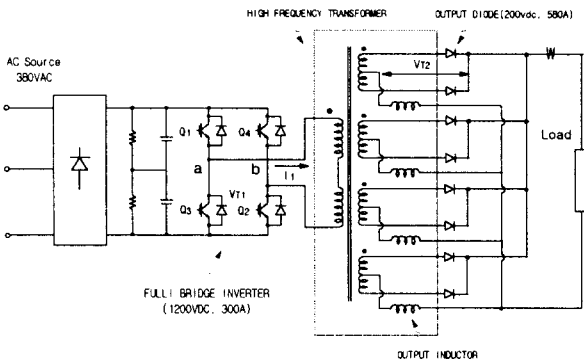
\*\*\* 正 會 員 : 韓國電氣研究所 先任研究員 · 工博

<sup>§</sup> 正 會 員 : 中央大 電氣工學科 教授 · 工博

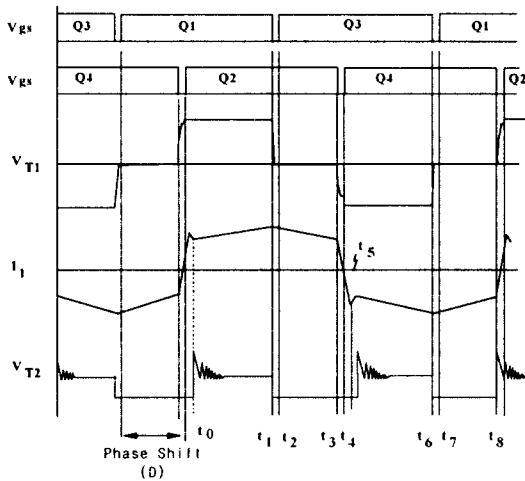
<sup>§§</sup> 正 會 員 : 中央大 電氣工學科 博士課程

接受日字 : 1999年 5月 27日

最終完了 : 1999年 12月 2日



(a) FB DC/DC 컨버터 주 회로도



(b) FB DC/DC 컨버터 동작 파형

그림 1 FB DC/DC 컨버터 주 회로 및 동작 파형  
Fig. 1 Full-bridge DC/DC converter and waveforms

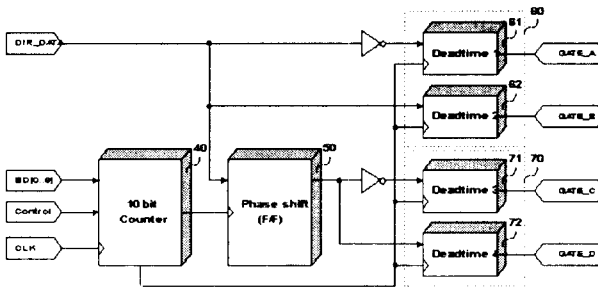


그림 2 Digital-to-phase-shift 발생회로 구성도  
Fig. 2 Block diagram of digital-to-phase-shift circuit

한쪽 암(Q<sub>1</sub>, Q<sub>3</sub>)의 스위칭소자에 구동신호를 교번 적으로 제공하기 위한 신호와 스위칭소자 각 암 사이의 위상 차 제어를 위해 한쪽 암(Q<sub>1</sub>, Q<sub>3</sub>)에 대해 다른 쪽 암(Q<sub>2</sub>, Q<sub>4</sub>)의 스위칭소자의 교번 구동신호를 지연시킬 수 있는 Phase Shift 회로 발생 부로 구성되어야 한다. FB DC/DC 컨버터 스위칭소자의 각 암 사이의 위상 차는 노드 a와 노드 b 사이의 PWM 전압 파형을 결정하는 동작 듀티비이다. 즉, 0 동작 듀티비는 0°의 위상차이고, 0.5의 동작 듀티비는 90°의 위상차를 갖

고, 1.0의 동작 듀티비는 180°의 위상차를 갖는다. DSP 또는 마이크로프로세서의 출력은 Phase Shift된 동작 듀티비를 나타내는 디지털 수(Counter Register 또는 Period/ Compare Register 데이터 값)이므로 DSP 또는 마이크로프로세서에서 연산 처리된 디지털 값을 Phase Shift된 값으로 변환하기 위한 Digital-to-phase-shift PWM 발생회로의 구성 및 적용이 본 연구의 목적이다.

본 연구에서는 2가지 Type의 Digital-to-phase shift 발생 회로를 제안하여 설명하고자 한다.

### 2.1. DSP 적용 Digital-To-Phase Shift PWM 발생회로 1

TMS320C32 DSP 적용 EPLD 내의 Digital-to-phase shift PWM 발생회로(그림 3)의 동작은 다음과 같다. 먼저 DSP가 스위칭 주파수의 반주기마다 타이머 인터럽트(TINT0)를 발생해서 일정한 주기를 갖는 펄스(DIR\_DATA)를 출력한다. 상기 펄스(DIR\_DATA)는 정. 부의 펄스로 나뉘어져 Counter1,2에 인가되고, 일정한 데드타임을 갖는 펄스로 스위치 제어신호 GATE\_A(Q<sub>1</sub>)와 GATE\_B(Q<sub>3</sub>)로 출력되어 풀 브리지 DC/DC 컨버터의 왼쪽 암 2개의 스위치를 제어하게 된다.

이와 동시에 DSP에서 연산 처리된 데이터 값이 10비트 Counter에 래치 되고, Counter는 래치 된 값만큼 계수(Count Down)하여 Phase shift된 신호를 D 플립플롭(60) CLK 입력 신호로 출력하게 되고, D 플립플롭 입력단자의 입력신호인 제어신호(DIR\_DATA)값에 따라 D 플립플롭은 출력신호(CGA)를 출력하게 되고 출력신호(CGA)는 정·부 펄스로 나뉘어져 Counter3, 4에 인가되고, 일정한 데드타임을 갖는 펄스로 Gate\_C(Q<sub>2</sub>)와 Gate\_D(Q<sub>4</sub>)를 출력하게 되어 풀 브리지 DC/DC 컨버터의 오른쪽 암 2개의 스위칭 소자를 제어하게 되는데, 이때의 상세 동작은 출력 전압/전류를 A/D 변환기(AD MAX120)로 변환한 후에 DSP에서 연산 처리된 10비트 값을 각각 8비트 Counter(41)와 2비트 Counter(42)로 구성된 10비트 Counter(40)에 래치 시킨다. 8비트 Counter(41) 및 2비트 Counter(42)의 GN 신호가 'H'로 유지(Holding)되어 있다가, 8비트 Counter(41)의 GN 신호가 'L'일 때, 다운 카운트(Down Count)를 시작한다. 8비트 Counter(41)의 QH~QA가 전부 'L'일 때, 8비트 Counter의 COUT 출력신호는 'H'로 되고, 다음 클럭의 상승 에지에서 COUT 출력신호는 'L'가 된다. 이때의 8비트 Counter의 COUT 출력신호는 CLK의 한 주기 펄스 폭을 갖는다. 8비트 Counter(41)의 COUT 출력이 'H'가 되면, 8비트 Counter(41)의 COUT에 연결된 2비트 Counter(42)의 CIN 입력신호는 'H'가 되고, 2비트 Counter는 다음 클럭(CLK)의 상승 에지에서 다운 카운트를 시작한다.

다음에 2비트 Counter(42)의 QB, QA 출력신호가 'L'일 때, 2비트 Counter(42)의 COUT 출력신호는 'H'가 되고, 다음 클럭의 상승에지에서 'L'이 된다. 그리고 2비트 Counter(42)의 COUT 출력신호는 D 플립플롭(60)의 클럭신호로 입력된다. 다음에 2비트 Counter(42)의 COUT 출력신호는 'H'가 될 때에 D 플립플롭(60)의 출력 Q(CGA)는 D 플립플롭의 입력단자D에 입력되는 펄스(DIR\_DATA) 값에 따라 D 플립플롭(60)의 출력 Q가 나타난다.

따라서 D 플립플롭(60)의 출력은 입력 펄스(DIR\_DATA)보다 10비트 Counter(40)에 래치 된 데이터 값(BD[0..9])만

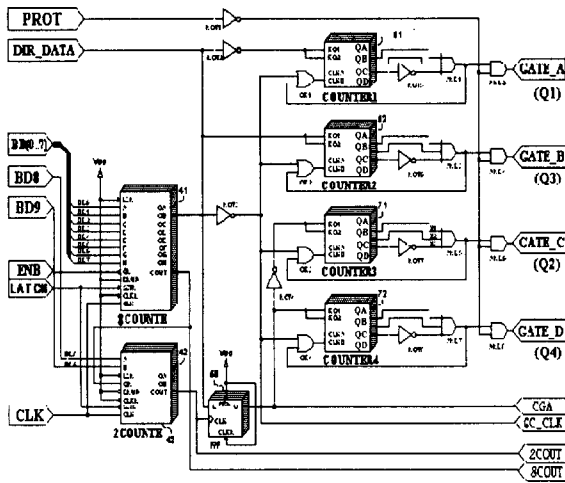
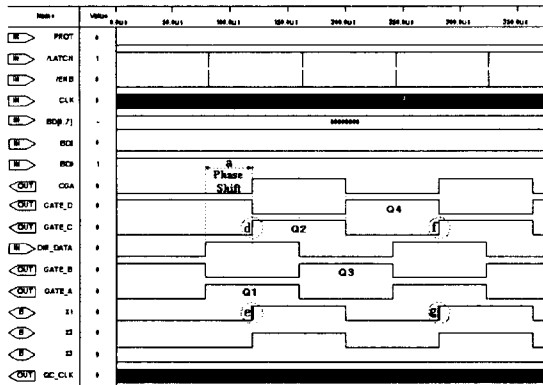
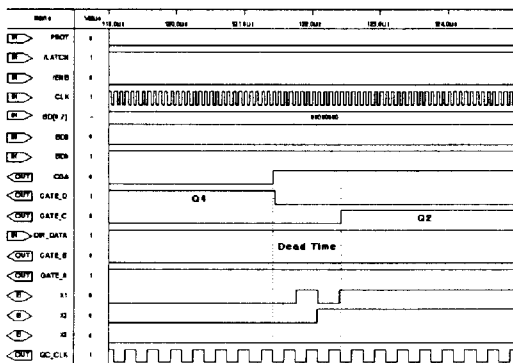


그림 3 DSP 적용 Digital-To-Phase Shift 발생회로1  
Fig. 3 Digital-to-phase-shift circuit (1) using DSP



(a) Digital-To-Phase Shift 발생회로1 입·출력 파형



(b) Digital-To-Phase Shift 발생회로1 상세 입·출력 파형

그림 4 DSP 적용 Digital-To-Phase Shift 발생회로1 입·출력 파형  
Fig. 4 Input and output waveforms of digital-to-phase shift circuit (1)

클럭 Phase shift된 펄스로 나타나게 되고, 각각 정. 부의 펄스로 나뉘어져 Counter3, 4에 인가되고, 일정한 데드타임을 갖는 펄스로 GATE\_C와 GATE\_D로 출력되어 풀 브리지 DC/DC 컨버터의 오른쪽 암 2개의 스위치를 제어하게 된다.

그림 4(a), (b)는 Digital-to-phase shift PWM 발생회로의 입력과 출력 파형을 시뮬레이션 한 것을 도시하고 있으며, 그림 4(a)의 a 부분이 Phase shift되는 부분이며, f 부분이 Counter3의 QB인 X1, QC인 X2에 의해 데드타임이 설정되는 것을 도시하고 있다. 그림4(b)의 f 부분이 g부분에 따른 데드타임이 설정되어 출력되는 스위치 제어신호(Gate\_C, Gate\_D)를 도시하고 있다.

## 2.2. 마이크로프로세서 적용 Digital-To-Phase Shift 발생 회로 2

기존의 아날로그 회로로 고주파 Phase shift FB DC/DC 컨버터를 제어하는 것을 디지털로 제어하는데 있어서 앞서 기술한 DSP를 이용한 디지털 제어는 연산속도가 매우 빠르고, 실수(Floting-point)연산된다는 장점은 있지만, Phase shift회로를 구성하는데 있어서 DSP의 연산된 디지털 값을 Phase shift된 디지털 값으로 변환하기 위해 EPLD내부에 10비트 Down Counter를 내장하여 사용하게되고, 또한 외부신호(진압 또는 전류)를 검출하기 위해 외부에 아날로그/디지털변환기(A/D Converter)를 사용해야 하는 등 여러 가지 단점도 내포하고 있다. 따라서, 고주파 FB DC/DC 컨버터를 디지털로 제어하기 위해 분해능은 떨어지지만 16bit 프로세서 중 시중에서 구입하기 쉽고, 저가이면서, 프로세서 내부에 아날로그/디지털변환기(A/D Converter)와 Counter기능을 내장한 80C196 프로세서(이와 유사한 기능을 갖는 TMS320C24X DSP)를 사용하여 Digital-to-phase shift PWM 발생회로를 제안 구성하였다.

80C196KC의 내부 PWM의 출력 파형은 프리-스케일러 비트(IOC2.2)를 이용하여, 매 256 스테이트 타임(20MHz에서 25.6μs) 혹은 512 스테이트 타임(20MHz에서 51.2μs) 마다 여러 형태의 듀티(duty) 사이클을 갖는 펄스를 출력할 수 있다.

$$PWM\ period = 512 / \text{시스템 클럭 주파수}$$

$$PWM\_high = (PWM\_control * 2) / \text{시스템 클럭 주파수}$$

따라서, FB DC/DC 컨버터의 스위칭 주파수는 80C196내부의 PWM\_period 레지스터와 내부 CLK을 사용하여 제어할 수 있다.(TMS320C24X는 내부 Compare register 및 Period register를 사용하여 제어할 수 있음) 80C196 내부에는 3개의 PWM 출력핀(PWM0, PWM1, PWM2)이 있고, 이중 2개의 PWM 출력 핀을 이용하여 FB DC/DC 컨버터의 스위칭 소자를 구동, 제어를 하도록 하였다(여기서 3개의 PWM 출력은 모두 같은 Counter를 사용하고, 3개의 PWM 출력은 항상 동기 되어 동시에 "H"로 올라간다. 또한 각 PWM\_control 레지스터에 설정된 값만큼 "H"로 되어 있다가 8 bit의 Counter 값과 비교하여 값이 일치할 하면 PWM 출력은 "L"가 된다). 두 개의 PWM 출력 핀(PWM1, PWM2)중 PWM1은 일정한 펄스 폭으로 왼쪽 암 2개의 스위칭 소자(Gate\_A:Q1, Gate\_B:Q3)를 제어하고, PWM2는 PWM1 출력에 대해 Phase Shift되어 오른쪽 암 2개(Gate\_C:Q2, Gate\_D:Q4)의 스위칭소자를 제어하도록 구성하였다. 왼쪽 암을 제어하는 PWM1은 PWM1\_control 레지스터에 8비트의 값을 입력하여 일정한 동작 듀티 사이클을 갖는 PWM 출력을 얻을 수 있다. 즉, PWM1의 출력 파형을 D플립플롭의 클럭으로 입력하고, D플립플롭 출력Q(DQ1)는 입력된 클럭의 상승 엣지에 의해 2분주 된 파형으로 나타난다. 2분주 된 출력 파형(DQ1)은 정.부 출력신호로 나뉘어져 데드타임

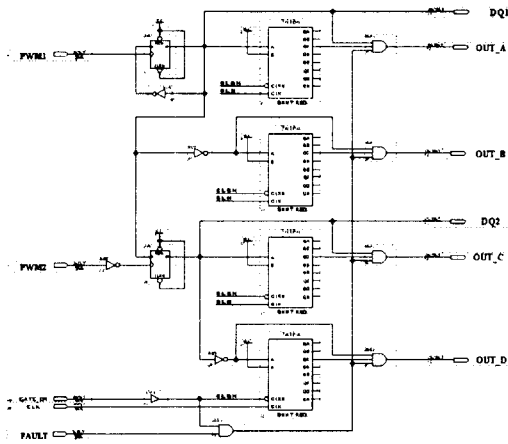
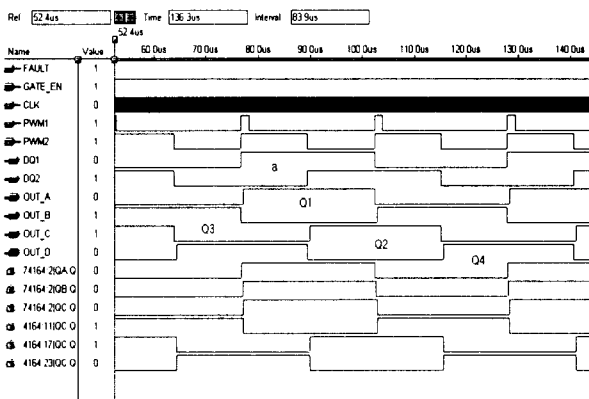
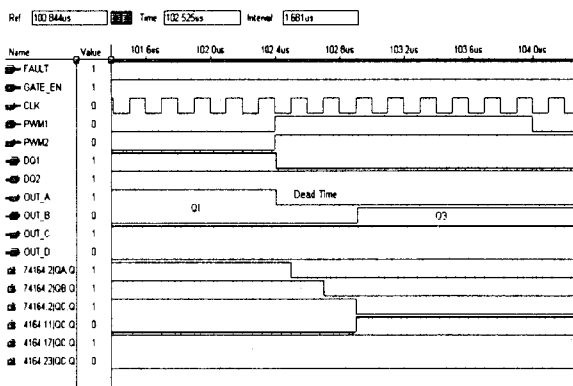


그림 5 마이크로프로세서 이용 FB DC/DC 컨버터의 디지털제어를 위한 PWM 발생회로 2

Fig. 5 Digital-to-phase shift circuit (2) using microprocessor



(a) Digital-To-Phase Shift 발생회로 2 입·출력 파형



(b) Digital-To-Phase Shift 발생회로 2의 상세 입·출력 파형

그림 6 마이크로프로세서 적용 Digital-To-Phase Shift 발생회로 2 입·출력 파형

Fig. 6 Control waveforms of digital-to-phase shift circuit (2) using microprocessor

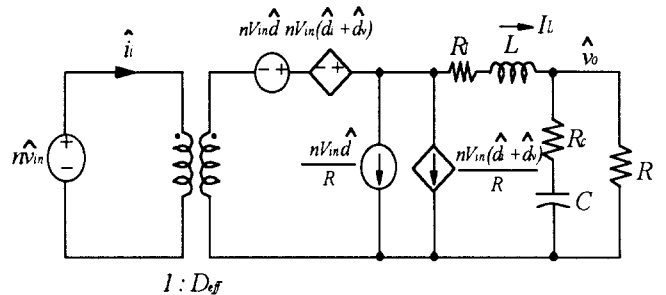
설정을 위한 시프트레지스터(Shift REG)를 거쳐 일정한 데드타임(Dead time)을 갖는 제어신호로 출력되어 왼쪽 암 2개의 스위칭 소자 (Gate\_A:Q1, Gate\_B:Q3)를 제어하도록 하였다. PWM2는 DC/DC 컨버터의 출력 전압, 전류를 80C196의 A/D 컨버터로 입력받아 CPU에서 8비트의 값으로 연산을 하고, CPU에서 8비트의 값으로 연산된 값을 PWM2\_control 레지스터에 입력하여 일정한 동작 듀티 사이클을 갖는 PWM 출력을 얻을 수 있다. PWM2의 출력 파형을 반전하여 D플립플롭의 클럭으로 입력하고, D 플립플롭 D입력조건(위쪽 플립플롭 출력신호: DQ1)에 따라 출력된 D플립플롭 출력인 Q(DQ2)는 PWM2의 반전된 신호의 듀티 폭만큼 지연된 형태로 2분주 된 파형으로 나타난다 (PWM2는 255의 분해능을 갖고 Phase Shift되어 출력하여 출력 전압(또는 전류)을 제어한다).

2분주 된 파형은 정·부 출력신호로 나뉘어져 데드타임 설정을 위한 시프트레지스터(Shift REG)를 거쳐 일정한 데드타임(Dead time)을 갖는 펄스로 제어신호(GATE\_C : Q3)와 제어신호(GATE\_D : Q4)로 출력되어 FB DC/DC 컨버터의 오른쪽 암 2개의 스위치를 제어하게 된다.

그림 6(a), (b)는 디지털 펄스 발생회로의 입력과 출력 파형을 시뮬레이션 한 것을 도시하고 있으며, 그림 6(a)의 a 부분이 Phase shift되는 부분이며, 그림 6(b)은 시프트레지스터(Shift REG) 출력 QC에 의해 데드타임이 설정되는 것을 도시하고 있다

### 3. ZVS FB DC/DC 컨버터 소신호 모델 및 특성분석

대용량 ZVS Phase-shift FB DC/DC 컨버터는 영전압 스위칭을 이루기 위한 각 상간의 Phase-shift 동작으로 인해 누설인덕턴스(Leakage inductance)와 출력변동에 의한 영향 등으로 인해 Buck 컨버터와는 다른 동작특성을 가진다. 이러한 ZVS FB DC/DC 컨버터는 누설인덕턴스와 입력전압 및 출력전류변동에 대한 유효 듀티 ( $\hat{d}_{eff} = \hat{d} + \hat{d}_i + \hat{d}_v$ )의 변화에 대한 종속전원을 첨가시킴으로써 Buck 컨버터의 소신호 모델로부터 아래 그림과 같이 유도될 수 있다.[5]



$$\hat{d}_i \text{는 } \hat{i}_L \text{에 따른 듀티변동으로 } \hat{d}_i = -\frac{4nL\omega f_s}{v_{in}} \hat{i}_L$$

$$\hat{d}_v \text{는 } \hat{v}_{in} \text{에 따른 듀티변동으로 } \hat{d}_v = \frac{4nL\omega f_s I_L}{v_{in}^2} \hat{v}_{in}$$

위의 등가회로로부터 출력필터의 입력 임피던스  $Z_f$ 와 전달함수 그리고 제어대 출력전압 및 인덕터 전류의 전달함수를 유도할 수 있으며 다음과 같다.

$$Z_f = \frac{(RCL + R_c CL)s^2 + (L + RR_f C + R_c RC + R_c R_f C)s + (R + R_f)}{(RC + R_c C)s + 1} \quad (1)$$

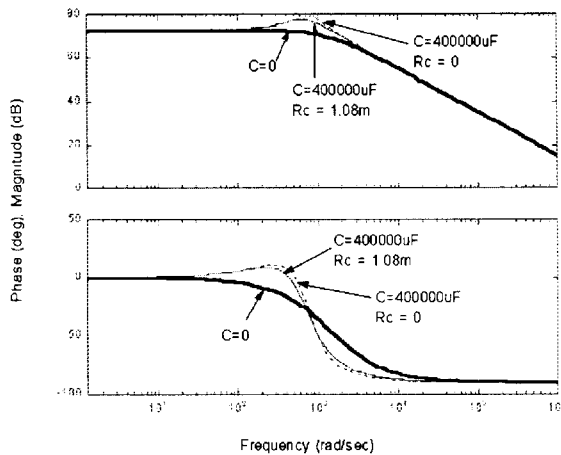
$$G_{id} = \frac{\hat{i}_o(s)}{\hat{d}(s)} = \frac{nV_{in}}{Z_f + R_d} \quad (2)$$

단,  $R_d = 4n^2 L_{lk} f_s$

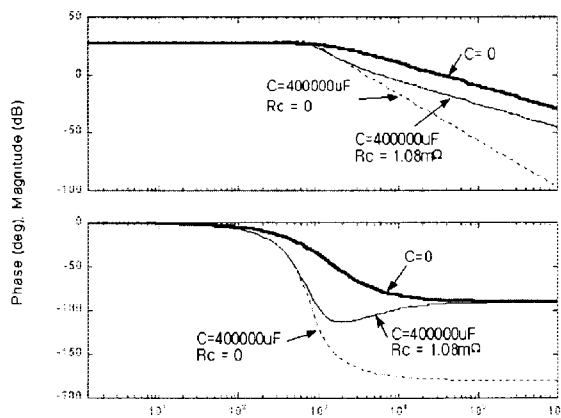
$$H_o = \frac{RR_c C s + R}{(RCL + R_c CL)s^2 + (L + RR_f C + R_c RC + R_c R_f C)s + (R + R_f)} \quad (3)$$

$$G_{vd} = \frac{\hat{V}_o(s)}{\hat{d}(s)} = H_o n V_{in} \frac{Z_f}{Z_f + R_d} \quad (4)$$

위의 전달함수를 가지고 ZVS FB DC/DC 컨버터의 제어대 출력에 대한 시뮬레이션을 할 수 있으며 이때 사용된 파라미터는 4장 실험결과와 주요 특성 표1을 사용하였다.



(a) 제어대 출력전류 ( $G_{id} = \frac{\hat{i}_o(s)}{\hat{d}(s)}$ )



(b) 제어대 출력전압 ( $G_{vd} = \frac{\hat{v}_o(s)}{\hat{d}(s)}$ )

그림 7 제어대 출력 전달함수의 보드선도  
Fig. 7 Bode plot of control-to-output transfer functions

저전압 대전류 도급전원에 있어서 적용된 ZVS FB DC/DC 컨버터는 정전류 제어가 주로 이용되고 있고 출력 전류 리플율도 5%정도 요구하기 때문에 DC 출력단에 출력콘덴서를 적용하지 않아도 낮은 리플특성을 얻을 수 있으므로 본 적용 시스템은 1차 동 특성을 가지는 안정된 시스템이다. 정전압 제어 시에 있어서도 누설인덕턴스  $L_{lk}$ 가 비록 적은 값(6uH)을 갖는다 할지라도 저전압 대전류 전원이기 때문에 그림 7(b)의 제어대 출력전달함수에서처럼 DC Gain이 감소하고 공진 피크가 사라진 것을 알 수 있다. 또한, 출력전류 리플율 요구조건(1%이하)을 만족시키기 위해 출력콘덴서(400,000uF)를 사용한다 할지라도 출력콘덴서 내부저항 $R_c$  값에 따른 주파수 ( $\frac{1}{R_c C}$ )의 영점이  $H_o(s)$ 에 나타나는 이중극점 중 하나에 근접, 서로 작용하여 제어대출력 함수 ( $G_{vd} = \frac{\hat{v}_o(s)}{\hat{d}(s)}$ )가 마치 일차함수인 것처럼 나타남을 볼 수 있다.

따라서, Digital-to-phase-shift 발생회로를 적용한 대용량 ZVS FB DC/DC 컨버터 출력전압 또는 전류제어를 위한 제어기는 간단한 PI 제어알고리즘을 적용하여 구현하였다.

#### 4. 실험결과

제작 실험된 디지털제어 FB DC/DC 컨버터는 3상 AC 380V를 입력받아 3상 정류기를 통해 정류된 DC 전압 ( $V_{in}:540V$ )을 입력으로 하여 출력 17[VDC], 2,500[A], 스위칭 주파수 20[kHz]로 구동되는 저리플 고효율 도급용 전원장치를 제작하여 실험하였고, 실제 실험에 있어서는 대전류 부하로 주물저항(0.001Ω/500A)을 직·병렬 연결하여 실험하였다.

DSP(TMS320C32)를 사용한 Digital-to-phase-shift 발생회로를 적용한 대용량 FB DC/DC 컨버터의 사양 및 특성은 다음과 같다.

그림 8은 Digital-to-phase shift PWM 발생회로를 적용한 IGBT 구동회로의 실험결과 파형이다. IGBT 구동회로의 데드타임은 그림 3에 있어서 8bit Counter의 출력 핀(QH~QA)과 Counter1, 2, 3, 4의 연결 관계에 의해 결정된다. 하지만, 그림 7에서와 같이 Digital-to-phase shift 발생회로의 데드타임이 1.02us로 설계되어 출력된다 할지라도 IGBT의 스위칭시 구동회로 EXB841의 상승과 하강시간 및 IGBT의 입력 커패시턴스의 존재에 따라 IGBT 구동신호가 지연되어 나타남을 알 수 있다.

그림 9는 대용량 ZVS FB DC/DC 컨버터의 고주파변압기 1, 2차 측 전압, 전류 파형을 보여준다. 실험의 변압기 1차 측 파형 결과에서 고주파변압기의 누설인덕턴스와 1차 측 스위칭소자의 기생 캐패시턴스와의 공진 특성에 따라 데드타임 동안 영전압 스위칭 됨을 볼 수 있다. 그림 9(b) 및 그림 10(a)의 실험 파형에서는 출력정류다이오드의 역회복 특성 및 고주파 변압기 누설인덕턴스와 출력정류다이오드의 기생 캐패시턴스에 따른 기생공진에 의해 서지(Surge)전압이 발생함을 볼 수 있다. 이에 따라 출력 전류에 고주파 노이즈가 발생되어 출력전류 리플율을 증가시키는 큰 요인이 된다. 본 논문에서 실험된 컨버터는 도급용 전원으로 출력 전류 리

표 1 주요 특성 표

Table 1 Main specification

항 목	디지털제어 ZVS FB DC/DC 컨버터
입력 전압	AC 입력: AC 380 [V], DC 입력: DC540V( $V_{in}$ )
주스위칭 소자( $Q_1-Q_4$ )정격	IGBT(SKM300GB123D) : 1,200[V] / 300[A]
스위칭 주파수( $f_s$ )	20[kHz]
변압기(TR)	TDK 페라이트코어 PE38 UU120×310×20, 턴수비(n) : $n = N_2/N_1 = 1/16$
누설인덕턴스( $L_1$ ), 2차측 필터( $L_f$ )	6[uH], 5.75uH( $R_f:0.1m\Omega$ ),
출력 전압( $V_o$ )	DC 0 ~ 20[V]
출력전류, 부하(R), 리플율	0~2,500[A], 6m $\Omega$ , 5.5%(2100A 부하 시 측정리플)
효율 및 출력 용량, 냉각방식	87%(정격부하시), 40[kW], 강제 풍냉
출력단 FRD	200V, 580A ( $t_{rr}:150ns, V_F:1.08$ )
출력 capacitor(C)	실험에는 사용되지 않음 (1% 미만의 정밀리플 요구 시: 400,000 $\mu$ F, $R_c:1.08m\Omega$ )
데드타임: Dead time( $\delta_t$ )	1.02 [ $\mu$ s]
DSP 제어기	▶ TMS320C32-50 DSP적용 ▶ EPLD(EPM1796SQC160), A/D(MAX120) ▶ Key-Pad에 의한 파형 제어

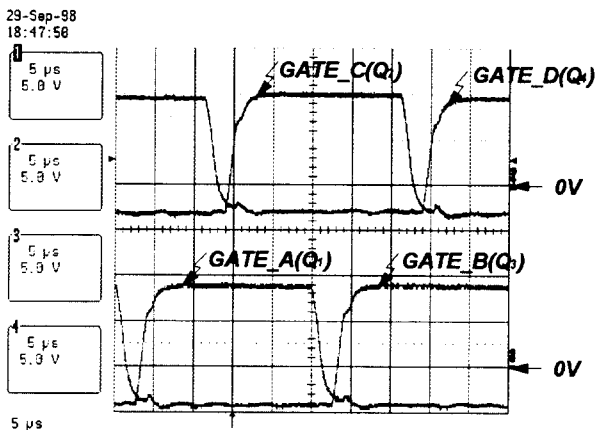
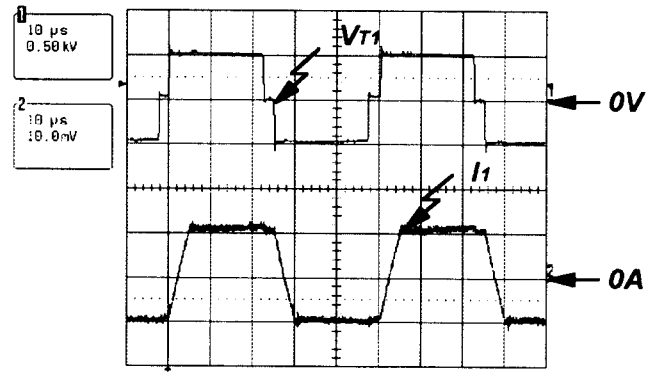


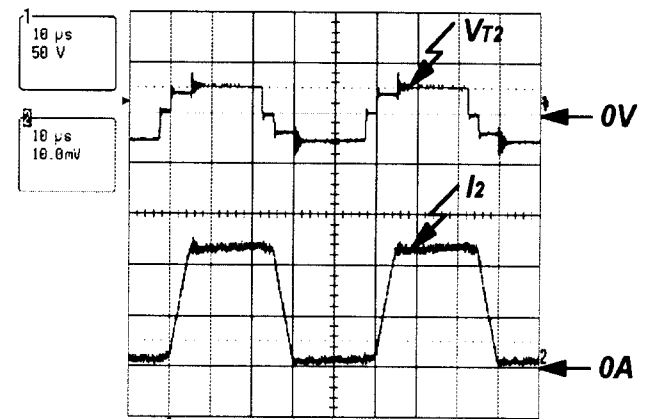
그림 8 Digital-to-phase shift circuit 1을 사용한 EXB841 IGBT 구동회로 실험 파형

Fig. 8 IGBT gate driving signals using digital-to-phase shift circuit (1)

플 율을 5%정도 요구하기 때문에 DC 출력 단에 출력콘덴서를 적용하지 않아도 정격부하에서 5.5%의 리플특성을 얻을 수 있었다. 향후, EMI 및 1%미만의 고주파 리플저감을 위해서



(a) 고주파 변압기 1차측 전압 전류 파형 (500V/div, 100A/div, 10us/div)



(b) 2차측 정류부 Unit1의 고주파 변압기 전압 전류 파형 (500V/div, 200A/div, 10us/div)

그림 9 100% 부하(17VDC, 2300A)에서의 고주파변압기 1, 2차측 전압 전류 실험파형

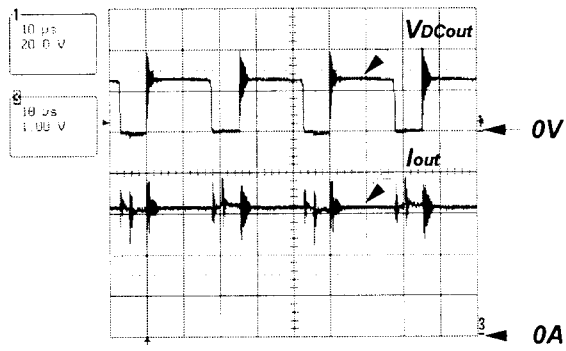
Fig. 9 Experimental waveforms of the transformer primary voltage and current at full load(17VDC, 2,300A)

는 출력콘덴서적용 및 2차 측 정류부도 소프트 스위칭 될 수 있는 스너버의 적용이 필요하다.

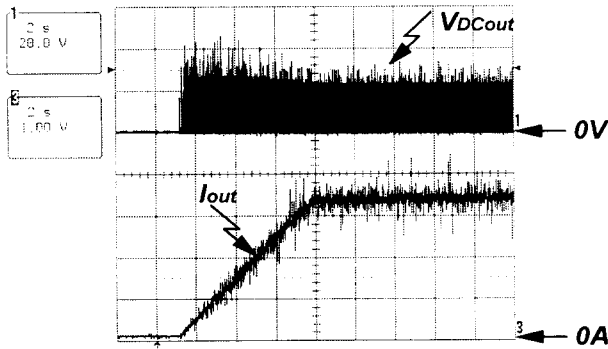
그림 10(b),(c)의 파형은 전류명령에 따른 전류제어특성으로 DSP 제어회로에 있어서 Digital-to-phase shift 발생회로1로 직접 구동 제어 및 간단한 PI 제어알고리즘만으로 정밀한 선형제어 및 유연성을 갖음을 볼 수 있다. 출력전류  $I_{out}$ 는 대전류 Probe가 없어 Hall 전류센서(LEM HAX2500:2,500A/4V)를 사용하여 검출된 신호 파형이다.

### 5. 결 론

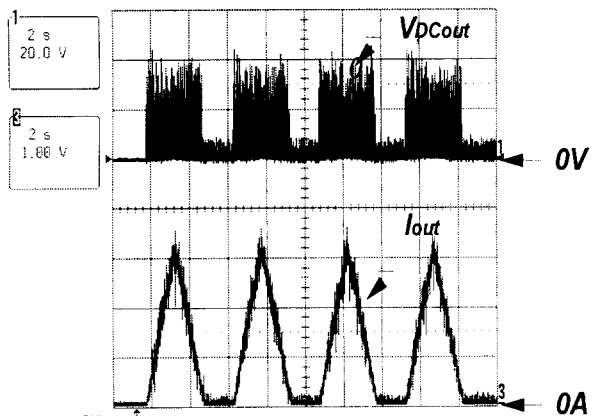
전원장치의 제어회로 분야에 있어서 ZVS FB DC/DC 컨버터의 구동을 디지털로 제어하기 위해, DSP 또는 마이크로 프로세서에서 연산 처리된 디지털 값 그리고 프로그램 가능 논리소자(EPLD)를 사용하여 Phase shift된 디지털 값으로 변환하고, 이에 따라 ZVS FB DC/DC 컨버터의 구동을 제어하



(a) DC 출력전압 및 전류파형



(b) DSP 제어기적용 Soft Start 제어시의 출력응답특성



(c) DSP 제어기의 전류 Command에 따른 출력 응답특성 파형

그림 10 100%부하(17VDC, 2300A)에서의 출력 제어 특성 (20V/div, 650A/1V/div, 2s/div)

Fig. 10 Outputs characteristics at full load (17VDC, 2,300A) (20V/div, 625A/1V/div, 2s/div)

는 Digital-To-Phase Shift PWM 발생회로들에 대해 제안하였고, 이에 대한 동작원리 및 시뮬레이션과 DSP (TMS320C32)제어기를 이용한 제어회로만으로 저전압 대 전류 도급용 전원인 2,500A 40kW FB DC/DC 컨버터를 실험을 통해 적용 가능성을 보였다.

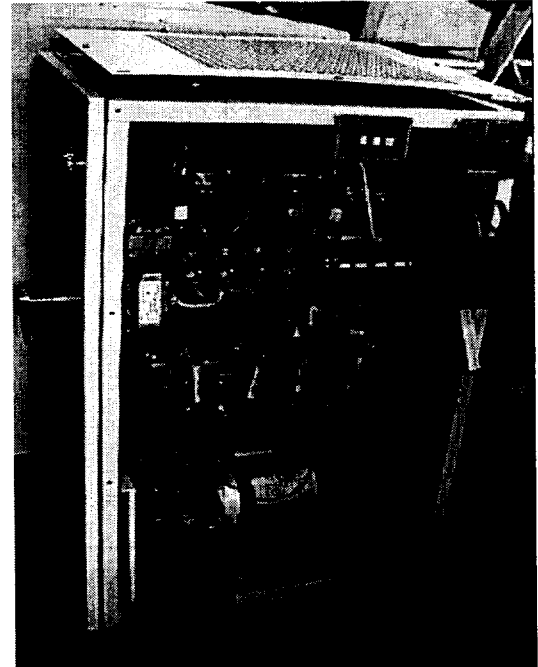


그림 11 DSP적용 40kW FB DC/DC 컨버터 시제품사진  
Fig. 11 Prototype of 40kW FB DC/DC converter using DSP

### 참 고 문 헌

- [1] P.F. Kocybik, K.N. Bateson "Digital Control of a ZVS Full-Bridge DC-DC Converter", IEEE APEC, pp. 687~693, 1995.
- [2] C.H. Chan, M.H. Pong, "DSP Controlled Power Converter", IEEE Catalogue No.95TH8025, pp.364~369, 1995.
- [3] I. K. Ellis, A. J. Forsyth, Z. Lu, "A High-Performance Digital Phase-Shift-Controller for The Zero-Voltage-Switching FB Converter", IEEE EPE, pp.3.173~3.178, 1997.
- [4] Qing Chen, Ashraf Lotfi, F.C Lee, "Design Trade-offs for 5V Output Off-line Zero-Voltage-Switched PWM Converters", IEEE, Intelec'91, pp.616~623, 1991.
- [5] Vlado Vlatkovic, Juan A. Sabate, Raymond B. Redley, Fred C. Lee, Bo H CHO "Small-Signal Analysis of the Phase-Shifted PWM Converter", IEEE Trans. Power Electron. vol.7, no1, pp.128-135, 1992.
- [6] Texas Instrument, " TMS320C32-Addendum to the TMS320C3X Users Guide ", 1995.

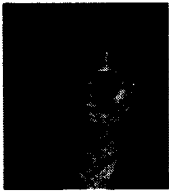
저 자 소 개



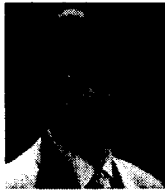
김 은 수(金 恩 洙)  
1964년 3월 26일생. 1986년 중앙대 공대 전기공학과 졸업. 1988년 동 대학원 전기공학과 졸업(석사). 2000년 2월 동 대학원 전기공학과 박사졸업예정. 현재 한국전기연구소 전력전자연구그룹 선임연구원  
Tel : 0551-280-1413, Fax : 0551-280-1406  
E-mail : eskim317@keri.re.kr



박 순 구(朴 淳 球)  
1973년 1월 6일생. 1998년 창원대 공대 전기공학과 졸업. 1998년 동 대학원 석사과정. 현재 한국전기연구소 전력전자연구그룹 위촉연구원



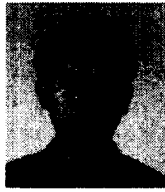
김 태 진(金 泰 鎭)  
1968년 8월 29일생. 1994년 부산대 공대 전기공학과 졸업. 1997년 동 대학원 전기공학과 졸업(석사). 1995년 2월~1996년 1월 일본 오사카대학 교환학생. 현재 한국전기연구소 전력전자연구그룹 연구원



김 윤 호(金 倫 鎬)  
1949년 6월 20일생. 1974년 서울대 공대 전기공학과 졸업. 1987년 미국 Texas A&M 대학 졸업(공학). 현재 중앙대 공대 전기공학과 교수. 전력전자학회 부회장



변 영 복(卞 永 福)  
1961년 3월 23일생. 1984년 부산대 공대 전기공학과 졸업. 1986년 동 대학원 전기공학과 졸업(석사). 1998년 동 대학원 전기공학과 졸업(공학). 현재 한국전기연구소 전력전자연구그룹 선임연구원



이 재 학(李 在 鶴)  
1989년 중앙대학교 전기공학과 졸업. 1991년 동 대학원 전기공학과(석사). 1997년~현재 중앙대학교 대학원 전기공학과(박사과정). 1990년~1996년 (주)이화전기 기술연구소. 1996년~1998년 Han-Tech. 1999년~현재 순천청암대학 전기전자과 전임강사