제주-해남 HVDC 시스템의 과도특성 분석

論 文
49B - 9 - 7

Transient Performance of Cheju-Haenam Hvdc System

金 燦 起*
(Chan-Ki Kim)

Abstract - This paper deals with the dynamic performance of Cheju - Haenam HVDC system. The purpose of the simulation study is to verify the control characteristics of the HVDC and to analyse the dynamic performances. Especially, because the HVDC system consists of analogue controller and digital controller, the simulation is achieved with specification model considered nonlinear function. The dynamic performance simulations is performed by PSCAD/EMTDC

Key Words : HVDC, PSCAD/EMTDC.

1. 서 론

제주-해남 HVDC 시스템은 육지의 값 싼 전력을 제주에 공급하기 위해서, 영국의 GEC Alstom사에 의해서 1997년 완공되었으며 1998년부터 상업 운전을 시작하였으며 최대 용량 300[MW] 그리고 정격 운전 용량 150[MW]의 전력 전송 능력을 가진 시스템으로 현재 제주 부하의 60[%]정도를 담당하고 있다.

제주-해남 HVDC 시스템의 기본적인 특징은 정상상태에서 제주 측에서 인버터 동작을 하며 주 제어기로써 전류 제어기를 사용하고 보조 제어기로써 평균 γ 제어기를 사용한다. 반면에 해남 측은 정상상태에서 렉티파이어 동작을 하고 주 제어기로써 전압제어기를 사용하고 보조 제어기로써 전류제어기를 가진다. 그리고 직류 송전에 따른 무효전력 보상은 히스테리시스 스위치 동작에 의한 콘덴서 뱅크가 기본이며 과도 무효전력 보상기로는 제주가 동기조상기 그리고 해남은 계통의 용량이 크기 때문에 존재하지 않는다. 제주-해남간에는 케이블에 의해 연결되어 있으며 경제성을 고려하여 Pole당 DC 180[kV]의 운전 전압을 갖는다. 제주-해남의 HVDC 시스템 구성은 그림 1과 같으며 각 요소들의 역할은 다음과 같다.

- ○ Master 제어기 : 운전 모드와 지령 값을 설정.
- ○ Pole 제어기 : 운전 모드에 대한 실행 알고리즘.
- ○ Phase 제어기 : 컨버터 구동 알고리즘 내장.
- ○ Pole 보호 : HVDC 시스템의 보호회로.
- ○ VBE(Valve Based Electronics) : 밸브보호 및 싸이리스터 점호신호 발생.

본 논문의 목적은 제주-해남 HVDC 시스템의 동작 특성을 분석하고 이를 기반으로 정밀 모델을 개발하여 HVDC 시스템의 과도 특성을 분석하는 것이 주된 목적이다. 개발에 사용된 프로그램은 HVDC 해석 전용 프로그램인 PSCAD/EMTDC이며 싸이리스터나 OP-앰프로 구성된 제어기가 가지고 있는 비 선형성을 모델링하기 위해 추가적인 비선형 모델링 함수를 아날로그 회로에 삽입하였다.

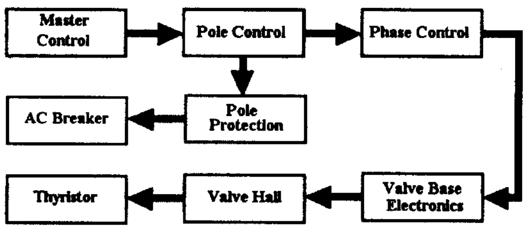


그림 1 제주-해남 HVDC 시스템 제어 구성도
Fig. 1 Cheju-Haenam HVDC system control diagram

2. 제주-해남 HVDC 시스템의 제어 특성

2.1 HVDC 시스템의 제어기 구성

2.1.1 Master 제어기

그림 1에서 보는 바와 같이 제주-해남 HVDC 시스템의 최상위 제어기는 Master 제어기로서 이는 HVDC 시스템의 필터 스위칭 동작이나 전력 전송 방향 그리고 제어모드(주파수 제어나 정 전력제어)를 결정하는 부분이다. 이 제어기의 시정수는 수 sec정도로 크기 때문에 HVDC 시스템의 과도 특성을 관찰하는데는 큰 의미가 없기 때문에 상세한 설명은 생략하기로 하겠다. 그리고 Pole 보호 부분은 HVDC 시스템을 트립시키는 부분으로 제어동작과 관련이 있는 AC/DC Differential 보호 회로(싸이리스터가 정류실패를 일정시간 지속하는 것을 감지하는 부분)만이 고려되었으며 VBE는 12 Pulse를 펄스 열(Pulse train)방법으로 싸이리스터를 게이팅 시키는 부분으로 HVDC 시스템의 과도현상을 관찰하는데는 큰 의미가 없기 때문에 고려하지 않았다.

---

* 正 會 員 : 電力硏究院 先任 硏究員 · 工博
接受日字 : 2000年 5月 29日
最終完了 : 2000年 8月 4日

2.1.2 Pole 제어기

그림 2는 HVDC 시스템의 실질적인 제어기인 Pole 제어기의 블록도를 보여 주고 있는 것으로서 Master 제어기로부터 제어 모드와 전력 전송방향을 입력받고, Phase 제어기로 제어 신호를 보내주는 역할을 한다. 각 부분에 대한 자세한 설명은 다음과 같다.

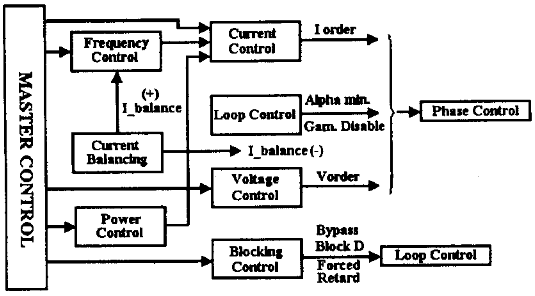


그림 2 HVDC 시스템의 Pole 제어기

Fig. 2 HVDC system pole controller

○ **주파수 제어기(Frequency Control)**
주파수 제어기는 HVDC 시스템이 주파수 모드로 설정되었을 경우에 제주 계통의 주파수 제어를 담당하는 부분으로서 발전기의 터빈제어기에 해당된다. 발전기의 터빈제어기는 계통의 주파수를 제어하는 Governor Free 운전 모드와 일정 전력을 발생시키는 정 전력 제어모드로 구성되어 있기 때문에 Governor Free 운전 모드는 HVDC 시스템의 주파수 제어기에 해당되고, 정 전력 제어모드는 HVDC 시스템의 정전력 제어에 해당된다고 볼 수 있다. 이 제어기의 제어동작은 Speed- droop 특성에 기반을 두어 다음과 같은 수식에 의해 제어된다.

$$f_r(Hz) = f_d(Hz) - \frac{0.6}{150} \cdot P_{dc} \cdot F_{slope}(droop) \quad (1)$$

여기서, $f_r(Hz)$는 주파수 지령 출력 값, $f_d(Hz)$는 주파수 지령값, P_{dc}는 DC 전력 그리고 $F_{slope}(droop)$는 Speed-droop 특성을 나타낸다.

○ **정전력 제어기(Power Control)**
정전력 제어기 부분은 HVDC 시스템을 일정 전력 제어 모드로 운전하는 경우에 전력 지령 값에 따라 HVDC가 운전되도록 제어 루프를 구성한다. 이 제어기의 동작은 다음과 같다.

$$I_{order} = \frac{P_{order}}{V_{dc}} \quad (2)$$

여기서, I_{order}는 정전력 제어기에서 오는 전류 지령값, P_{order}는 지령 전력 값 그리고 V_{dc} 는 DC 전압을 나타낸다.

○ **전류 제어기(Current Control)**
전류 제어기는 HVDC 시스템의 전류 지령 값을 발생시키는 부분으로서 제주의 경우는 주 제어기가 전류 제어기이며 해남의 경우는 전류제어기가 부 제어기로 동작한다. 전류 제어기의 입력은 전류 제어모드일 경우는 전류 제어기에서 지령 값이 발생되지만 HVDC 시스템의 운전 모드가 전력 제어 모드인 경우에는 Pole 제어기의 정전력 제어 출력 값이 전류 제어기의 입력 값으로 입력되고 주파수 제어 모드인 경우에는 주파수 제어의 출력 값이 전류 제어기의 입력 값이 된다.

○ **전압 제어기(Voltage Control)**
전압 제어기는 HVDC 시스템의 전압 제어기를 구성하고 있는 부분으로서 해남의 경우는 전압제어기가 주제어기로 동작하고 제주의 전압 제어기는 과 전압 제한기로 동작한다.

○ **전류 보정회로(Current Balancing)**
이 부분은 HVDC 시스템이 Bipole로 동작할 때 중선선에 흐르는 전류를 최소화하기 위해서 각 Pole의 전류 지령 값을 가감하는 작용을 한다.

○ **블록킹 제어(Blocking Control)**
블록킹 제어 부분은 HVDC 시스템의 고장에 대한 제어동작신호를 발생시켜 주는 부분으로서 싸이리스터의 동작을 정지시키는 Block D 신호와 시스템 차단 시에 인버터를 단락시키는 Bypass신호 그리고 시스템 차단 시에 컨버터를 인버팅 동작을 시키는 Forced Retard 신호(α신호를 140도로 지령)를 발생시켜 준다.

○ **루프 제어(Loop Control - Pole Control)**
Pole 제어에서 루프 제어기부분은 블록킹 제어 부분과 함께 HVDC 시스템을 제어적으로 블럭킹시키는 부분으로서 시스템의 α Min. 값을 시스템의 조건에 따라 변화시킴으로서 빠른 고장 복원 율과 고장의 파급을 막는 역할을 한다. 표 1는 시스템의 고장 상태에 따른 α값의 변화를 보여 주고 있다.

표 1 블록킹 신호에 따른 α Min. 값

Table 1 α Min. values according to Blocking signals

Block D	Forced Retard	Rectify/ Inverter	Comm.Fail	Discharge Line	α Min.
Active	X	X	X	X	140도
Not Active	Active	X	X	X	140도
Not Active	Not Active	Rectifier	X	X	2도
Not Active	Not Active	Inverter	X	Active	80도
Not Active	Not Active	Inverter	Not Active	Not Active	100도
Not Active	Not Active	Inverter	Active	Not Active	70도

2.1.3 Phase 제어기

그림 3은 HVDC 시스템내의 Phase 제어기 내부의 블록도를 나타내고 있다.

○ **AC 전압 측정부(AC Voltage Measurement)**
싸이리스터 컨버터와 같이 위상제어를 행하는 제어 시스템은 AC 입력 전압의 위상을 알아야 하기 때문에 본 카드는 변압기의 VT로부터 3상 신호를 받아 30도의 위상차이를 가지는 Y-Δ용 전압신호를 만들어 낸다.

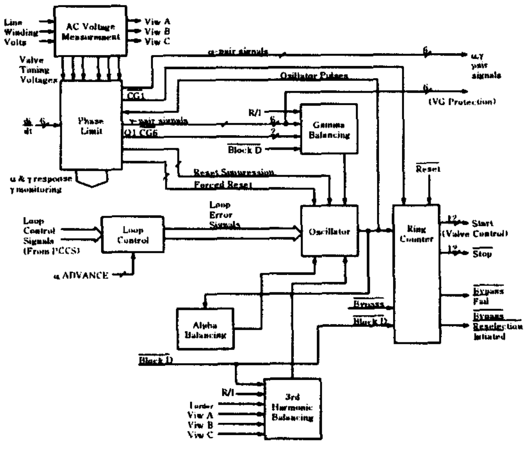


그림 3 Phase 제어기의 블록도

Fig. 3 Phase controller Block diagram

○ Phase Limit

Phase Limit 카드는 싸이리스터의 점호 각이 2^0(Reset Suppression)에서 182^0(Forced Reset) 안에서 만 일어나도록 해주는 강제 점호 회로와 α값(점호각)과 γ값(소호각)을 계산하는 부분이다. Phase Limit에서 발생된 강제 점호 회로는 Oscillator의 Permission Logic의 입력 신호가 된다.

○ γ 보정회로(Gamma Balance)

AC 시스템은 이론적으로는 3상 평형 전압을 갖지만 실제적으로는 작은 불평형을 갖는다. 따라서 정상 상태에서 α와 γ값은 동일하지 않다. γ제어기에 의한 불안정은 γ게인($\sin\alpha/\sin\gamma$)에 의해서 발생되는 것으로 $\partial\alpha/\partial\gamma$ 변화 비율이 0보다 커지는 경향이 있고 이러한 현상은 반복적인 전류 실패를 유발한다. 이러한 문제점은 12개의 밸브를 동일한 소호 각으로 점호되도록 한다면 어느 정도 막을 수 있는 것으로 다음과 같은 조건이 성립하도록 γ를 제어하면 동일한 간격의 γ가 발생되어진다. 이것을 극복하기 위해서 상간의 12개의 소호 각을 동일하게 하기 위해서 폐-루프를 이용하여 소호 각을 점호한다. 정상 상태에서 이러한 γ 보정 회로는 정상상태 고조파를 줄이고 전류실패를 줄이는 역할을 한다.

○ α 보정회로(Alpha Balance)

α 보정 회로는 γ 보정 회로와 유사한 동작을 하도록 한 것으로서 γ 보정 회로가 인버터에 사용되어지는 것에 비해 α 보정 회로는 컨버터가 정류기로 동작하는 경우에 사용되어진다. AC 시스템의 불평형은 α 값의 변동을 가져오고 변형된 α값은 AC 시스템에서 2차 고조파가 커지는 역할을 한다. 본 기능은 각상에서 2개의 밸브의 게이팅 시간을 조절한다.

○ 3차 고조파 보정회로(3th Harmonic Balance)

Oscillator로 수정된 신호를 보내고 적용함으로서 컨버터 변압기에서 발생하는 정상분 3차 고조파 전압을 제한한다.

○ 루프 제어(Loop Control)

Phase 제어기의 루프 제어기는 지령 값과 측정 값을 비교하여 오차 값을 발생시키는 부분이다. 루프 제어기는 각각 7개의 입력을 가진 독립된 8개의 제어기로 구성되어 있고 입력의 4개는 고정된 게인으로 구성되어 있는데(3번, 4번, 5번, 6번)반해 2개의 입력(1번, 2번)은 AC 커플링 되어 있다. AC 커플링은 일종의 미분기로서 HVDC 시스템의 속응성을 갖게 하는 KICK Control이다.

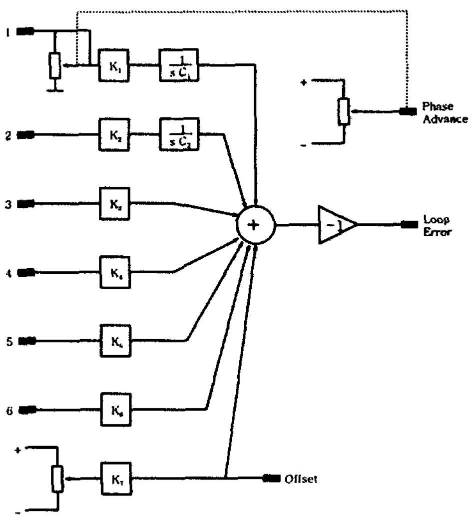


그림 4 루프 제어기

Fig. 4 Loop control

표 2 루프 제어기 룩-업 테이블

Table 2 Loop control look-up table

LOOP	INPUT						
	1	2	3	4	5	6	7
Loop 1 (Current)	Id	$-\alpha$ Response	X	X	Id	Id Order	X
Loop 2 (DC Volt.)	Udi	In	Loop 6 (2번 핀)	X	Udi	Udi Order	X
Loop 3 (Mean γ)	Udi	X	X	Disable	γ Response	X	15도 (지령값)
Loop 4 (α-Max)	X	X	X	α-Advance	$-\alpha$ Response	X	162도 (지령값)
Loop 5 (AC Volt.)	X	X	X	X	Disable	Evw	1.2[p.u] (지령값)
Loop 6 (Spare)	X	α Response	X	X	X	X	X
Loop 7 (DC Volt.)	Udr	Id	X	Loop 6 (2번 핀)	Udr	Udr Order	X
Loop 8 (α-Min)	X	X	X	X	$-\alpha$ Response	α Order	X

○ Oscillator

Oscillator는 등간격 점호 펄스를 발생시키는 부분으로서 루프 제어기로부터 발생된 오차 중에 가장 큰 값에 따라 펄스가 발생되는 부분이며 AND/OR회로를 이용하여 최대/최소 선택기(Max./Min. selector or Permission Logic)를 구성한다. 그림 5의 Permission Logic은 최대/최소 선택기로서 HVDC 시스템의 모드를 결정해 주는 역할을 한다. Permission Logic은 EPROM으로 구현되기 때문에 시스템의 구성을 바꾸는데 유용하다. 또한 Oscillator에는 Phase Limit로부터 입력되는 Forced Reset 신호와 Reset Suppression 신호가 있는데 이 신호는 Permission Logic과 연계되어 실제적으로 점호 신호를 2° – 180°안에서 발생되도록 한다. 마지막으로 등간격 점호 발생기는 톱니파를 오차에 대한 비교 입력으로 사용하는데 톱니

파의 크기를 변화 시켜주는 입력 중에서 3rd 고조파 보정회로, α 보정회로, γ 보정회로의 출력이 톱니파의 크기를 변화 시켜 등간격 펄스 간격을 조정한다.

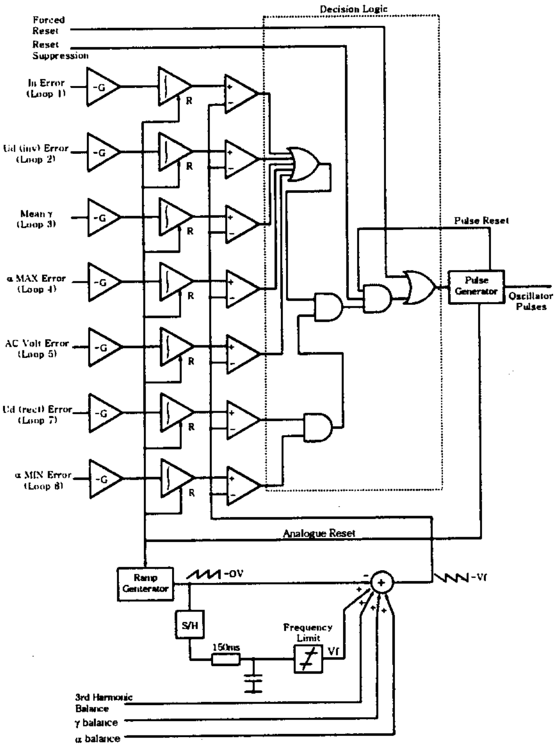


그림 5 Oscillator

Fig. 5 Oscillator

○ Ring Counter

링-카운터는 Oscillator에서 발생하는 펄스를 싸이리스터를 점호하는 신호로 변화시켜주는 부분이며 블록킹 제어기와 연계하여 싸이리스터의 점호신호를 중단시키는 신호(Block D)와 HVDC 시스템을 AC 계통과 분리시키기 전에 HVDC 시스템의 전류를 내부적으로 프리휠링(Free-wheeling)시키는 바이패스 지령을 가지고 있다.

2.2 제주-해남 HVDC 시스템의 동작 특성

그림 6은 제주-해남 HVDC 시스템의 제어동작 특성을 나타내고 있는 것으로서 ABCC'EF 곡선은 HVDC 시스템의 컨버터특성 곡선(정상 상태)을 보여 주고 있는 것으로서 정격 전류(1[p.u])한도 안에서 전압 일정 제어를 하는 것을 보여주고 인버터의 전압이 떨어지던가 아니면 정격전류 이상의 과 전류가 흐르면 컨버터 단의 제어모드가 전류모드로 바뀌어 1.3[p.u]의 전류제어를 행하도록 하는 동작 특성 곡선을 보여 준다.

그리고 BC선은 인버터의 전압이 갑자기 저하된 경우에 YY'Y"곡선이 ABC선(만약 BC선이 AB선과 같이 일정하다면)과 겹칠 때 2개의 운전점이 생기는 것을 막기 위해서 YY'Y"그래프와 같은 기울기를 갖도록 한 것이다. 이때 이 곡선의 기울기는 변압기의 %임피던스 값이다.(YY'Y"기울기가 변압기의 %임피던스에 의해서 결정되기 때문에) 또한 C'EF곡선은 일명 VDCL (Voltage Dependant Current Limit)이며 이 곡선의 역할은 교류 계통에 고장에 의해 전압이 떨어짐에 따라라 전류의 양을 제한하는 역할을 한다.

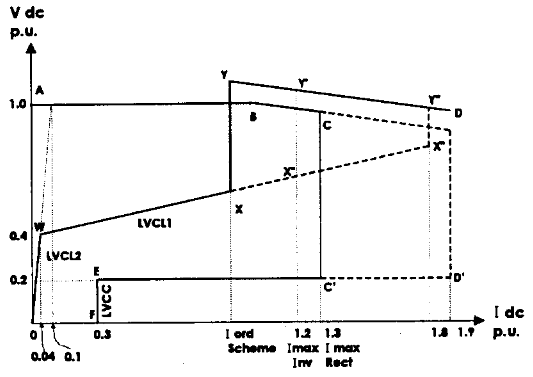


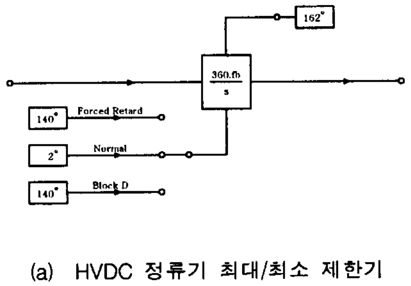
그림 6 해남-제주 HVDC 특성 곡선
(전력 전송 방향 : 해남--> 제주)

Fig. 6 Cheju-Haenam HVDC characteristics curve

Y"Y'YXW0곡선은 인버터 제어특성 곡선을 나타내고 있는 것으로서 YX곡선(정상 상태)에서는 전류제어동작을 하고 있으며 YY'Y"곡선에서는 평균 γ제어를 행한다는 것을 나타내고 있다. 그리고 XW0 곡선은 VDCL이며 이 곡선의 기울기는 AC 계통의 상황에 따라 결정해야 한다.

이러한 XW0곡선이 컨버터의 CEF곡선과 다르게 기울기를 가지고 있는 이유는 AC 계통 시스템의 단락비(SCR)가 작은 경우 시스템의 안정성을 고려하여 결정된 것이다. 정류기의 CEF곡선에 연결된 계통은 인버터(XW0)에 연결된 AC 계통보다는 강한 계통이기 때문에 시스템의 안정도 보다 시스템의 빠른 복원력을 갖게 하기 위해서 선택되어 진 것이다.

이때 전류 제어와 전압제어기를 선택하는 기준은 전류 제어 출력값과 전압 제어 출력값을 비교하여 큰 값을 선택하는 최대 선택기(Maximum Value Selector)를 이용한다. 또한 인버터는 전류 제어 루프와 평균 γ제어 루프를 가지고 있으며 정상 상태(ABC곡선)에서는 전류 제어가 선택되어 동작하고 과도 상태 AC측 고장 상태(CC'EF곡선)에서는 평균 γ제어기가 동작한다. 이때 전류 제어와 평균 γ제어기를 선택하는 기준은 전류 제어 출력 값과 최소 γ 제어 출력 값을 비교하여 작은 값을 선택하는 최소 선택기(Minimum Value Selector)를 이용한다. 그림 7과 8은 정류기와 인버터의 제어 루프를 보여 주고 있다.



(a) HVDC 정류기 최대/최소 제한기

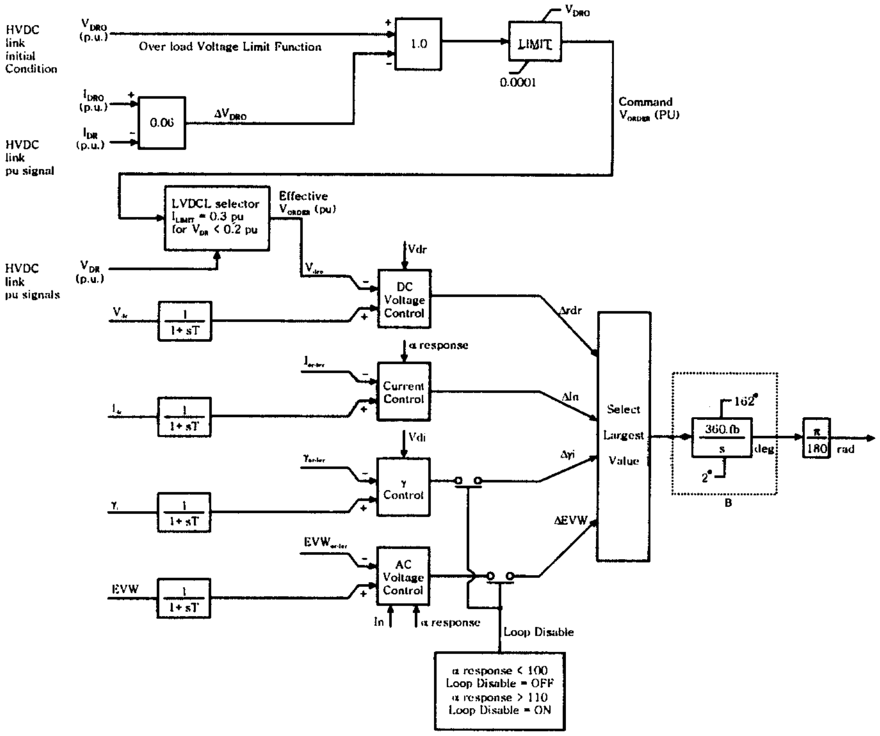


그림 7 제주-해남 HVDC 시스템의 정류기 제어 블록도

Fig. 7 Cheju-Haenam HVDC rectifier control block diagram

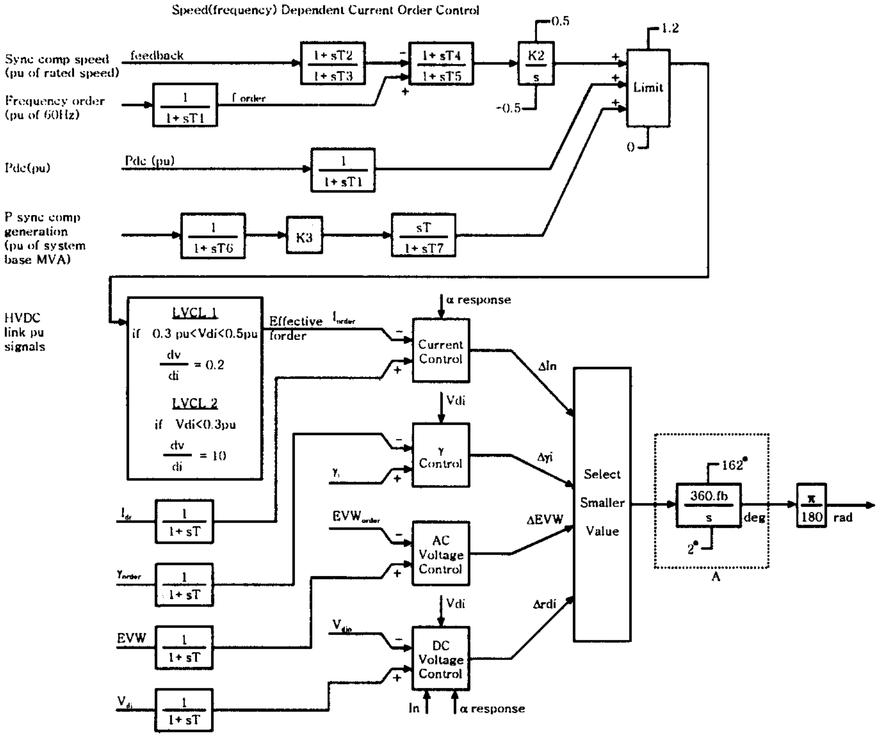
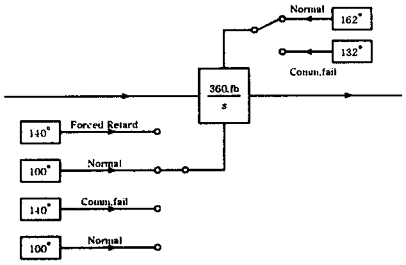


그림 8 제주-해남 HVDC 시스템의 인버터 제어 블록도

Fig. 8 Cheju-Haenam HVDC inverter control block diagram

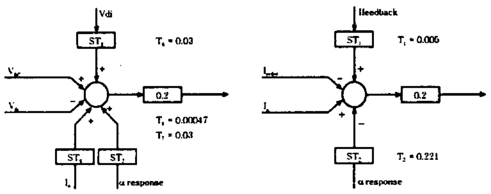


(b) HVDC 인버터 최대/최소 제한기

그림 9 HVDC 시스템의 최대/최소 제한기

Fig. 9 Max./Min. limiter of HVDC system

(a) 평균 γ제어기 (b) AC 전압 제어기



(c) DC 전압 제어기 (d) 전류 제어기

그림 10 HVDC 제어기

Fig. 10 HVDC controllers

그림 7에 대하여 설명하면 다음과 같다. 정류기 제어기 모델은 그림 6에 기반을 두어 컨버터 전압을 1[p.u]로 유지시키기 위해서 지령 치와 측정치를 제어하는 전압 제어기가 있으며 전류를 1.3[p.u]으로 유지시키기 위한 전류 제어가 있다. 또한 고장에 따른 전류 값을 만들기 위한 VDCL이 있으며 전압과 전류 값 중에서 최대 값을 선택하는 최대 선택기가 있다. 그림 7에는 그림 6의 특성곡선에는 나타나 있지 않은 γ제어기나 AC 전압 제어기가 있는데 이 제어기의 용도는 정류기가 인버터 동작을 할 경우에 동작하는 제어기이며 AC 전압 제어기는 HVDC가 무효전력을 소비한다는 점을 이용하여 AC 전압이 기준 보다 높아지면 제어동작을 한다. 그리고 그림8은 인버터 제어 모델을 보여 주고 있는 것으로 그림 6에 기반을 두어 만들어 졌으며 주파수 지령 값이 전류 제어기의 입력신호가 되는 것을 보여준다. 그림 8에서 전압 제어기는 DC 전압이 기준 값을 넘지 못하게 하는 제한기의 역할을 한다.

그림 9는 그림 7과 8에서 보여주는 최대/최소 α제어기의 최대 제한기와 최소 제한기를 보다 정밀하게 표현한 것이며, 그림 10은 그림 7과 8에서 보여주는 HVDC 제어기를 좀더 상세하게 표현한 것이다.

3. EMTDC를 이용한 시스템 특성 분석

3.1 시뮬레이션 배경

우선적으로 HVDC 시스템을 모의하기에 앞서 시스템을 모델링할 필요가 있다. 시스템의 모델링 범위는 확인하고자하는 현상에 따라 달라 질 수 있는데 계통의 조류를 모의하기 위해서는 시뮬레이션의 샘플링 타임이 수십 [ms]에서 수 [sec]가 필요하고, 시스템의 제어 동작과 순시 과도 현상을 모의하기 위해서는 샘플링 타임이 수십 [μs]에서 수 [ms]가 필요하다. 또한 시스템 각각의 소자 특성을 모의하기 위해서는 수 [μs]의 샘플링 타임이 필요하다.

본 논문에서는 PSCAD/EMTDC를 이용하여 제주-해남 HVDC 시스템의 과도 현상을 모의하고자 하기 때문에 HVDC 시스템의 시정수가 샘플링 값(본 논문에서 HVDC 시스템의 샘플링 타임은 50[μs]) 이하의 소자기능은 생략하거나 상수로 처리하여 시뮬레이션을 하였다. PSCAD/EMTDC는 전력 계통 시스템의 과도 현상과 동적 특성을 분석하기에 적합한 시뮬레이션 도구로서 많이 이용되고 있다.

HVDC 시스템의 보호기능은 여러 가지가 있으나 보호 기능의 개념은 HVDC 시스템을 트립시키는 데 주된 목적을 갖고 있기 때문에 전력 계통의 조류 계산이 아닌 시스템의 과도현상을 모의하기 위해서는 제어동작에 영향을 미치는 요소만을 고려해야 한다. 따라서 본 논문에서는 표 1에서 보여주는 HVDC 시스템의 AC/DC differential 보호기능만을 고려하였다.

3.2 AC 계통 등가화

HVDC 시스템의 AC 계통의 표현은 AC 계통의 동요를 모의하는 것이 목적이 아니라 HVDC 시스템의 과도현상만을 모의해야 하기 때문에 저항과 리액티브 성분만을 갖는 등가 모의선로로 간략화 할 필요가 있으며 AC 계통의 주파수 동요는 별도로 모의해야 하며, 고조파 안정도를 확인하기 위해서는 고조파를 가진 등가 AC 계통을 모의해야 한다. 그러나 HVDC 시스템의 AC 단자에 연결된 발전기나 동기조상기의 AVR은 속응성이 매우 빨라 HVDC 시스템의 동작에 영향을 미치기 때문에 반드시 고려해야 한다.

AC 계통의 등가 임피던스는 HVDC 단자에서 본 육지 계통과 제주 계통을 PSS/E로 구한 결과는 표 3에 보여 주고 있다. 표 3에서 구한 해남과 제주 지역의 임피던스는 기준 전압은 154[kV]이며 기준 전력은 100 [MVA]인 상태에서 구한 값이며 제주-해남 계통의 SCR은 기준 전압 154[kV]과 기준 전력 150[MW]로 하여 구한 값이다.

표 3 AC 계통 임피던스와 SCR

Table 3 AC network impedance and SCR

해남 AC 계통의 저항(R)	0.00657[p.u]
해남 AC 계통의 리액티브(X)	0.04653[p.u]
제주 AC 계통의 저항(R)	0.0384[p.u]
제주 AC 계통의 리액티브(X)	0.16174[p.u]
해남 AC 계통 SCR	14.1876∠-81.96
제주 AC 계통 SCR	4.010∠-76.64

그림 11은 제주-해남 HVDC 시스템의 계통 결선도를 보여 주고 있는 것으로 제주 AC 계통은 Bipole 동작을 하는 HVDC 전압 터미널에 고조파 필터와 이중-동조 필터, AC 등가 임피던스 그리고 과도 무효전력 보상을 하는 동기조상기가 연결되어 있으며 해남 AC 계통은 AC 등가 임피던스와 고조파 필터 그리고 이중-동조 필터가 연결되어 있다. 그리고 제주와 해남 사이의 전력 전송은 케이블에 의해 전송된다.

- 27.5[Mvar]-고조파 필터 2대 스위치 ON
- 27.5[Mvar]-이중-동조 필터 2대 스위치 ON

● 해남 정류기 측에서 운전되는 필터

해남의 SCR은 표 3에서도 보여주는 바와 같이 큰 강도를 가지고 있기 때문에 고조파 필터와 이중-동조 필터 그리고 콘덴서 뱅크만이 설치되어 있고 150[MW]의 전력이 전송되는 경우에 필터의 스위칭 상태는 다음과 같다.

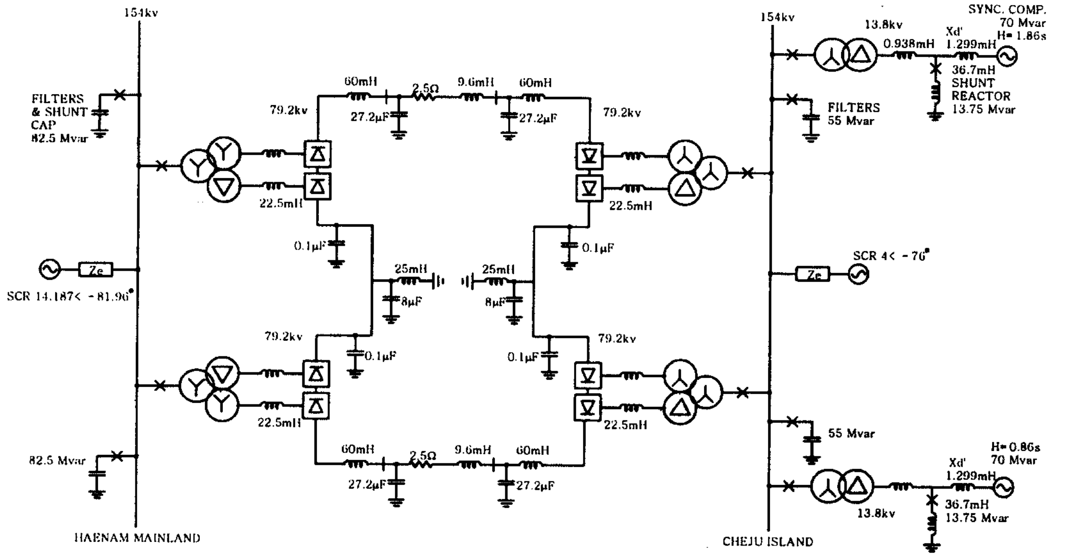


그림 11 제주-해남 HVDC 단 결선도

Fig. 11 Cheju-Haenam HVDC schematic diagram

3.3 시뮬레이션 결과 검토

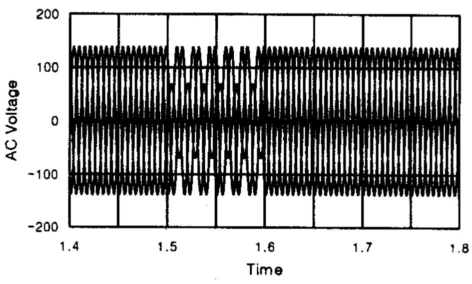
본 논문에서 수행한 시뮬레이션의 조건은 한 Pole의 정격 전압이 180[kV]이며 정격전류는 150[MW]를 정격 용량으로 가정하여 416[A]로 산정 하였으며 변압기의 포화특성이나 AC 계통의 고조파 특성 그리고 Pole사이에서 생길 수 있는 전류 불평형은 무시하였다. 그리고 본 논문에서 보여 주는 여러 가지 고장 사례는 모두 1.5초에서 1.6초까지 0.1초 동안 지속되는 것으로 가정하였으며 과도 무효전력 보상을 위한 동기조상기는 1대 만이 운전되는 것을 가정하였다. 또한 그림 11에서 보여주는 HVDC 시스템의 단결선도는 최대 300[MW]최대 용량을 가정한 것으로 실제적으로 150[MW]를 기준으로 하는 경우에는 필터에 의한 무효 전력 보상 값은 다음과 같다.

● 제주 인버터 측에서 운전되는 필터와 리액터

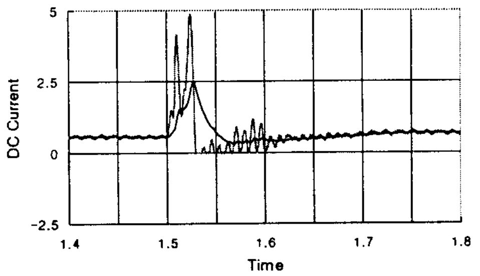
제주는 해남에 비하여 계통의 강도가 약하기 때문에 그림 11에서 보는 바와 같이 동기조상기용 변압기 2차측에 계통의 단락비를 증가시키기 위한 리액터가 존재한다. 이 리액터는 필터와 마찬가지로 계통의 부하 조건에 의해 스위칭이 되는 것으로 150[MW]의 전력이 전송되는 경우의 필터와 리액터의 스위칭 상태는 다음과 같고 필터와 리액터에 의한 무효전력 보상량은 82.5[Mvar]가 된다.

- 13.75[Mvar](36.7mH)리액터 2대 스위치 ON
- 27.5[Mvar]-이중-동조 필터 2대 스위치 ON
- 27.5[Mvar]-고조파 필터 2대 스위치 ON

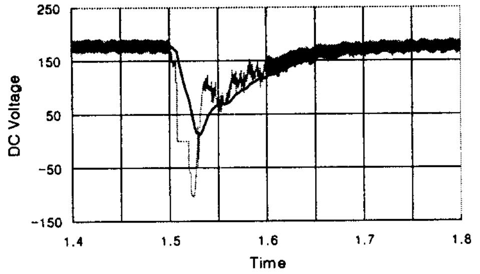
그림 12는 제주 AC 계통에서 1 선 지락이 발생했을 때 HVDC 시스템의 제어특성을 보여 주고 있다. 그림 12 b), c) e) 그리고 f)에서 회색 파형은 실제 파형을 보여 주고 있으며 검은색 실 선은 필터링 된 값을 보여 주고 있다. HVDC 시스템에서 인버터 측, AC 계통의 1선 지락 사고는 HVDC 시스템에서 가정할 수 있는 가장 가혹한 고장으로 그림 12 b)에서 보는 바와 같이 5[kA]에 해당하는 순시 과도 전류를 유발한다.



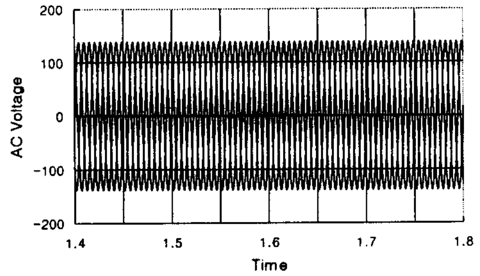
a) 제주 AC 전압



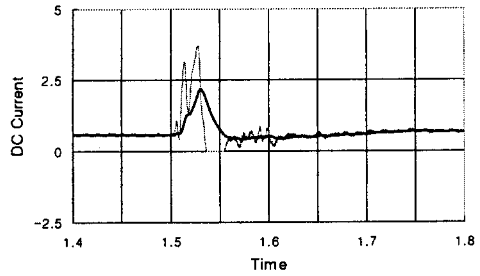
b) 제주 인버터 DC 전류



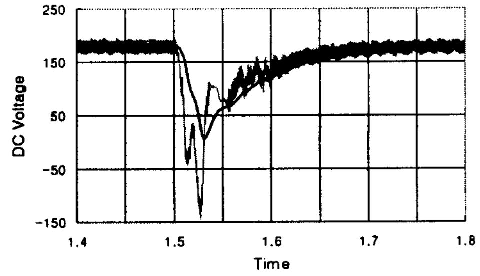
c) 제주 인버터 DC 전압



d) 해남 AC 전압



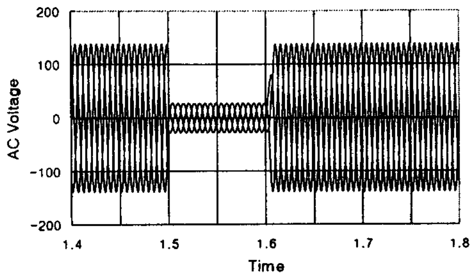
e) 해남 정류기 DC 전류



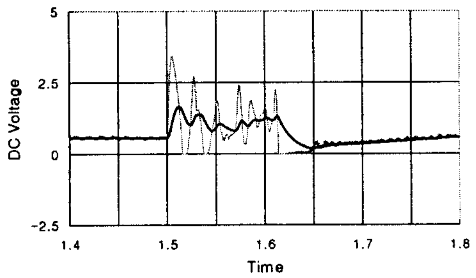
f) 해남 정류기 DC 전압

그림 12 제주 인버터 단에서 AC 계통의 단상 지락

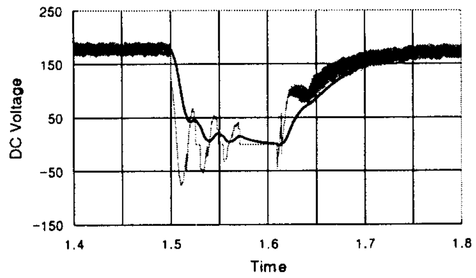
Fig. 12 Single-phase AC fault at Cheju inverter side



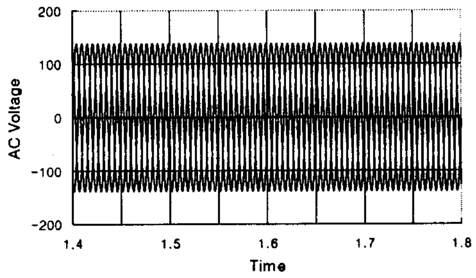
a) 제주 AC 전압



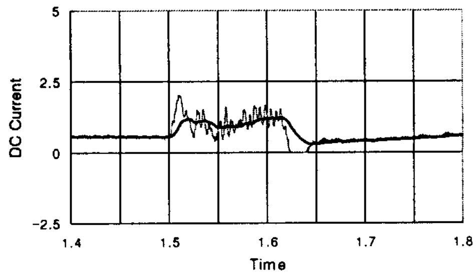
b) 제주 DC 전류



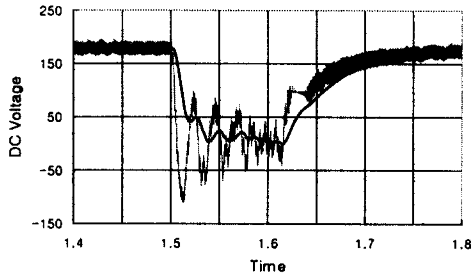
c) 제주 DC 전압



d) 해남 AC 전압



e) 해남 DC 전류



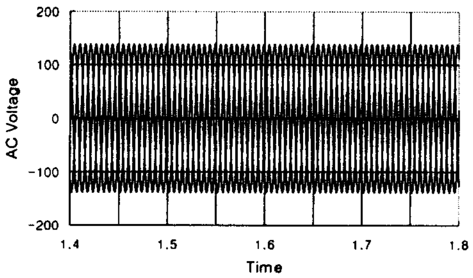
f) 해남 DC 전압

그림 13 제주 인버터 측에서 AC 계통의 3상 지락

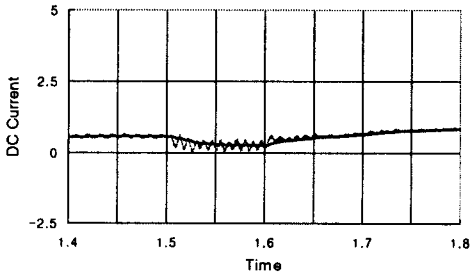
Fig. 13 Three-phase AC Fault at Cheju inverter side

그리고 과도한 전류를 줄이기 위해서 제주 인버터는 정류기 동작을 하고 해남 정류기는 인버팅 동작을 하는 것을 볼 수 있다. 그림 12 b)와 그림 12 e)를 비교해 보면 전류의 크기나 파형이 다른 것을 알 수 있는데 이것은 정류기와 인버터를 연결하는 케이블이 높은 콘덴서 성분과 리액터 성분을 가지고 있기 때문에 생기는 현상이다. 그리고 그림 12 c)에서 인버터의 DC 전압에 많은 고조파가 나타나지 않는 이유는 제주 인버터의 VDCL(Voltage Dependant Current Limit) 특성곡선이 Bang-Bang타입이 아니라 Ramp 타입이기 때문이다.

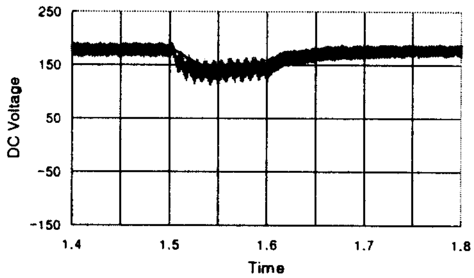
그림 13은 제주 인버터 AC 계통에서 3상 지락 사고가 발생한 것을 모의 한 것으로 이 경우에는 인버터 단의 DC 전압은 정류기 단의 전압이 그대로 걸리는 경우이며 해남 정류기는 전압제어모드에서 전류 제어모드로 제어모드가 바뀌게 된다. 또한 그림 13 b)와 그림 e)의 파형을 비교해 보면 제주 DC 전류가 더 높은 과 전류를 흐리고 있는데 이는 케이블에 충전된 전류가 제주에 쏠려 들어온 결과이다.



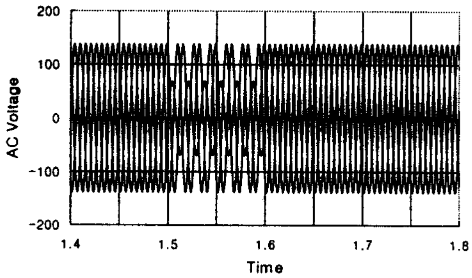
a) 제주 AC 전압



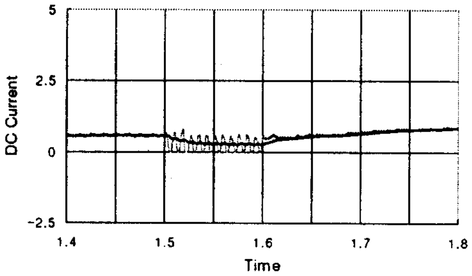
b) 제주 DC 전류



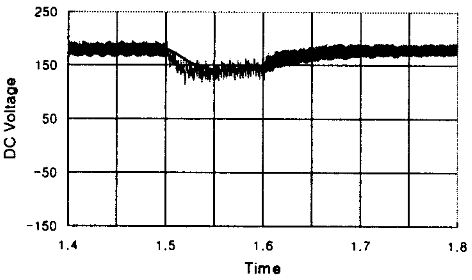
c) 제주 DC 전압



d) 해남 AC 전압



e) 해남 DC 전류



f) 해남 DC 전압

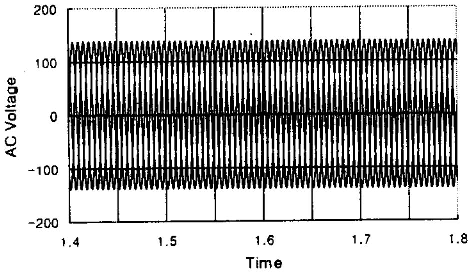
그림 14 해남 정류기 AC 계통의 단상 지락

Fig. 14 Single-phase AC fault at Haenam rectifier side

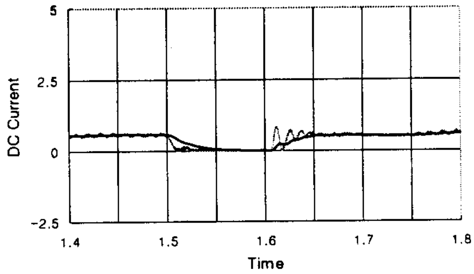
그림 14는 해남 측의 AC 계통에 1선 지락 사고가 발생한 경우를 모의 한 것으로서 그림 12와 13에서 보는 것과 같은 심각한 현상은 발견되지 않는다. 이러한 현상은 정류기는 정류실패(Commutation Fail)를 일으키지 않기 때문에 그림 14 f)에서 보는 바와 같이 DC 전압이 많이 떨어지지 않고 고장이 제거된 후에는 신속한 동작으로 고장이전의 상태로 돌아가기 때문이다.

그림 15는 해남 측의 AC 계통에 3상 지락 사고가 발생한 경우를 모의 한 것으로 그림 15 f)에서 보는 바와 같이 고장이 발생한 후에 계속적으로 DC 전압이 감소하는 것을 볼 수 있으며 전압 감소의 기울기는 케이블의 시정수에 의해 결정되고, 고장이 복구된 경우에는 해남의 DC 전류가 갑자가 써지 형태를 보이고 있다. 이러한 이유는 고장 시에는 해남의 정류기가 낮은 점호 각 상태로 존재하다가 고장이 복구된 후에 2~3개의 점호 펄스가 AC 계통의 전압이 변하는 비율을 추종하지 못하기 때문에 발생되는 현상이다.

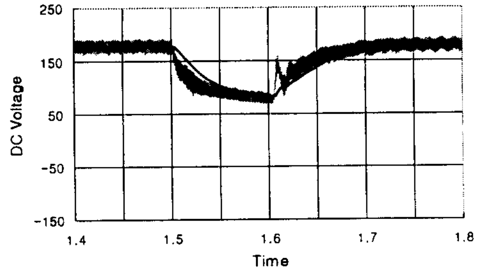
이상에서 살펴 본 것으로부터 우리는 몇 가지의 사실을 추종할 수 있다. 첫째로 정류기에서 고장이 발생하는 현상보다 인버터에서 고장이 발생하는 현상이 HVDC 시스템에서는 더 치명적이며, 본 논문에서는 보여주지 않았으나 정격용량으로 운전되는 것 보다 낮은 용량에서 HVDC가 운전될 때 인버터 측에서 AC 고장이 발생되면 더 치명적인 파급효과가 생길 수 있다는 사실이다. 이는 DC전송은 전압의 크기에 의해 전력이 전송되기 때문에 높은 용량에서 보다 낮은 용량에서 인버터 단의 전압이 더 높게 유지되기 때문에 인버터 단의 AC 전압이 흔들리면 더 큰 써지 전류가 흐를 수 있기 때문이다.



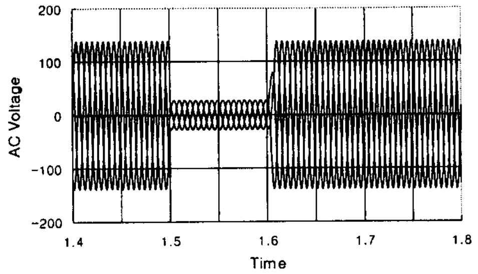
a) 제주 AC 전압



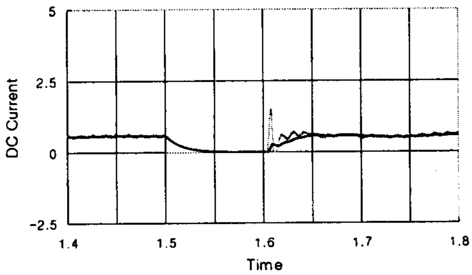
b) 제주 DC 전류



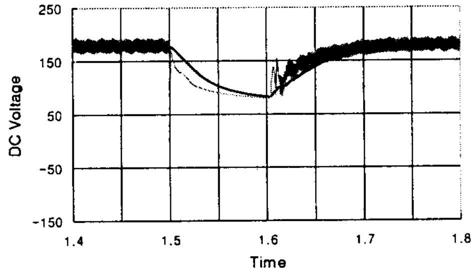
c) 제주 DC 전압



d) 해남 AC 전압



e) 해남 DC 전류



f) 해남 DC 전압

그림 15 해남 정류기 AC 계통의 3상 지락

Fig. 15 Three-phase AC Fault at Haenam inverter side

4. 결 론

본 논문에서는 제주-해남 HVDC 시스템의 과도 특성을 분석하기 위해서 PSCAD/EMTDC모델을 개발하였다. 개발된 모델은 Pole 제어기와 Phase 제어기 그리고 보호 회로의 상세한 모델이 필요하며, 비 선형 특성을 가진 모델을 고려하였으며 시뮬레이션의 정밀도를 높이기 위해서 고장 분석 자료를 활용하였다.

결론적으로 본 논문은 제주-해남 HVDC 시스템의 제어 구조와 과도 특성을 분석하는 자료로 폭 넓게 이용될 것이며 HVDC 시스템이 연결된 AC 계통을 연구하는 문제는 차후의 연구과제로 남겨 두기로 하겠다.

참 고 문 헌

[1] *제주-해남 HVDC 설명서*, GEC Alstom, 1993.

[2] J. D. Ainsworth, "Developments in the Phase Locked Oscillator Control System for HVDC and Other Large Converters", GEC Report, 1970.

[3] O.B. Nayak, A.M. Gole, et. al, "Dynamic Performance of Static and Synchronous Compensators at HVDC Inverter Bus a very Weak AC System", IEEE Transactions on Power Systems, Vol.9. No.3, pp.1350-1358, 1994.

[4] P. Kunder, *Power system stability and control*, Mcgraw-Hill, 1996.

[5] *High-Voltage Direct Current Handbook*, EPRI TR-104166S, 1994.

[6] P.C. SEN, "Thyristor DC Drive", A Wiley- Interscience Publication, 1981

[7] R.W. Wachal, G.B. Mazure etc, al "Application of Electromagnetic Transient Simulation for the Solution of HVDC Control Problem", IEEE Wescanex'95 Proc., 1995, pp. 283~pp.311.

저 자 소 개

김 찬 기 (金 燦 起)

1968년 12월 17일생. 충북 충주. 1991년 서울 산업 대학교 전기공학과 졸업(학사). 1993년 중앙대학교 대학원 전기공학과 졸업(석사). 1996년 중앙대학교 대학원 전기공학과 졸업(박사). 1996년 전력연구원 입사, 현재 전력연구원 선임연구원

Tel : 042-863-7826, Fax : 042-863-5844

E-mail : ckkim@kepri.re.kr