

## 실리사이드를 이용한 새로운 고내구성 실리콘 전계방출소자의 제작

장지근 · 윤진모 · 정진철 · 김민영  
단국대학교 전자공학과

### Fabrication of New Silicided Si Field Emitter Array with Long Term Stability

Gee Keun Chang, Jin Mo Yoon, Jin Cheol Jeong, and Min Young Kim  
Dept. of Electronic Engineering, Semiconductor Lab. Dankook University, Cheonan 330-714

(1999년 9월 9일 받음, 1999년 12월 16일 최종수정본 받음)

**초 록** Si FEA로부터 tip의 표면을 Ti 금속으로 silicidation한 새로운 3극형 Ti-silicided Si FEA를 제작하고 이의 전계 방출특성을 조사하였다. 제작된 소자에서 단위 pixel (pixel area :  $1000\mu\text{m} \times 1000\mu\text{m}$ , tip array :  $200 \times 200$ )을 통해 측정된 전계 방출 특성은  $10^{-6}$ Torr의 고진공 상태에서 turn-on 전압이 약 70V로, 아노드 방출전류의 크기와 current degradation이  $V_A = 500\text{V}$ ,  $V_G = 150\text{V}$  바이어스 아래에서 각각 2nA/tip와 0.3%/min로 나타났다. 3극형 Ti-silicided Si FEA의 낮은 turn-on 전압과 높은 전류안정성은 Si tip 표면에 형성된 실리사이드 박막의 열화학적 안정성과 낮은 일함수에 기인하는 것으로 판단된다.

**Abstract** A new triode type Ti-silicided Si FEA(field emitter array) was realized by Ti-silicidation of Ti coated Si FEA and its field emission properties were investigated. In the fabricated device, the field emission properties through the unit pixel with  $200 \times 200$  tip array in the area of  $1000\mu\text{m} \times 1000\mu\text{m}$  were as follows: the turn-on voltage was about 70V under high vacuum condition of  $10^{-6}$ Torr, and the field emission current and steady state current degradation were about 2nA/tip and 0.3%/min under the bias of  $V_A = 500\text{V}$  and  $V_G = 150\text{V}$ . The low turn-on voltage and the high current stability during long term operation of the Ti silicided Si FEA were due to the thermal and chemical stability and the low work function of silicide layer formed at the surface of Si tip.

**Key words**: Ti-silicided Si FEA, turn-on voltage, field emission current, silicidation, stability

### 1. 서 론

FED 구조에서 형광체로부터 나오는 빛의 밝기는 입계 전압 이상에서는 이미터 방출전류밀도에 비례하므로 고품질 FED를 제작하기 위해서는 대면적에 고내구성, 저전압 구동특성을 지녀야 하고 높은 방출전류밀도와 tip의 균일성 및 고밀도 어레이의 구성이 필요하다.

이상적인 전계방출 tip의 재료로는 높은 전자 방출량에 견딜 수 있는 고용융점의 물질과 낮은 일함수의 물질, 그리고 진공상태에서의 낮은 증기압 (low vapor pressure) 등을 갖는 물질이 우선 고려된다. 지금까지 전세계적으로 molybdenum, silicon, DLC (diamond-like carbon) 등과 같은 물질을 이미터 재료로 사용하여 vertical type 및 lateral type을 포함하는 여러 형태의 전계 방출소자가 연구되어 왔다.<sup>1-3)</sup> 내열성 금속 (W, Mo, etc)은 높은 용융점과 낮은 증기압을 갖고 있으나 공정이 까다롭고, 실리콘은 내열성 금속에 비해 낮은 용융점과 높은 증기압을 가지나 공정이 쉽고, 반도체 공정에 의해 최저의 tip 반경을 갖는 고밀도 어레이의 실현이 가능한 물질로 평가되고 있다. 그러나, 순수 Si를 tip 재료로 사용하면 표면상태 결합과 높은 일함수로 인해 전자방출효과가 작게 나타나고 장시간 사용시 산화 및 열화에 의한 신뢰성 문제가 제기된다.<sup>4,5)</sup> 최근에

는 낮은 일함수를 갖는 이미터 재료로 DLC를 이용한 전계 방출소자가 활발히 연구되고 있으나<sup>6,7)</sup> 이는 제조단가의 상승과 함께 3극 구조의 실현이 어려워 제품의 상품화에 어려움이 뒤따를 것으로 예상된다. Si FEA는 일반적으로 금속 재료의 FEA에 비해 tip 어레이 밀도를 증가시킬 수 있고 제조공정이 간단하나 장시간 사용시 Si tip의 표면상태 변화로 전자방출 전류의 불안정한 특성을 나타내게 된다. 이에 따라 Si FEA가 실용화되기 위해서는 높은 전자방출 전류와 안정성, 신뢰성에 있어서 획기적인 개선을 가져올 수 있는 새로운 구조의 연구가 필요하다. 실리사이드 재료는 일반적으로 Si에 비해 일함수가 낮으며 열화학적으로 매우 안정된 특성을 갖고 있어 실리사이드 재료로 전계방출 특성을 제작할 경우<sup>8,9)</sup>, 전계방출 전류밀도의 증가와 전류안정성에 있어서 개선이 기대된다. 본 연구에서는 Si FEA 구조로부터 tip의 표면을 Ti-silicidation하여 열·화학적 내구성을 증가시키고 오랜 구동시간을 통해 높은 전류안정성을 가져올 수 있는 새로운 3극형 Ti silicided Si FEA를 제작하였다. Si tip을 Ti-silicidation할 경우에 Ti 금속은 silicidation과정에서 Si tip의 표면에 존재할 수 있는 자연 산화막을 분해시키므로 다른 금속의 실리사이드 박막에 비해 비교적 깨끗하고 균일한 실리사이드 박막을 얻을 수 있다.

### 2. 실험 방법

Si 웨이퍼 ( $n^+$ -type (100),  $\rho \approx 0.01 \Omega \cdot \text{cm}$ ) 에 열산화 방법으로 약 6000 Å 두께의  $\text{SiO}_2$ 를 성장시키고 photolithography를 통해  $1000\mu\text{m} \times 1000\mu\text{m}$  pixel 영역에 직경  $2\mu\text{m}$  크기의  $200 \times 200$  oxide array를 형성하였다. 이후 RIE (reactive ion etching) 방식을 이용하여  $\text{SF}_6 + \text{O}_2$  (20%), 120W, 20mTorr 조건으로 약  $1.5\mu\text{m}$  깊이의 Si를 에칭하였다. 이후 re-oxidation 방식 ( $1100^\circ\text{C}$ , dry  $\text{O}_2$ ) 으로 Si tip을 첨예화 (sharpening) 하고 게이트 절연막으로 약  $1.2\mu\text{m}$ 의  $\text{SiO}_2$ 막을 진공증착하였다. 게이트 절연재료는 CERAC 제품의 순도 99.95%의  $\text{SiO}_2$ 를 사용하였다.

다음으로 게이트 절연막의 누설특성 (leakage characteristics)을 개선하기 위해  $950^\circ\text{C}$ 에서 Dry  $\text{O}_2$  분위기로 1시간 동안 밀화 (densification) 공정을 수행하였으며, 게이트 전극의 형성을 위해 약 3000 Å 두께의 Mo 금속을 진공증착 하였다. Mo 증착과정에서 금속막의 두께가 지나치게 두꺼울 경우 Mo 박막의 스트레스 증가로 인해 게이트 전극이 갈라지는 현상이 나타나며, 얇게 증착될 경우 팁 끝을 게이트 금속의 높이와 일치시키기가 어렵다.

게이트 금속을 증착한 후 전극의 접촉특성을 개선하기 위해  $600^\circ\text{C}$ 에서 30초간 RTA 공정을 실시하였으며 BHF ( $\text{HF}:\text{NH}_4\text{F}=1:7$ ) 용액에서 lift-off 공정으로 emitter tip 주위의 산화막을 선택적으로 제거하여 3극형 Si FEA 구조를 실현하였다.

공정의 마지막 단계로, E-beam evaporation 방식으로 약 200 Å 두께의 Ti 금속을 증착하였으며, Si tip에 증착된 Ti 금속을 silicidation하기 위해 RTA 장비에서 질소분위기로 2단계 열처리 (first annealing :  $600^\circ\text{C}/20\text{sec}$ , second annealing :  $800^\circ\text{C}/20\text{sec}$ )를 실시하였다. silicidation 과정에서 반응되지 않은 Ti 금속은  $\langle \text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:5 \rangle$  용액에서 선택 제거되었다. 그림 1에서는 3극형 Ti-silicided Si FEA의 공정순서도를 보여주고 있다.

### 3. 결과 및 고찰

Si tip 표면의 Ti-silicidation 상태를 알아보기 위해 dummy 웨이퍼상에 동일조건으로 제작한 Ti-실리사이드 박막의 전기, 결정학적 특성을 조사하였다.

In-line 4-탐침법으로 Ti-실리사이드 박막의 비저항을 측정한 결과 약  $20\mu\Omega\text{-cm}$ 로 나타났고, XRD [장비명: SCINTAG XDS2000] 분석에서 결정상은 그림 2와 같이 C54 (040) 방향으로 성장되었다.

실제로, tip 표면에서 silicidation은 표면을 따라 증착되는 금속박막의 두께 차이로 dummy 웨이퍼에서의 경우와 다소 차이를 보일것으로 예상되나 tip 표면을 따라 Ti 금속이 전체적으로 덮히기만 하면 증착 두께에 관계없이  $\text{TiSi}_2$  박막이 Si tip의 표면을 따라 골고루 형성될 것으로 판단된다.

그림 3은 제작이 완성된 소자의 SEM [장비명: JEOL

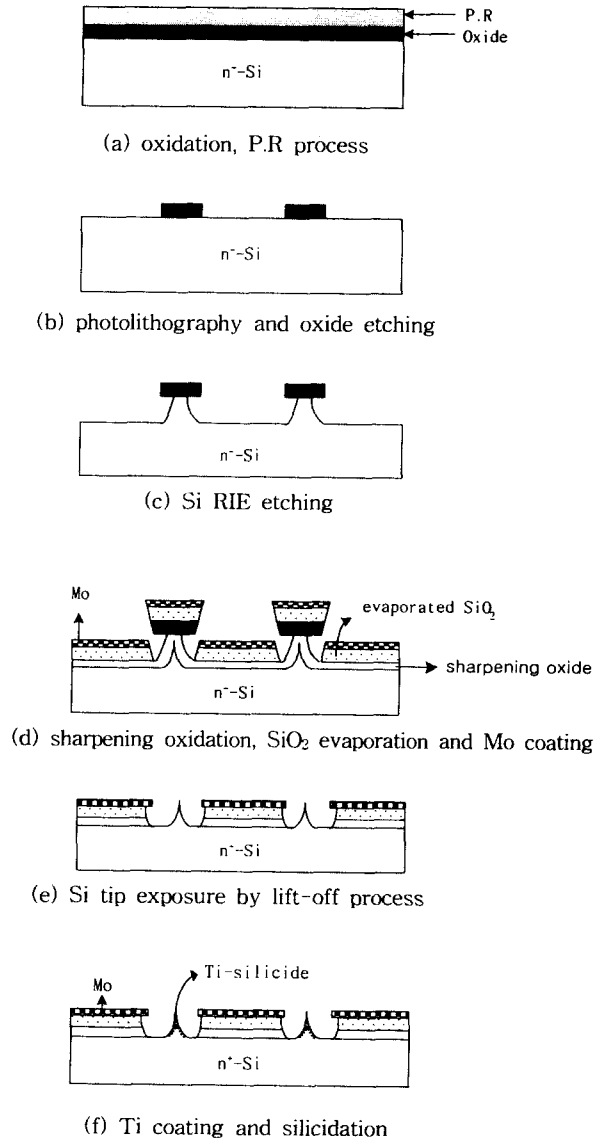


Fig. 1. Cross-sectional views on the process of the triode type Ti silicided Si FEA.

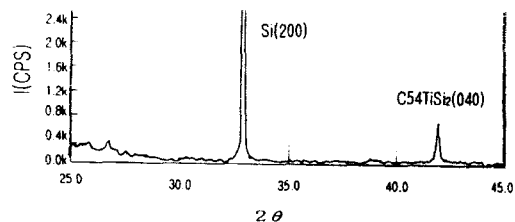


Fig. 2. XRD diffraction patterns of the Ti-silicided Si region.

JSM840-A] 사진을 보여주고 있다. SEM 사진에서 보는 바와 같이 Ti-silicided emitter tip은 매우 첨예하게 형성되고 tip 어레이의 상태도 비교적 균일하게 나타나고 있는 것을 관찰할 수 있다.

시료의 전기적 특성을 알아보기 위해  $10^{-8}\text{Torr}$ 의 고진공 시스템에서 아노드-게이트 전극간의 거리를 약  $100\mu\text{m}$ 로 유지하고 아노드에 500V의 전압을 인가하여 게이트전압 변화에 따른 전계방출 전류특성을 측정하였다. 그림 4는 제

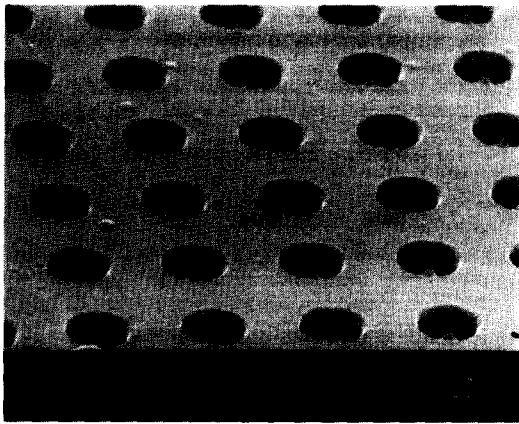


Fig. 3. SEM micrograph of the Ti-silicided Si FEA.

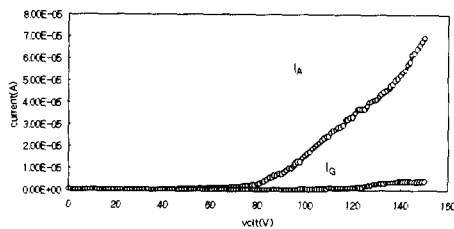


Fig. 4. Field emission currents according to gate voltages at the anode voltage of 500V under the pressure of  $10^{-8}$ Torr.

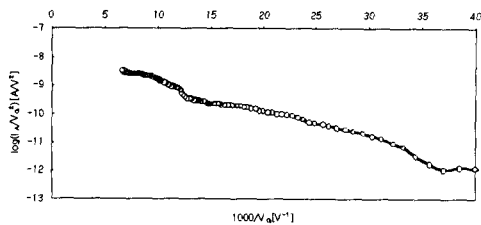


Fig. 5. Fowler-Nordheim plot of anode current.

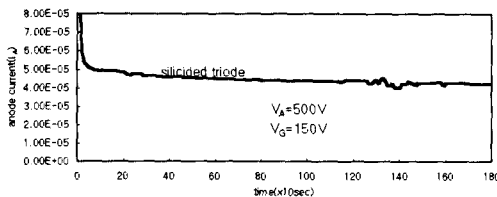


Fig. 6. Current variations according to the operation time.

작된 소자의 게이트전압에 따른 아노드 전류 ( $I_A$ ) 및 게이트 전류 ( $I_G$ )를 측정된 곡선이다.

실험에서 아노드에 전계방출 전류가 흐르기 시작하는 turn-on 전압은 약 70V였고, 게이트 전압 150V에서 전자 방출 전류값은 약 2nA/tip으로 나타났다.

그림 5는 그림 4의 아노드 전류-전압특성을 Fowler-Nordheim 구성으로 나타내어 제작된 소자의 전계방출 전류특성을 확인한 것이다.<sup>10)</sup>

그림 6은 전계방출소자의 장시간 동작에서 tip의 내구성과 안정성을 알아보기 위해 인가전압을 150V로 하여 30분

동안 아노드전류의 변화를 측정된 결과이다.

이 그림에서 볼수 있듯이 아노드 전류의 변화는 초기 과도상태를 제외하면 30분간의 동작시간을 통해 거의 degradation 없이 안정된 전류특성 (current degradation rate : 0.3%/min)을 보이고 있다.

본 연구에서의 3극형 Ti-silicided Si FEA는 높은 전류 안정성과 낮은 turn-on 전압을 나타내고 있는데 비해 전자 방출 전류밀도는 낮게 나타나고 있다. 3극형 Ti silicided Si FEA의 낮은 turn-on 전압과 안정된 전류특성은 Si tip의 표면에 형성된 실리사이드 박막의 열화학적 안정성과 낮은 일함수에 기인하는 것으로 생각된다. 제작된 소자에서 전자방출 전류밀도가 낮게 나타나는 것은 표면 누설전류의 생성 및 게이트 절연막의 전자선 증착으로 인한 tip과 게이트 전극간의 넓은 간격 등에 원인이 있는 것으로 판단된다.

이에 따라 Ti-silicided Si FEA는 공정여건의 개선과 함께 전자방출 전류밀도를 증가시킬 수 있을 경우, 낮은 turn-on 전압과 높은 내구성 그리고 Si 공정기술에 의한 고밀도 tip 어레이를 실현할 수 있어 고성능 field emitter array로서 제작이 기대된다.

#### 4. 결 론

본 연구에서는 conventional 구조의 Si FEA로부터 Si tip의 표면을 Ti-silicidation하여 전계방출소자의 전기적 특성을 개선하고자 하였다.  $10^{-8}$ Torr의 고진공 상태에서 아노드와 게이트 사이의 거리를 약 100 $\mu$ m로 유지하고 전계 방출특성을 측정된 결과, 게이트 turn-on 전압이 약 70V, 아노드 전류와 전류 변동률이  $V_A=500V$ ,  $V_G=150V$ 의 바이어스 아래에서 각각 2nA/tip와 0.3%/min로 나타났다. 실험을 통해 제작된 소자는 낮은 turn-on 전압과 우수한 current degradation 특성을 보이고 있으나 전자방출 전류의 크기는 비교적 낮게 나타났다.

Ti-silicided Si FEA의 전계방출 특성개선은 Si tip 표면에 형성된 실리사이드 박막의 높은 열화학적 안정성 및 낮은 일함수에 기인하며, 제작된 소자에서 낮은 전자방출 전류는 게이트 표면의 누설전류와 SiO<sub>2</sub>막의 전자선 증착으로 인한 tip과 게이트 전극간의 넓은 간격 등에 원인이 있는 것으로 판단된다.

결론적으로 Ti-silicided Si FEA는 Si 공정기술의 장점을 그대로 살릴 수 있을뿐만 아니라 공정여건이 개선될 경우 전자방출전류의 증가와 함께 낮은 turn-on 전압, 높은 전류 안정성 등의 특성개선으로 앞으로 새로운 고성능 field emitter array의 구조로서 활용이 기대된다.

#### 감사의 글

이 논문은 1997년도 교육부 반도체분야 학술연구조성비 (과제번호 : ISRC 97-E-4414)에 의해 연구되었으며, 이에 감사드립니다.

#### 참고문헌

1. C. A. Spindt, I. Brodie, L. Humphrey, and E. R.

- Westerberg, *J. Appl. Physics*, **47**(12), pp.5248-5263, (1976).
2. I. Brodie and P. R. Schwoebel, *Proc. of IEEE*, **82**(7), pp.1005-1034, (1994).
  3. S. Iannazzo, *Solid-State Electronics*, **36**(3), pp.301-310, (1993).
  4. C. C. Wang, T. K. Ku, L. J. Hsieh, and H. C. Cheng, *Jpn. J. Appl. Phys.*, **35**(6A), pp.3681-3685, (1996).
  5. E. J. Chi, J. Y. Shim, and H. K. Baik, *The 9th Int. Vac. Microelec. Conf.*, pp.188-191, (1996).
  6. E. G. Zaidman, *IEEE Trans. Electron Devices*, **40**(5), pp.1009-1016, (1993).
  7. W. S. Lee, Jin Yu, and J. G. Kim, *The 18th Int. Display Research Conf.*, pp.681-684, (1998).
  8. M. Takai, T. Iriguchi, H. Morimoto, A. Hosono, and S. Kawabuchi, *IDW'97*, pp.759-762, (1997).
  9. C. M. Park, M. S. Lim, and M. K. Han, *Physica Scripta*, **T79**, pp.327-329, (1999).
  10. 이종덕, 전계방출 이론 및 응용, 청범출판사, (1998).