

## 스퍼터링으로 제조된 니켈실리사이드의 미세구조 및 물성 연구

안영숙 · 송오성 · 이진우  
서울시립대학교 재료공학과

### Microstructure Evolution and Properties of Silicides Prepared by dc-sputtering

Young-Suk Ahn, Oh-Sung Song and Jin-Woo Lee

Dept. of Materials Science and Engineering, 90 Cheonnong-dong, Tongdaemun-gu, Seoul 130-743

(2000년 5월 17일 받음, 2000년 7월 27일 최종수정본 받음)

**초 록** Ni mono-silicide는 선폭이  $0.15\mu\text{m}$  이하에서도 전기저항이 커지는 현상이 없고 Ni와 Si이 1:1로 반응하기 때문에 얇은 실리사이드의 제조가 가능하고 도펀트의 재분포 현상을 감소시킬 수 있다. 따라서  $0.15\mu\text{m}$  이하 디바이스에 사용이 기대되는 NiSi의 제조를 위한 Ni박막의 증착조건 확보와 열처리 조건에 따른 NiSi의 기초 물성조사를 수행하였다. Ni silicides는 sputter의 물리적 증착방법으로 Ni박막을 증착후 관상로를 사용하여  $150\sim 1000^\circ\text{C}$  온도 범위에서 제조하였다. 그 후 SPM을 이용하여 각 시편의 표면조도를 측정하였고, 미세구조와 성분분석은 EDS가 장착된 TEM을 사용하여 측정하였다. 각 열처리 온도별 생성상의 전기적 성질은 4 point probe로 측정하였다. 본 연구의 결과, SPM은 비파괴 방법으로 NiSi가 NiSi<sub>2</sub>로 변태되었는지 확인할 수 있는 효과적인 공정모니터링 방법임을 확인하였고,  $800^\circ\text{C}$  이상 고온 열처리에 잔류 Ni의 산화방지를 위해 산소분압의 제어가  $\text{Po}_2 = 1.5 \times 10^{-11}\text{ torr}$  이하가 되어야 함을 알 수 있었으며, 전기적 특성실험으로부터 본 연구에서 제조된 박막의 NiSi $\rightarrow$ NiSi<sub>2</sub> 상변태온도는  $700^\circ\text{C}$ 라고 판단되었다.

**Abstract** Nickel mono-silicide(NiSi) shows no increase of resistivity as the line width decreases below  $0.15\mu\text{m}$ . Furthermore, thin silicide can be made easily and restrain the redistribution of dopants, because NiSi is created through the reaction of one nickel atom and one silicon atom. Therefore, we investigated the deposition condition of Ni films, heat treatment condition and basic properties of NiSi films which are expected to be employed for sub-  $0.15\mu\text{m}$  class devices. The nickel silicide film was deposited on the Si wafer by using a dc-magnetron sputter, then annealed at the temperature range of  $150\sim 1000^\circ\text{C}$ . Surface roughness of each specimen was measured by using a SPM (scanning probe microscope). Microstructure and qualitative composition analysis were executed by a TEM-EDS(transmission electron microscope-energy dispersive x-ray spectroscopy). Electrical properties of the materials at each annealing temperature were measured by a four-point probe. As the results of our study, we may conclude that; 1. SPM can be employed as a non-destructive process to monitor NiSi/NiSi<sub>2</sub> transformation. 2. For annealing temperature over  $800^\circ\text{C}$ , oxygen pressure( $\text{Po}_2$ ) should be kept below  $1.5 \times 10^{-11}\text{ torr}$  to avoid oxidation of residual Ni. 3. NiSi to NiSi<sub>2</sub> transformation temperature in our study was  $700^\circ\text{C}$  from the four-point probe measurement.

**Key words** : Ni mono-silicide, NiSi/NiSi<sub>2</sub>, transmission, scanning probe microscope(SPM), transmission electron microscope-energy dispersive x-ray spectroscopy(TEM-EDS), microstructure

### 1. 서 론

반도체 소자의 집적도가 증가하면서 MOSFET (metal oxide semiconductor field effect transistor) 의 선폭(channel length) 이 감소함에 따라  $0.30\mu\text{m}$  이하의 좁은 선폭에서도 전기저항이 작아 스피드의 증가를 가져오는 실리사이드(silicide) 물질의 개발이 필요하다.<sup>1~5)</sup> 반도체 디바이스의 제조공정에서 실리사이드물질은 웨이퍼 전면에 전기금속을 물리적인 방법으로 성막하고 열처리를 통하여 소오스(source)와 드레인(drain)의 활성화영역(active area)과 게이트(gate) 상부의 실리온이 노출되어 있는 부분만을 선택적으로 반응시켜 실리사이드를 제조하고 잉여의 전기금속을 습식으로 선택적으로 제거하여 스스로 선택

적 정렬이 가능한 살리사이드(self aligned silicide)라고 하는 공정을 통해서 쉽게 제조가 가능한 이점이 있다. 이러한 살리사이드 공정에서 실리사이드는 접합 두께(junction depth)의 감소와 측면 확산(lateral diffusion)의 방지에 의해 도펀트(dopant)의 재분포를 방지하여 MOSFET의 단채널효과(short channel effect)를 감소시킬 수 있는 성질이 요구된다. 현재 많이 쓰이고 있는 실리사이드 물질로는 TiSi<sub>2</sub>와 CoSi<sub>2</sub>를 들 수 있으나 다음과 같은 문제가 있는 것으로 알려졌다.<sup>1~4)</sup>

TiSi<sub>2</sub>는 가장 보편적으로 사용되는 silicide물질로서 면저항이 우수한 물질이지만 디바이스의 최소 설계기준 선폭이  $0.3\mu\text{m}$  이하에서 고저항 C49상에서 저저항 C54 TiSi<sub>2</sub>상으로 변태하는 동안 핵생성이 제한되어 면저항이 급격히 증가

하는 것으로 보고되었다.<sup>1,5-9)</sup> 반면 CoSi<sub>2</sub>는 면저항의 선폭 의존성은 훨씬 작지만 Co의 불균일한 확산반응으로 인하여 균일한 실리사이드 두께를 얻는데 기술적인 어려움이 있고, CoSi<sub>2</sub>형태로 silicide를 형성하기 위해서 mono silicide보다 더 많은 Si가 소모되는 disilicide 형태이므로 shallow junction transistor와 같은 차세대 디바이스를 위해서는 적합하지 않다.<sup>10)</sup>

이러한 기존의 실리사이드에 비해 니켈모노실리사이드는 선폭이 0.1 $\mu$ m이하에서도 면저항이 커지는 현상이 없고, Ni과 Si이 1:1로 반응하기 때문에 기존 disilicide 재료에 비해 얇은 실리사이드의 제조가 가능하며 이로 인하여 도펀트의 재분포 현상을 감소시킬 수 있어 유망한 차세대 실리사이드 재료로 기대되고 있다.<sup>10)</sup> 니켈모노실리사이드를 이용하여 고집적 로직디바이스를 제조하면 게이트와 소스/드레인부가 전기적으로 접촉하는 GSD(gate source drain) short를 방지하고, 후속 전식식각(dry etch)시의 선택비가 Si에 대해 높아 전기적·공정적으로 안정한 최소설계기준 선폭 0.15 $\mu$ m급 이하 CMOS 디바이스에서 효과적인 채용이 기대된다.<sup>11-13)</sup> 그러나 니켈모노실리사이드의 경우 공정온도가 700 $^{\circ}$ C 이상일 경우 고저항의 NiSi<sub>2</sub>로 상변태가 일어나 실제 양산용 디바이스에의 적용이 제한되는 문제가 있었다.<sup>22)</sup>

본 연구에서는 0.15 $\mu$ m급 이하 고집적 CMOS 로직디바이스의 핵심공정으로서 채용이 예상되는 니켈모노실리사이드와 그 외의 니켈실리사이드들에 대한 미세구조 및 기초적 물성연구를 실시하여 양산에 사용 가능한 니켈모노실리사이드의 제조공정을 확보하고자 하였다.

## 2. 실험 방법

### 2-1. 시편제작

그림 1에 이번 실험에서 사용된 sputter의 개략도를 도시하였다.

비저항이 6.5~11 $\Omega$ cm인 직경 4" p-type (100)Si 기판을 2.5 $\times$ 2.5cm 크기로 절단하여 사용하였다. Si기판 표면에 생성된 자연산화막은 금속을 증착하기 이전에 일련의 세척작업(cleaning)을 거친 후 실온에서 10% HF수용액으로 5분 동안 산처리하여 제거하였고, 제거 직후 스퍼터로 Si

기판 위에 Ni을 증착하였다. 증착에 사용된 Ni target의 순도는 99.9%였고, 증착된 Ni 박막의 두께는 500 $\text{\AA}$ 이었다. 스퍼터링 시 챔버 내 초기 진공도는  $1.0 \times 10^{-6}$  torr였고, 플라즈마가 형성되어 스퍼터링이 진행되는 동안의 진공도는  $3.0 \times 10^{-3}$  torr으로 유지하였다. 이 때 입력 전원은 30W로 하였고, 증착된 두께는 SPM(PSIA Autoprobe CP)을 사용하여 측정하였다.

증착된 Ni/Si시편은 관상로(tube furnace)에서 150~1000 $^{\circ}$ C의 온도로 30분간 각각 열처리하여 실리사이드들을 형성시켰다. 이 때의 관상로 내부는 N<sub>2</sub>분위기로 유지하여 표면산화를 방지하였다. 반응하지 않고 남은 Ni은 H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>(4:1)수용액으로 제거하였다.

### 2-2. 분석

#### 2-2-1. 표면 조도

스퍼터링 증착법으로 제조된 각 시편을 실온, 대기 중에서 SPM을 사용하여 5 $\mu$ m range를 scan하여 표면 조도를 측정하였다. scanning mode는 contact-AFM mode로 하였고, scanner는 100 $\mu$ m scanner를 채용하였으며, cantilever는 contact ultralever를 사용하였다. 각 시편마다 5point씩 측정하여 평균값을 측정하였다.

#### 2-2-2. 수직 단면 미세구조

스퍼터링 증착법으로 제조된 각 시편의 NiSix와 Si기판의 계면 구조 및 silicides의 두께를 확인하기 위하여 cross-sectional TEM(JEOL 2010, 200kV)분석을 실시하였다. 시편을 서로 맞붙여 절단한 후 약 20 $\mu$ m두께까지 Tripod를 이용해 연마하고 PIPS(precision ion polishing system)로 이온 밀링하였다. 또한 TEM 장치에 부가되어 있는 EDS장비를 이용하여 실리사이드상의 Ni과 Si양을 측정하여 Ni 실리사이드의 종류를 확인하였다.

#### 2-2-3. 전기적 특성

시편의 열처리 온도에 따른 면저항 값을 확인하기 위하여 four point probe(CMT-SR)로 면저항을 측정하였다. 측정범위는 0.5m $\Omega$ /sq.~2m $\Omega$ /sq.였고, 허용오차는 0.5%였다. 열처리 온도에 따른 생성되는 상에 따라 면저항이 변화를 관측하였다.

## 3. 결과 및 고찰

### 3-1. 표면조도

그림 2에 잔류 Ni 제거 전, sputter를 사용하여 제조된 Ni/Si(100) 시편의 열처리 온도에 따른 표면 미세구조를 SPM으로 관측한 표면 미세구조를 나타내었다. 잔류 Ni 제거 후의 표면 미세구조는 그림 3에 나타내었다. 표 1에는 그림 2에 나타낸 시편들의 열처리 온도에 따른 표면조도의 rms(root mean square)를 정량적으로 나타내었고, 표 2에는 그림 3에 나타낸 시편들의 열처리 온도에 따른 표면조도의 근값의 변화를 각각 나타내었다.

그림 2에는 잔류 Ni 제거 전 시편들의 표면 미세구조를 나타내었다. 그림 2(a)에는 300 $^{\circ}$ C 온도로 열처리하여 Ni<sub>2</sub>Si가 형성되었을 것으로 예상되는 시편의 표면 미세구조를 보였고, (b)에는 600 $^{\circ}$ C 온도로 열처리한 시편의 표면미

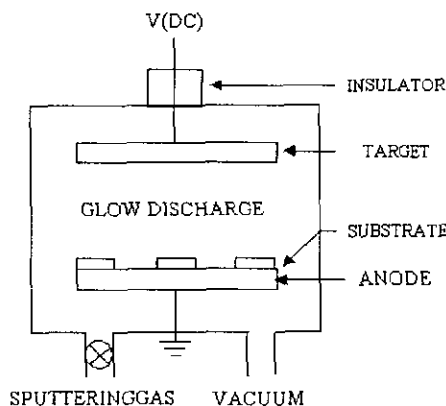


Fig. 1. Schematic illustration of sputtering system.

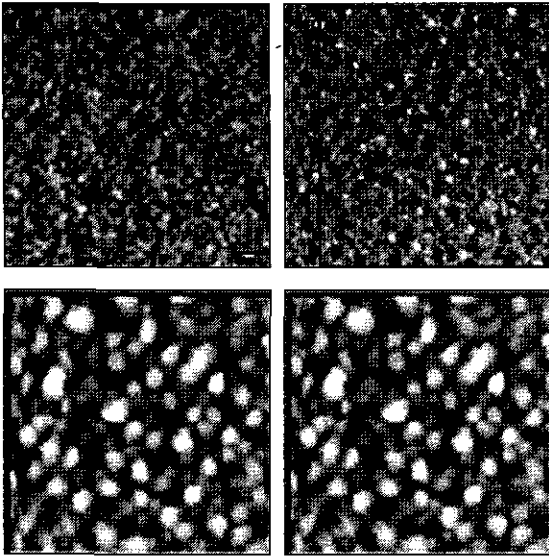


Fig. 2 SPM topographic images of surface with different annealing temperature of residual Ni; (a) 300°C (b) 600°C (c) 850°C (d) 950°C

Table 1. Rms values of surface with residual Ni at a given annealing temperature.

Annealing temperature(°C)	300	600	850	950
rms roughness(Å)	4.22	130	581	1690

Table 2. Rms values of surface without residual Ni at a given annealing temperature.

Annealing temperature(°C)	300	550	850	950
rms roughness(Å)	55.4	160	587	738

세구조를 보였고 형성된 상은 NiSi로 예상되었다. 그림 2(c)와 (d)에는 각각 850°C와 950°C로 열처리한 시편의 미세구조를 보였고 형성된 상은 모두 NiSi<sub>2</sub>로 예상되었다. 그림 2(b)와 (c)로부터 sputter로 제조된 시편에서 잔류 Ni 제거 전, NiSi가 NiSi<sub>2</sub>로 상변태가 일어나는 온도에서 표면미세구조가 조대해짐을 확인할 수 있었고, 표 1에 나타난 바와 같이 표면조도가 130Å에서 581Å으로 약 4배 변화함을 확인할 수 있었다.

그림 3에는 잔류 Ni 제거 후 시편들의 미세구조를 나타내었다. 그림 3(a)에는 300°C 온도로 열처리하여 NiSi가 형성되었을 것으로 예상되는 시편의 표면미세구조를 보였고, (b)에는 550°C 온도로 열처리한 시편의 표면미세구조를 보였고 형성된 상은 NiSi로 예상되었다. 그림 3(c)와 (d)에는 각각 850°C와 950°C로 열처리한 시편의 미세구조를 보였고 형성된 상은 모두 NiSi<sub>2</sub>로 예상되었다. 그림 3(b)와 (c)에서도 역시 NiSi가 NiSi<sub>2</sub>로 상변태가 일어나는 온도에서 표면미세구조가 조대해짐을 확인할 수 있었고, 표 2에 나타난 바와 같이 160Å에서 587Å으로 약 4배정도 변화함을 확인할 수 있었다. 상기 결과에 의해 NiSi<sub>2</sub>로의 상변태를 표면조도의 변화를 관찰하여 간접적으로 확인할

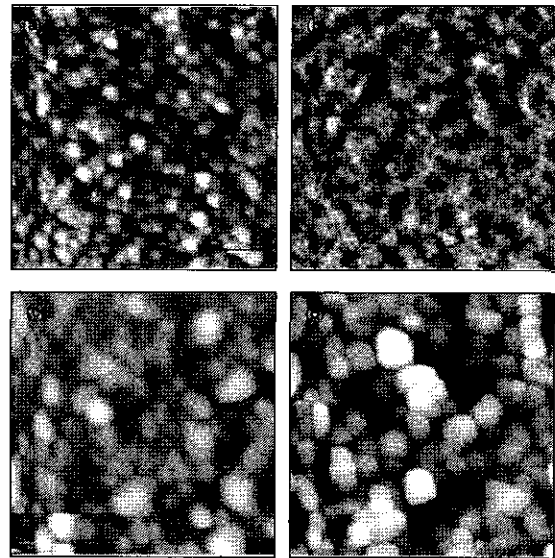


Fig. 3 SPM topographic images of surface with different annealing temperature of active Si surface (a) 300°C (b) 550°C (c) 850°C (d) 950°C

수 있다는 것을 알 수 있었다. 또한 상변태 변화 관찰 시 잔류 Ni가 존재하여도 동일한 결과를 보이므로 공정 후 잔류 Ni 제거작업 없이 바로 상변태를 확인할 수 있다는 것을 알 수 있었다. 즉 NiSi<sub>2</sub> 생성 유무의 확인은 SPM을 사용하면 잔류 Ni 제거 공정 전후에도 비파괴적으로 모니터링이 가능하다는 것을 알 수 있었다.

### 3-2. 수직단면 TEM과 EDS분석결과

그림 4와 5는 각각 sputter로 제조된 400°C와 900°C에서 열처리한 시편의 수직단면 TEM 명시야상과 각 구성층의 EDS 성분 분석결과이다.

그림 4의 (a)에서 보듯이 400°C에서 열처리한 시편은 3개의 층을 가짐을 알 수 있었고, 하부 150Å 평균두께의 생성물질은 (c)의 EDS분석에서 나타난 바와 같이 Ni와 Si의 약 1:1로 결합한 NiSi로서 비교적 균일하였고, 상부에 존재하는 물질은 (b)에서 나타난 바와 같이 실리사이드화 반응을 하지 않고 잔류한 Ni임을 확인하였다. 평균 두께 150Å로 생성된 NiSi와 잔류 Ni사이에 약 10Å 두께의 평탄한 산화막이 존재하며 이는 열충격직전에 형성된 표면산화막으로 판단되었다. 따라서 이러한 산화막 SiO<sub>2</sub>가 존재함에도 불구하고 Ni이 SiO<sub>2</sub>를 통하여 Si쪽으로 확산 이동하여 150Å±10Å 두께의 NiSi가 생성되었음을 알 수 있었다. 따라서 NiSi는 표면산화막의 제거공정이 없어도 안정한 NiSi박막을 형성시킬 수 있는 공정상 이점을 가지고 있었다.

그림 5의 (a)에서 보듯이 900°C로 열처리한 시편의 경우 400Å±200Å의 두께를 가진 실리사이드층이 생성되었고, 이 층의 생성물질은 (b)의 EDS분석에서 나타난 바와 같이 NiSi<sub>2</sub>임을 확인하였다. 미세구조적으로 200Å 정도의 두께변화를 보이므로 실제 MOSFET의 활성화 영역을 파괴할 수 있고, NiSi<sub>2</sub>가 고저항을 가지므로 공정 중에 이

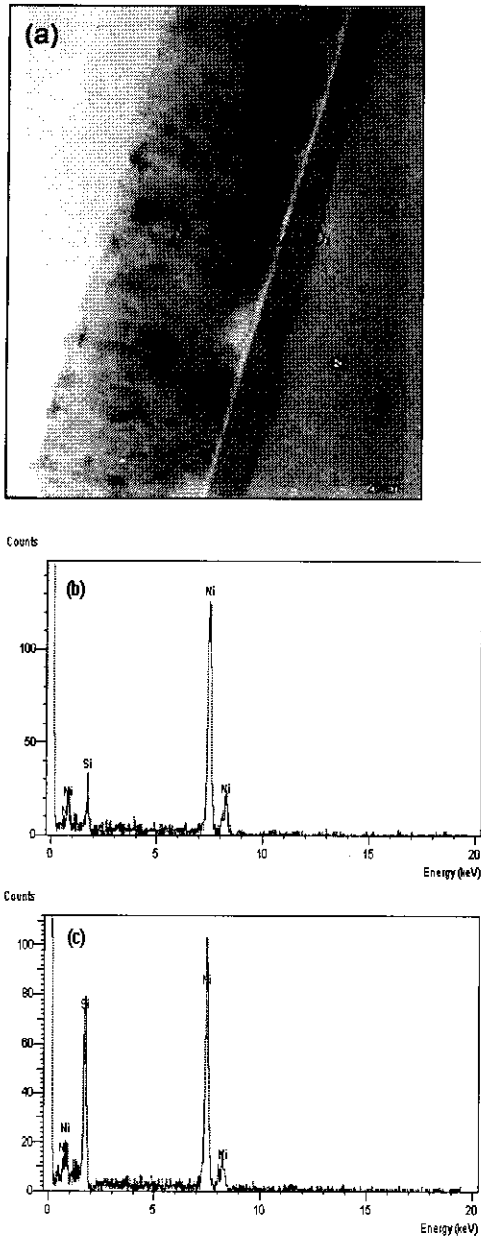


Fig. 4. Cross-sectional view and EDS spectra of the specimen heat treated at 400°C (a) TEM bright field image, (b) EDS spectrum from upper layer, (c) EDS spectrum from lower layer.

러한  $\text{NiSi}_2$ 의 형성을 방지해야 한다. 이와 같은  $\text{NiSi}_2$  형성을 방지하기 위해서는 700°C 이내에서 공정이 진행되도록 실리사이드 열처리 온도의 제어가 필요하다고 여겨졌다.

그림 6은 900°C에서 열처리시 시편의 표면에 생성된 얇은 유리질 박막을 FE-SEM으로 분석한 결과이다. 그림 6의 (b)의 결과에서, 800°C 이상의 공정조건에서는 열처리시 잔류 Ni가 산소와 반응하여  $\text{NiO}$ 산화막을 형성함을 확인할 수 있었다. 그러므로 니켈실리사이드를 디바이스 제조 공정에 적용 시 후속공정의 열처리 온도가 700°C가 넘지 않도록 공정설계를 할 필요가 있다고 판단되었다. 또한 고온에서 잔류 Ni이 산소와 반응하여 쉽게  $\text{NiO}$ 를 형성하기 때문에 니켈실리사이드를 디바이스 제조공정에 적용하기

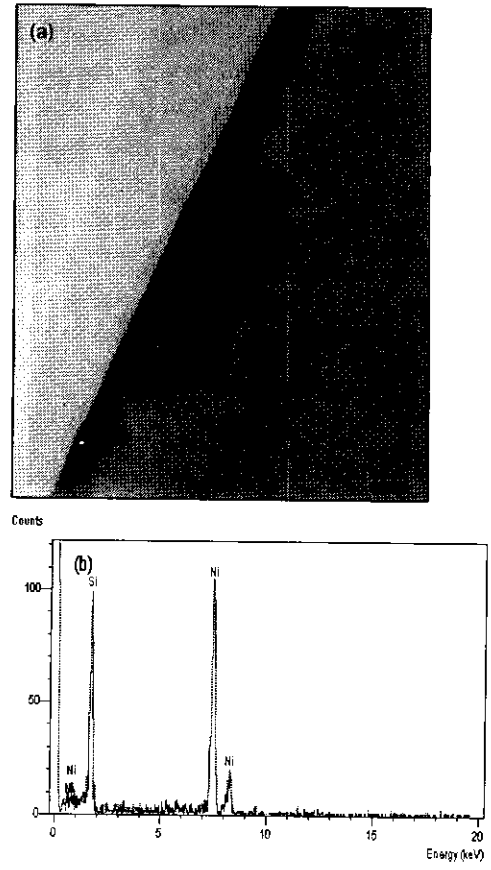


Fig. 5. Cross-sectional view and EDS spectra of the specimen heat treated at 900°C (a) TEM bright field image, (b) EDS spectrum from layer

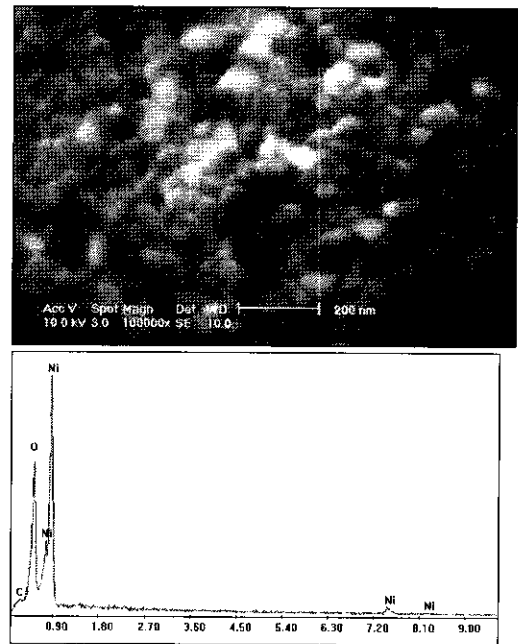


Fig. 6 microstructure and EDS spectra of  $\text{NiO}$  on specimen heat treated at 750°C (a) microstructure of  $\text{NiO}$ ; (b) EDS spectrum of  $\text{NiO}$

위해서는 spacer로서  $\text{SiO}_2$ 보다  $\text{Si}_3\text{N}_4$ 가 적절할 것으로 예상되었다.

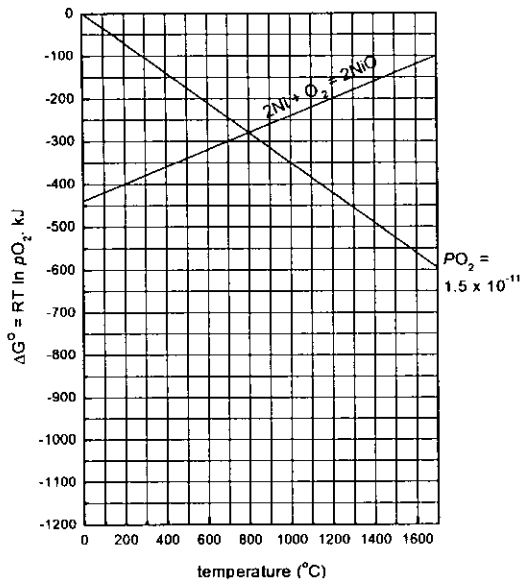


Fig. 7. Ellingham diagram of nickel oxide.

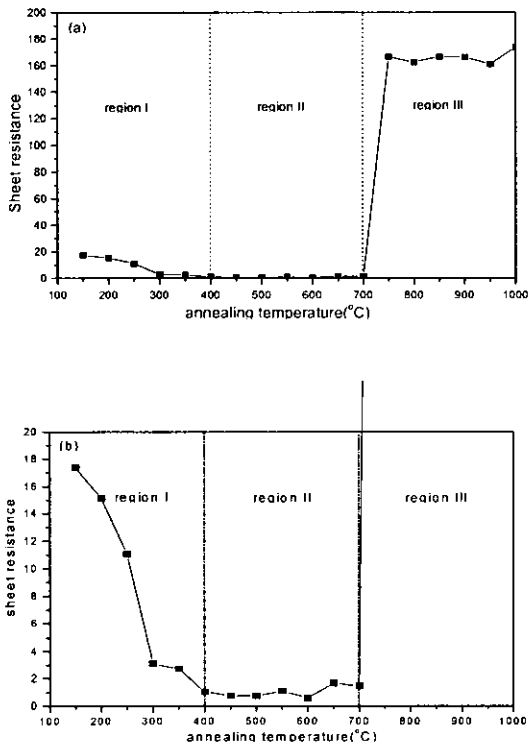


Fig. 8. sheet resistance of nickel silicides manufactured by sputter for each heat treatment temperature(a) sheet resistance of nickel silicides in range 0~200Ω/sq. (b) sheet resistance of nickel silicides in range 0~20Ω/sq.

상기 그림 6에서 보였던 800°C 이상의 고온 열처리에서 생성되는 Ni의 산화 반응시 산소분압의 영향을 확인하기 위하여, 그림 7에 Ni의 산화반응에 대한 온도에 따른 깁스 자유에너지 변화 ( $G^\circ$ )를 실험적으로 측정된 값을 도시하였다.<sup>23)</sup> 800°C에서  $2Ni + O_2 = 2NiO$  반응의  $G^\circ$ 는 -280kJ으로 주어지므로  $G^\circ = RT \ln p_{O_2}$ 의 관계에서 Ni산화 반응의 일어날 때 산소분압 ( $P_{O_2}$ )은  $1.5 \times 10^{-11}$  torr임을 확인할 수 있었다. 이 결과, 800°C 이상 고온에서 열처리시 니켈산화

막의 형성을 억제하기 위해서는  $1.5 \times 10^{-11}$  torr 이하 고진공에서 열처리가 수행되어야함을 알 수 있었다.

3-3. 전기적 특성

그림 8의 (a)에 각 열처리 온도에 따른 시편의 면저항의 변화를 나타내었고, (b)는 (a)의 결과로부터 1영역과 2영역을 쉽게 구분하기 위하여 sheet resistance의 scale을 작게 하여 나타내었다. 그림 8에 나타난 바와 같이 면저항 값은 3영역으로 나눌 수 있었다.

첫 번째 영역은 150~400°C 온도범위를 가지며 약 17Ω/sq.의 면저항을 나타내고 위의 XRD 분석결과 Ni<sub>3</sub>Si가 존재하는 영역이다. 두 번째 영역은 400~700°C 온도범위를 가지며 약 1.5Ω/sq.의 면저항을 나타내고 NiSi가 안정한 상태로 존재하는 영역이다. 세 번째 영역은 700°C 이상의 온도범위이고 약 160Ω/sq.의 상당히 높은 면저항을 나타내고 NiSi<sub>2</sub>가 존재하는 영역이다. 이 결과 400~700°C 온도범위에서 낮은 면저항 값을 갖는 NiSi가 형성됨을 확인할 수 있었고, NiSi의 면저항 값은 약 1.5Ω/sq. 값을 갖는다. 이러한 결과는 Yaozhi Hu의 실험결과와 잘 일치하였다.<sup>22)</sup>

4. 결 론

0.15μm급 이하 고집적 CMOS 로직다이오드의 도전성 실리콘사이드로서 채용이 예상되는 니켈모노실리사이드와 그 외의 니켈실리사이드들에 대한 미세구조 및 기초적 물성연구를 실시하여 아래와 같은 결과를 얻었다.

- 1) SPM을 이용하여 표면조도의 변화를 측정된 결과 NiSi에서 NiSi<sub>2</sub>로 상변태가 일어남에 따라 잔류 Ni 제거 전후 모두 유사한 정도로 시편의 표면조도가 4배 정도로 급격히 증가하였다. 이 결과 실제 로직다이오스제조에 NiSi가 NiSi<sub>2</sub>로 변태하였는지 확인할 수 있는 간접적인 공정모니터링 방법으로 SPM의 채용이 효과적임을 알 수 있었다.
- 2) 수직단면 TEM 영상분석과 EDS 분석결과 400°C ~ 700°C에서 비교적 평탄한 NiSi를 안정적으로 얻을 수 있음을 확인하였다. 또한 700°C 이상에서는 Si 기판과 epitaxial하게 성장하여 스텝을 이루는 NiSi<sub>2</sub>로 상변태됨을 확인하였다. 또한 800°C 이상의 온도에서 열처리시, 잔류 Ni가 산소와 반응하여 NiO산화막을 형성함을 확인하였다. 이는 실리콘사이드 공정에서 잔류 Ni의 효과적인 제거를 위해서는 열처리 온도가 800°C 이하 또는 산소분압이  $1.5 \times 10^{-11}$  torr 이하의 고진공 분위기가 되어야 함을 의미한다.
- 3) Four point probe를 이용하여 면저항을 측정된 결과 니켈실리사이드는 온도별로 3상으로 나타났다. 첫 번째 상은 150~350°C 열처리 온도범위를 가진 Ni<sub>3</sub>Si 상이고, 두 번째 상은 400~700°C 열처리 온도범위에서 생성되는 NiSi 상이었다. 마지막 세 번째 상은 700°C 이상의 열처리 온도범위에서 생성되는 NiSi<sub>2</sub> 상이었다. 700°C를 기점으로 고저항의 NiSi<sub>2</sub>로 변화하므로 저저항 NiSi를 탑재한 반도체 소자를 위해서는 공정온도를 700°C 이하로 유지하는 것이 효과적임을 확인하였다.

## 참고 문헌

1. S. Wolf, "Silicon Processing for the VLSI era", Lattice Press (1995).
2. S.M. Sze, "Semiconductor devices", McGraw-Hill (1985).
3. S.M. Sze, "VLSI Technology", John Wiley & Sons (1988).
4. C.M. Osburn, J.Y. Tsai and J. Sun, J. Electron. Mater. **25**, 1725 (1996).
5. G.K. Reeves, A.S. Holland, H.B. Harrison and P.W. Keech, Proceedings of the 26th European Solid state Device Research Conference, **303** (1996).
6. T. Ohguro et al., IEEE T-ED'94, **2305** (1994).
7. J.B. Laski et al., IEEE T-ED'91, **264** (1991).
8. I. Sasaki et al., VLSI Sympo'92, **66** (1992).
9. J.A. Kittl et al., VLSI Sympo'96, **14** (1996).
10. K. Fujii et al., IEDM'96, **451** (1996).
11. J.B. Laskey, J.S. Nakos, O.J. Chan and P.J. Geiss, IEEE Trans. Electron Dev., **38**, 262 (1991).
12. T. Yamazaki et al., IEDM'93, **906** (1993).
13. T. Ohguro et al., Electrochem. Society Sympo (1997).
14. T. Morimoto et al., IEDM'91, **653** (1991).
15. T. Morimoto et al., IEEE Trans. Electron Dev., **42**, 915 (1995).
16. T. Ohguro et al., IEDM'95, **453** (1995).
17. H. Jiang, J. Electrochemical Society (1990).
18. B.A. Julies, D. Knoesen, R. Pretorius and D. Adams, Thin Solid Films, **347**, 201 (1999).
19. D.X. Xu, S.R. Das, C.J. Peters and L.E. Erickson, Thin Solid films, **326**, 143 (1998).
20. F. Deng, R.A. Johnson, P.M. Asbeck, S.S. Lau, W. B. Dubbelday, T. Hsiao and J. Woo, J. of Applied Physics, V. 81 N. 12, **8047** (1997).
21. S.J. Nagtel, I. Coulthard, T.K. Sham, D.X. Xu, L. Erickson and S.R. Das, Applied Physics letters vol. 74. No. 19, **2893** (1999).
22. Yaozhi Hu and Sing Pin Tay, J.Vac.Sci.Technol. **A 16(3)**, 1820 (1998).
23. D. R. Gaskell, Introduction to the Thermodynamics of Materials, Taylor & Francis (1995).