

900 MHz CMOS 저잡음 증폭기의 설계

Design of 900 MHz CMOS Low Noise Amplifier

윤상영* · 윤현일** · 정용채*** · 정항근*** · 황인갑****

Sang-Young Youn* · Hun-Il Youn** · Yong-Chae Jeong***
· Hang-Geun Jeong*** · In-Gap Hwang****

요 약

본 논문에서는 0.65 μm CMOS 공정을 이용한 900 MHz 대역의 저잡음 증폭기를 설계하였다. 입력 매칭은 전력소모가 가장 적고 NF도 가장 작은 인덕터 중단 정합회로를 사용하였다. 온칩 상에 바이어스 안정화를 포함시켰으며, 전원은 3 V를 공급하였을 때 전력 소모는 39 mW이다. 설계된 저잡음 증폭기의 특성은 900 MHz 대역에서 13.2 dB의 이득과 4.8 dB의 Noise Figure가 측정되었다. 입력 반사손실은 -26 dB, 출력 반사 손실은 -17dB를 얻었으며, 입력 1-dB 역압 레벨은 -12 dBm을 얻었다.

Abstract

A 900 MHz low-noise amplifier(LNA) with a measured noise figure of 4.8 dB and an associated gain of 13.2 dB was fabricated in a 0.65 μm CMOS. The inductive source architecture offers the possibility of achieving the best noise performance. At 900 MHz, the fabricated LNA dissipates 39 mW from a single 3 V power supply including the bias circuitry and provides -26dB input return loss, -17 dB output return loss, and an input 1-dB compression level of -12 dBm.

I. 서 론

유선통신에서는 단말기의 이동에 제약이 받기 때문에 전파를 이용한 무선통신에 대한 수요가 최근 급격히 증가하고 있다. 호출기, 셀룰러, PCS, IMT-2000등 휴대용 통신뿐만 아니라 무선 근거리 통신망, 무선 가보자망, 무선 비동기 통신망, 원격 계측 및 제어 시스템 등 광범위한 응용이 실용화되거나 연구개발 중에 있다. 이러한 무선 통신 시스템에 사용되는 휴대용 단말 장치는 일반 적인 특성이

라고 할 수 있는 감도, 선택도, 다이내믹 레인지, 가격 등의 조건을 충족하여야 할 뿐 아니라 부피, 무게, 전력 소모 등의 추가적인 조건을 만족하도록 설계 제작되어야 한다.

기저 대역에서의 신호 처리는 보통 아날로그-디지털 변환기를 거친 후 디지털 신호처리를 이용하여 구현되고 있는 추세이다. 이에 따라 현재 상용화된 휴대용 단말장치에서 기저대역 처리는 CMOS 집적회로로 구현되고 있으며, 고주파 전단부는 GaAs 또는 바이폴라 집적회로가 사용되고 있다. 이

「이 연구는 반도체설계교육센터(IDECC) MPW 프로그램의 지원을 받아 이루어졌음」

*전북대학교 정보통신공학부(Dept. of Information & Communication Engineering, Chonbuk National Univ.)

**전북대학교 정보통신학과(Dept. of Information & Communication, Chonbuk National Univ.)

***전북대학교 전자정보공학부(Division of Electronics & Information, Chonbuk National Univ.)

및 전북대학교 정보통신연구소(Institute of Information & Communication, Chonbuk National Univ.)

****전주대학교 전자메체공학부(Dept. of Information & Communication Engineering, Jeonju Univ.)

· 논문 번호 20000728-05S

· 수정완료일자 2000년 8월 14일

외에도 이미지 방해를 줄이고 필요한 선택도를 얻기 위하여 보통 SAW 필터나 유전체 공진기 필터가 사용되고 있다. 그러나 이러한 구현 방법은 부피와 전력 소모를 크게 할 뿐 아니라 가격을 낮추는 데에도 불리하다.

단말장치를 소형경량화, 저전력화, 저가화하기 위하여서는 궁극적으로 단말장치를 CMOS 기술로 단일 칩 화하는 것이 바람직하며 이를 위하여 고주파 전단부의 CMOS화가 선결과제라고 할 수 있다. CMOS 소자는 고주파 특성면에서 GaAs나 바이폴라 트랜지스터에 비하여 아직까지 불리하긴 하지만, 채널 길이의 축소로 인한 차단주파수의 향상으로 대부분의 단말장치가 사용하는 1~2 GHz 대역에서는 실용화될 것으로 예상되고있다.

II. 저잡음 증폭기의 설계

전형적인 이동통신 단말기 고주파 블럭을 보면 크게 수신부와 송신부로 나눌 수 있는데 이중 수신부는 그림 1에서 보는 것처럼 크게 저잡음 증폭기(LNA), 혼합기(MIXER), 국부발진기(LO)로 구성된다.

저잡음 증폭기는 이동통신기의 감도를 결정하는데 가장 큰 역할을 하는 부분으로 큰 잡음 원에 노출된 매우 약한 송신신호를 받아 증폭시킨 다음 주파수 혼합기에 인가한다. 전체 시스템을 볼 때 첫 단의 잡음 특성은 전체 잡음특성을 좌우한다. 첫 단에서 발생된 잡음은 뒷 단에 계속적으로 증폭되어 영향을 주기 때문이다.

저잡음 증폭기의 설계시 고려사항을 보면 잡음지

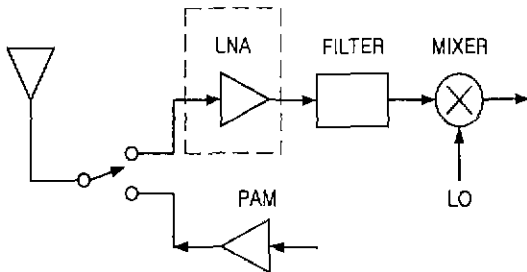


그림 1. 무선 송수신기의 RF front-end 블럭
Fig. 1. The RF front-end Block of wireless TX & RX.

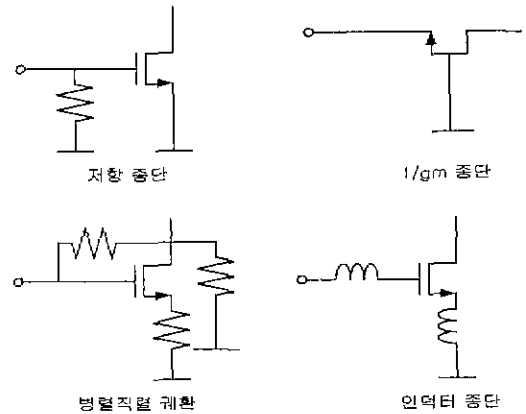


그림 2. 여러 입력임피던스 매칭 회로
Fig. 2 Common LNA architectures.

수, 이득, 임피던스 정합, 선형성, 전력소모 등이 있는데 상호 관계는 trade-off를 이루므로 적절한 최적화가 필요하다.

안테나로부터 신호를 반사 손실없이 증폭시키기 위해서는 입력 매칭을 하여야 하는데 그 동안 알려진 여러 정합 회로는 그림 2에 나타내었다. 인덕터 종단 정합이 가장 전력소모가 적고 NF도 작아 가장 많이 사용되는 회로이다^[1,2,3].

잡음을 살펴보면 생성원인에 따라 thermal noise, flicker noise, shot noise, burst noise, avalanche noise 등이 있다. CMOS에서는 이중에 thermal noise가 가장 크고, thermal noise는 폴리 실리콘 저항에 의한 잡음과 channel에 의한 잡음으로 구분할 수 있다.

본 논문에서는 폴리 실리콘 저항에 의한 잡음을 줄이기 위해서 MOSFET을 inter-digitated 방식으로 설계하였고 게이트 저항의 잡음 기여도는 다음 식 (1)과 같다. 식 (1)에서 1/3이란 수치는 각 게이트 finger의 한쪽 끝을 공통으로 연결하는 가정하에 얻어진 값이다. 만일 게이트 finger의 양쪽 끝을 공통으로 연결하면 1/12로 게이트 저항을 줄일 수 있다. 본 논문에서는 게이트 저항의 기여도를 최대한 줄이기 위해 공통으로 연결하는 방법을 채택하였다. 이 경우의 게이트 저항에 의한 잡음기여는 거의 무시할 수가 있다.

$$R_g = \frac{R_o W}{3n^2 L} \quad (1)$$

R_0 : polysilicon의 sheet 저항
 W, L : 게이트 폭과 길이
 n : gate finger 수

그림 3은 게이트 저항을 최소화하기 위해서 게이트를 공통으로 연결한 MOSFET의 layout을 나타내고 있다.

본 논문에서 제안하는 900 MHz용 저잡음 증폭기는 그림 4와 같다. 0.65 μm CMOS 현대 공정을 사용하여 저전력 소모와 함께 큰 이득을 얻도록 설계하였다^{[4],[5]}.

그림 4 회로의 특징을 살펴보면 첫단의 M1는 저잡음 특성과 입력 정합부의 인덕터 값을 정하기 위해서 채널 폭이 240 μm 인 소자로 구성하였으며 들

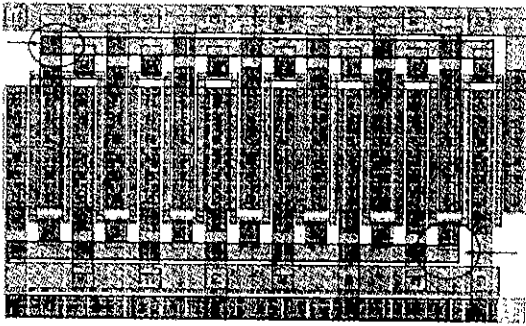


그림 3. Interdigitated 방식의 MOSFET layout
 Fig. 3. Interdigitated MOSFET layout.

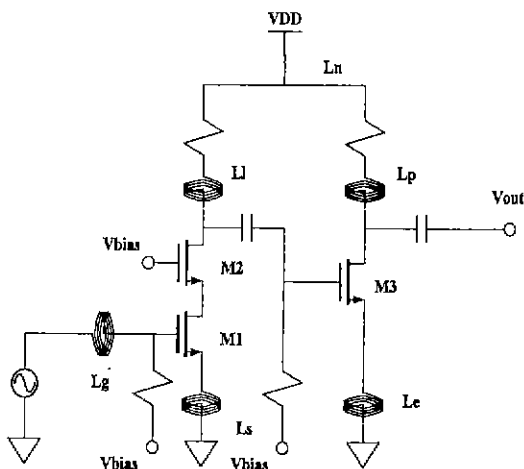


그림 4. 설계된 저잡음 증폭기
 Fig. 4. The designed low-noise amplifier.

제 단 M2는 채널 폭이 120 μm 인 소자로 구성하였고 증폭단 M3의 채널 폭은 400 μm 로 설계하였다. 첫 단의 L_s 는 저잡음 정합을 위해서 사용되었으며 본 회로 설계에서는 spiral inductor를 사용하지 않고 병렬 bonding wire로 L_s 값을 얻었다.

입력 정합부는 그림 5와 같은 회로를 채택해서 반사 손실을 줄이고 저잡음 고이득을 얻도록 설계하였고 이 구조는 잡음 특성이 가장 우수한 인덕터 부재환을 건 소스접지 증폭기를 사용하여 임피던스 정합을 이루었다.

그림 5에서 보여지는 등가회로의 입력 임피던스를 구하는 식은 아래와 같다.

$$Z_m = \frac{V_i}{i} \quad (2)$$

$$V_i = (j\omega L_g) i + j\omega L_s \left(1 + g_m \frac{1}{j\omega C_{gs}} \right) i + \left(\frac{1}{j\omega C_{gs}} \right) i \quad (3)$$

$$\therefore Z_m = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs}} + g_m \frac{L_s}{C_{gs}} \quad (4)$$

$$Z_m = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs}} + g_m \frac{L_s}{C_{gs}} \quad (5)$$

$$\omega_c = \frac{1}{\sqrt{(L_g + L_s) C_{gs}}} \quad (6)$$

$$R_s = g_m \frac{L_s}{C_{gs}} \approx \omega_t L_s \quad (7)$$

동작 주파수에서 입력 임피던스 값이 실수 성분을 가질 경우 전력 전달은 반사 손실이 없이 최대가 된다. 식 (2)~(7)까지의 만족하는 조건을 가지고 simulation 했을 때의 결과를 그림 6(a)에 나타 내었고 14 dB 이하로 좋은 특성을 보이고 있다. 저잡음

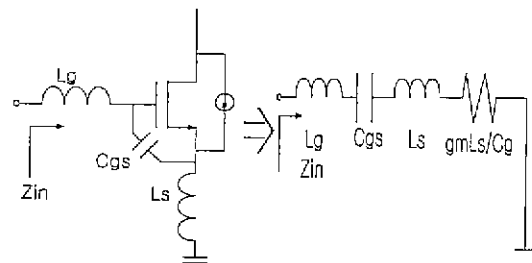
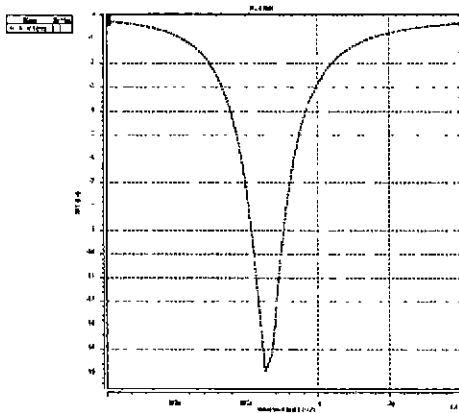


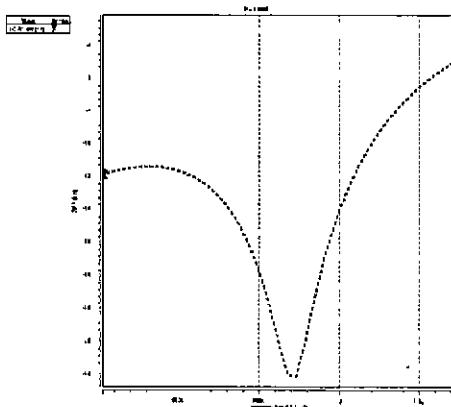
그림 5. 입력 매칭 회로
 Fig. 5. Common-source input stager.

증폭기의 후단에 보통 image rejection filter가 연결되므로 외부특성 임피던스를 고려하여 설계를 해야 하고 본 논문에서는 50Ω 로 정하고 출력 정합을 하였다. 그리고 simulation 결과는 그림 6(b)에 나타내었다.

정합회로의 구성을 보면 직렬로 커패시터를 연결하는 형태로 구성하였으며 직렬로 연결한 커패시터는 DC-block의 역할과 정합의 역할을 동시에 하도록 구현하였다. 정합회로를 연결하지 않은 상태의 S_{22} 를 HSPICE를 이용해서 구하고 구해진 값이 정



(a)



(b)

그림 6. (a) S_{11} simulation 결과
(b) S_{22} simulation 결과

Fig. 6. (a) S_{11} simulation result
(b) S_{22} simulation result

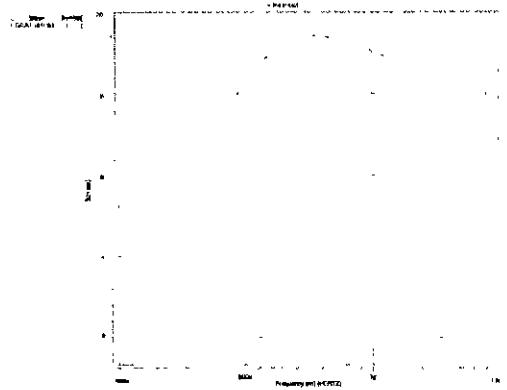


그림 7. 이득 Simulation 특성
Fig. 7. Simulated S_{22} of the LNA.

합이 틀어짐을 확인하고 이 상태의 임피던스 실수부와 허수부를 가지고 Smith chart상에서 정합을 위한 값을 계산하고 Eesof Touchstone를 사용하여 구해진 값의 적절함을 확인하였다.

입출력 정합을 한 후에는 칩 설계시 존재하는 기생 성분들에 대한 고려 사항들을 simulation 조건에 입력 시켜서 충분한 이득이 나오도록 설계를 하였다. 그림 7는 이득 특성을 나타내고 있으며 설계된 이득은 18 dB이다.

본 논문에서 설계된 저잡음 증폭기는 현대 full custom $0.65\mu\text{m}$ CMOS 설계 파라미터를 이용하여 HSPICE로 Simulation하였고 완성된 회로는 Layout Tool인 CADENCE를 이용해서 Layout을 설계하고 검증하였다.

본 설계된 회로는 On-Chip RF probing 및 PCB 제작을 고려하여 설계하였다.

Wafer상에 Layout시 각 CMOS가 서로 간섭하는 것을 피하기 위해서 Guard Ring을 하므로써 간섭이 최소가 되도록 배치를 하였고 바이어스 안정화 회로를 내부에 추가를 함으로써 단일 전원이 공급된 상태에서 외부에 영향이 최소화 되도록 설계를 하였다.

III. 제작 및 측정 결과

본 논문에서는 900 MHz 대역의 $0.65\mu\text{m}$ CMOS 현대공정을 이용해서 제작된 칩을 그림 8에 나타내

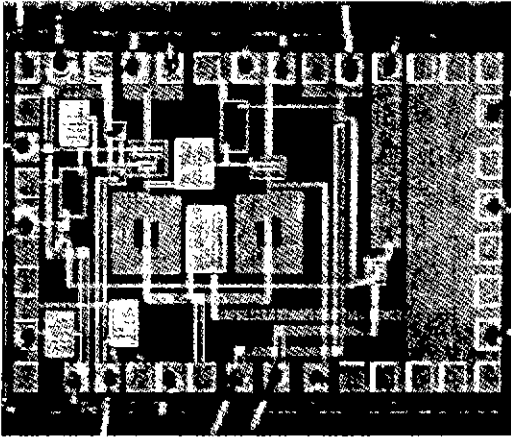
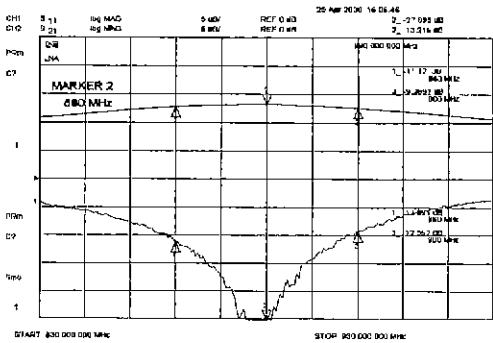


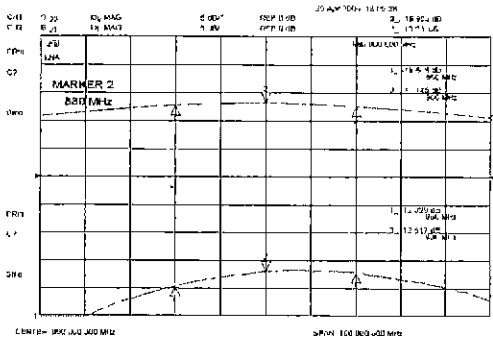
그림 8. 설계된 저잡음 증폭기의 layout
 Fig. 8. Microphotograph of the LNA chip.

였고, 제작된 회로의 칩 사이즈는 $0.9 \times 1.8 \text{ mm}^2$ 이다. 전원은 3 V를 공급하였을 때 전력 소모는 39 mW이다. 이때 이득과 입, 출력 반사계수를 측정 한 결과를 그림 9에 나타내었다. 이득은 약 13.2 dB 정도를 보이고 입력 반사 계수는 880 MHz에서 -27 dB 이하이고 출력 반사계수는 -16.9 dB 이하를 나타내고 있다. 잡음지수의 측정은 HP 8970B Noise Figure Meter를 사용하여 측정을 하였으며 약 4.8 dB 정도로 측정되었다.

저잡음 증폭기의 선형성은 선형지수(IP3)를 통해 알 수 있으며 이러한 선형지수를 측정하기 위해서 2-tone 주파수를 입력에 인가해서 출력에 검출되는 기본 주파수 성분과 3차 왜곡주파수 성분의 변화를 입력신호 전력에 대하여 표현하면 선형성을 분석할 수가 있다.



(a)



(b)

그림 9. (a) Gain, 입력 반사계수
 (b) Gain, 출력 반사계수
 Fig. 9. (a) Gain and input return loss
 (b) Gain and output return loss

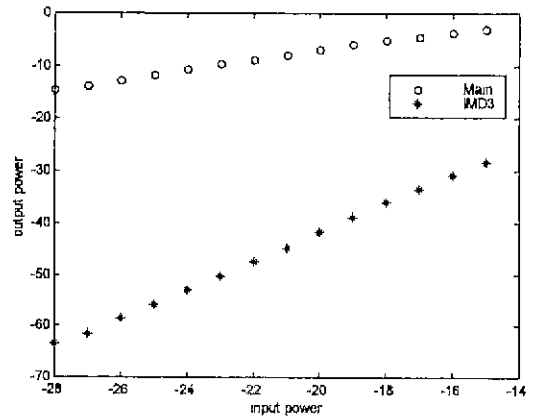


그림 10. 저잡음 증폭기 IMD3 특성
 Fig. 10. Result of two-tone test measurement.

표 1. 설계치와 측정치 비교
 Table. 1. Comparison of simulation & measured result.

항 목	900 MHz 저잡음 증폭기	
	설계치	측정치
시용주파수	900 MHz	880 MHz
이득	18 dB	13.2 dB
전력 소모	28 mW	39 mW
입력 반사계수	-14dB 이하	-26 dB
출력 반사계수	-22dB 이하	-17 dB

본 논문에서 설계된 저잡음 증폭기의 선형성을 측정하기 위해서 입력 주파수는 877.5 MHz와 882.5 MHz로 5 MHz 차를 갖는 2-tone을 인가하였다.

측정된 저잡음 증폭기의 입력 1-dB 억압 레벨은 -12 dBm을 얻었으며 OIP3는 12 dBm이다.

표 1을 보면 설계치와 측정치의 오차가 이득이나 전력 소모면에서 상당히 크다는 것을 알 수가 있다. 오차의 원인으로는 spiral 인덕터와 bonding wire를 하는 pad에서 발생된 기생 커패시턴스에 대한 고려가 부족하였고 bonding wire 인덕턴스 값의 오 차로 발생되었다.

IV. 결 론

본 논문에서는 무선 단말기의 고주파 전단부 중 에 하나인 저잡음 증폭기를 CMOS 기술로 구현하였다. 궁극적으로 단말장치를 CMOS 기술로 단일 칩화 하는 것이 바람직하며 이를 위하여 고주파 전 단부의 CMOS화가 선결 과제라고 할 수 있다. 그러 기 위해서는 저잡음 증폭기뿐만 아니라 Mixer, VCO 등도 CMOS화를 이룬다면 Digital 부분과 연 계되어 단말기의 소형경량화와 저전력화, 저가격화 등에서 기대가 된다.

참 고 문 헌

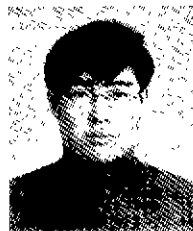
- [1] P. K. Shaeffer and T. H. Lee, "A 1.5 V 1.5 GHz CMOS Low Noise Amplifier," in *SOVC Dig. Tech. Papers*, pp. 32-33, June, 1996.
- [2] A. N. Karanicolas, "A 2.7 V 900 MHz CMOS LNA & Mixer," in *ISSCC Dig. Tech. Papers*, pp. 50-51, Feb., 1996.
- [3] R. G. Meyer and W. D. Mack, "A 1 GHz BiCMOS RF Front-end IC," *IEEE J. Solid-state Circuits*, vol. 29, pp. 166-176, March, 1994.
- [4] D. B. M. Klaassen, "Compact modelling of submicron CMOS," *Proc. 22nd European Solid-State Circuits Conference*, pp. 40-46, Sept., 1996.
- [5] J. Y. C. Chang, A. A. Abidi, and M. Gaitan, "Large Suspended Inductors on Silicon and their use in a 2um CMOS RF Amplifier," *IEEE Electron Device Letters*, vol. 14, no. 5, pp. 246-248, 1993.

윤 상 영



1996년 2월: 전북산업대학교 전자공학과 (공학사)
 1998년 3월~현재: 전북대학교 정보통신공학과 석사과정
 [주 관심분야] 초고주파 증폭기 설계 및 선형화, 초고주파 회로 설계

윤 현 일



1999년: 전북대학교 전자공학과 (공학사)
 1999년 3월~현재: 전북대학교 정보통신학과 석사과정
 [주 관심분야] RF IC 회로 설계

정 용 채



1989년 2월: 서강대학교 전자공학
과(공학사)
1991년 2월: 서강대학교 전자공학
과(공학석사)
1996년 8월: 서강대학교 전자공학
과(공학박사)
1991년 2월~1998년 2월: 삼성전

자 정보통신본부 선임연구원
1998년 3월~현재: 전북대학교 전자정보공학부 조교수
현재 전북대학교 정보통신연구소 연구원
[주 관심분야] RF 및 Microwave 회로 해석 및 설계

황 인 갑



1981년 2월: 연세대학교 전기공학
과(공학사)
1983년 2월: 연세대학교 전기공학
과(공학석사)
1992년 12월: 아리조나주립대 전기
공학과(공학박사)
1984년 3월~1986년 8월: 삼성전

자 주임연구원
1993년 3월~1995년 8월: 한국전자통신연구원 선임연구
원
1995년 9월~현재 전주대학교 전자매체공학부 조교수
[주 관심분야] 이동통신, 초고주파 통신, MMIC, RFIC

정 향 근



1977년 2월: 서울대학교 전자공학
과(공학사)
1979년 2월: KAIST 전기 및 전자
공학과(공학석사)
1989년 12월: University of Florida
전기공학과(공학박사)
1979년~1982년: ETRI 연구원

1989년~1991년: Motorola 연구소 연구원
1991년~현재: 전북대학교 전자정보공학부 부교수
현재 전기전자회로합성연구소 연구원
현재 광전자정보연구소 연구원
현재 광전자 정보 기술 연구소
[주 관심분야] 집적회로 설계, RF 시스템 설계