

# 낮은 위상 잡음의 B-WLL 대역 주파수 합성기의 설계

## Design of Low Phase Noise Frequency Synthesizer for B-WLL RF Tranceiver

송인찬 · 고원준 · 한동엽 · 황희용 · 윤상원 · 장익수

In-Chan Song · Won-Jun Ko · Dong-Yeop Hahn · Hee-Yong Hwang · Sang-Won Yun · Ik-Soo Chang

### 요 약

본 논문에서는 낮은 위상 잡음을 갖는 B-WLL 대역 국부발진기(LO)로 사용될 주파수 합성기를 설계 및 제작하였다. 2 GHz 대역의 주파수 합성기를 구성, 낮은 위상잡음의 안정된 파형을 얻은 후 SRD(Step Recovery Diode)를 이용한 주파수 체배기를 거쳐 12 GHz 대역의 신호를 발생시키고 다시 Doubler를 통하여 BWLL TX LO용 주파수인 25 GHz 대역의 위상 고정된 안정한 신호를 얻었다.

제작된 주파수 합성기는 각각 출력 주파수 24.92 GHz, 25.10 GHz, 25.26 GHz를 가지며, 이 중 출력 주파수 24.92 GHz에서 0.44 dBm의 발전출력과 -87.93 dBc/Hz(@10 KHz), -109.54 dBc/Hz(@100 KHz)의 위상잡음 특성을 나타내었다.

### Abstract

In this paper, a low phase noise frequency synthesizer used to TX local oscillator in BWLL RF tranceiver is presented. The phase-locked stable 25GHz-band frequencies in BWLL TX LO are obtained by using 2 GHz baseband frequency synthesizer, sixth-harmonic frequency multiplier and frequency doubler at 12 GHz band frequency input.

The 25 GHz band frequency synthesizer presented in this paper has 3-output frequencies at 24.92 GHz, 25.10 GHz, 25.26 GHz. At 24.92 GHz frequency the synthesizer has 0.44 dBm output power and shows -87.93 dBc/Hz(@10 KHz), -109.54 dBc/Hz (@100 KHz) phase noise characteristics .

### I. 서 론

C(4~6 GHz)Band 및 Ku(12~14GHz)Band의 주파수 사용이 확대됨에 따라 채널이 포화상태에 이르러 밀리미터파 대역의 새로운 주파수인 Ka-Band (20~30 GHz)를 사용하게 되었다. Ka-Band는 넓은 RF 대역폭의 사용이 가능하며 이미 B-WLL 등의 고속 디지털 통신 등 널리 활용되기 시작하고 있다.

국부발진기(LO)는 이러한 시스템을 Super Hete-

rodyne 방식으로 설계할 때 필수적으로 사용되어야 하는 중요하고 기본적인 회로이다. 또한 B-WLL과 같이 고속 데이터 전송률이 요구되는 통신 시스템에서 LO는 낮은 위상 잡음을 가져야만 한다.

본 논문에서는 낮은 위상잡음을 갖는 B-WLL용 국부발진기(LO)를 제작하기 위해서 2GHz대의 위상 고정된 주파수 합성기의 출력을 얻은 뒤 증폭기와 주파수 체배기를 거쳐 발생된 6번째 Harmonic성분을 여과한 후 Doubler를 이용, 원하는 25 GHz 대역

「본 논문은 서강대학교 산업기술연구소의 지원으로 수행되었습니다」  
서강대학교 전자공학과 초고주파 연구실(Dept. of Electronics Eng., Sogang Univ.)  
· 논문 번호 2000728-14S  
· 수정완료일자 2000년 8월 23일

의 LO 신호를 얻었다. 이것은 상대적으로 구조가 간단하고 위상잡음 특성이 Ka-Band의 신호를 직접 VCO로 발생하는 것보다 훨씬 향상된 것이며 사업자에 맞는 원하는 주파수를 채널별로 쉽게 위상조정할 수 있다.

다이오드를 이용한 주파수 체배기에는 Varactor diode, Step-Recovery Diode(SRD), Dual-mode를 이용한 세 가지 유형이 있다. Varactor diode를 이용한 주파수 체배기는 GaAs를 이용함으로써 높은 주파수에서 동작할 수 있고 Dual-mode의 경우 큰 Power를 낼 수 있는 장점이 있으나 체배수가 높아질 경우 효율이 급격히 감소한다. 따라서 체배수가 높을 경우 대체로 SRD를 이용하게 된다. 본 논문에서는 SRD를 사용하여 체배기를 제작하였으며 Doubler는 HEMT를 사용하여 제작하였다.

### II. B-WLL용 주파수 합성기의 구성

본 논문에서 B-WLL 주파수 대역 LO를 설계하기 위한 전체적인 구성도는 다음 그림 1과 같다.

그림 1에서 보는 바와 같이 25 GHz 대역에서 발전 출력을 얻기 위해서 2 GHz 대역의 주파수 합성기, 완충증폭기, 6배 주파수 체배기, 12 GHz대 대역통과 여파기 및 Doubler를 구성하였다. 25 GHz 대역의 고정된 주파수와 B-WLL 시스템에서의 LO로 사용될 0 dBm 이상의 출력전력을 얻으면 되므로 2 GHz의 주파수 합성기는 위상잡음에 초점을 두어 제작되어야 하고 완충증폭기는 2 GHz 대역 주파수 합성기의 위상잡음에 영향을 주지 않도록 입력, 출력정합과 주파수 체배기가 요구하는 입력 크기에 따른 이득을 고려하면서 제작되어야 한다. 체배기와 여파기, Doubler단에서는 원하는 출력과 harmonic, spurious 특성을 얻기 위한 형태로 설계되어야 한다.



그림 1. B-WLL 대역 LO용 주파수 합성기의 전체 구성도

Fig. 1. Overall block diagram of B-WLL band frequency synthesizer.

### III. SRD 주파수 체배기의 해석<sup>[1],[2]</sup>

SRD 주파수 체배기는 입력 신호의 한 주기마다 pulse를 발생시킴으로써 입력 신호의 harmonic들을 생성한다. SRD를 역방향 바이어스에서는 값이 작은 capacitance, 순방향 바이어스에서는 무한대의 capacitance를 가지고 전이 시간이 0인 이상적인 다이오드라고 가정하면 해석하는 데 편리하다.

SRD를 이용한 주파수 체배기의 회로도 는 그림 2와 같다.

그림 3과 그림 4는 인가전압  $V_d(t)$ 의 주기에 따른

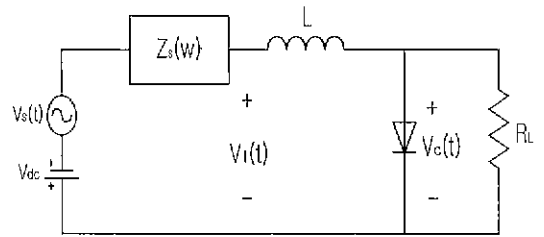


그림 2. SRD를 이용한 주파수 체배기

Fig. 2. SRD frequency multiplier.

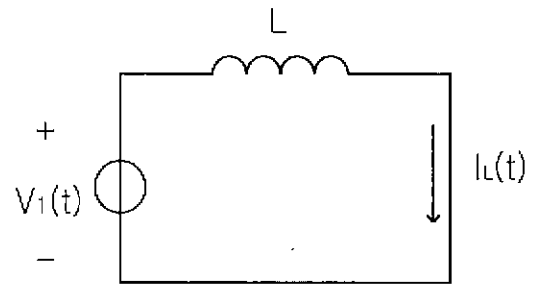


그림 3. 순방향 상태에서의 등가회로

Fig. 3. Equivalent circuit at positive bias.

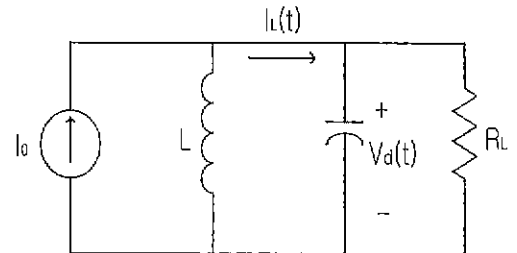


그림 4. 역방향 상태에서의 등가회로

Fig. 4. Equivalent circuit at negative bias.

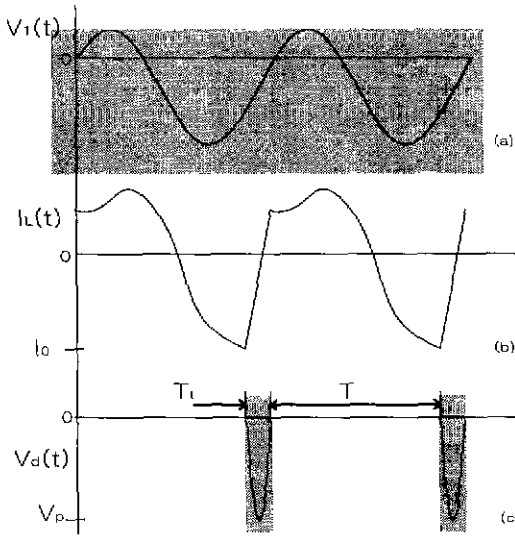


그림 5. SRD 주파수 체배기의 전압, 전류 파형  
Fig. 5. Voltage and current characteristics of SRD frequency multiplier.

SRD의 순방향, 역방향 바이어스 상태에서의 동작 회로이다.

그림 5는 입력전압  $V_1(t)$ 에 대한 SRD에서의 전류 전압 파형이다. 그림 2와 그림 5에서 나타난 파라미터들에 대한 관계식은 식 (1~4)와 같다.

· 입력 전압

$$V_1(t) = V_1 \sin(\omega_1 t + \alpha) + V_{dc} \quad (1)$$

( $\alpha$ :  $t=0$ 에서  $V_1(t)=0$  가 되기 위한 상수)

· 인덕터에 흐르는 전류

$$I_L(t) = I_L(0) + \frac{V_1}{\omega_1 L} (\cos(\alpha) - \cos(\omega_1 t + \alpha)) + \frac{V_{dc}}{L} t \quad (2)$$

· SRD에 걸리는 전압

$$V_d(t) = I_0 \left( \frac{L}{C_d(1-\xi^2)} \right)^{1/2} \cdot \exp\left( \frac{-\xi \omega_n t}{(1-\xi^2)^{1/2}} \right) \sin(\omega_n t) \quad (3)$$

$$\omega_n = \left( \frac{1-\xi^2}{LC_d} \right)^{1/2} \quad (\text{공진주파수})$$

$$\xi = \frac{1}{2R_L} \left( \frac{L}{C_d} \right)^{1/2} \quad (\text{Damping factor})$$

· Pulse 동안 inductor에 흐르는 전류

$$I_L(t) = I_0 + \frac{1}{L} \int V_d(t) dt$$

$$= I_0 \exp\left[ \frac{-\xi \omega_n t}{(1-\xi^2)^{1/2}} \right] \left[ \cos(\omega_n t) + \frac{\xi \sin(\omega_n t)}{(1-\xi^2)^{1/2}} \right] \quad (4)$$

체배되어 나온 신호의 위상잡음은 offset 주파수  $f_m$ 에 대하여 대체로  $f_m^2$ 으로 감소하기 때문에 주파수 체배기에서 체배수에 따른 위상잡음의 증가량은 식 (5)와 같다.

$$\Delta CNR = 20 \log(n) \quad (5)$$

$\Delta CNR$  : 위상잡음의 증가량

$n$  : 주파수 체배수

## IV. 설 계

### 4-1 2 GHz 대역 주파수 합성기

2 GHz 대역의 주파수 합성기는 표 1에서 나타난 것과 같이 B-WLL TX LO 규격을 만족시키는 가변 범위를 가지며 가능한 위상 잡음이 작도록 설계하였다.

주파수 합성기의 위상잡음은 대개 VCO에 의해서 결정되고, VCO의 위상잡음은 주파수 가변범위와 관계 있다. VCO는 Varactor diode의 캐패시턴스가 가변함에 따라 주파수가 변화하는데 가변 범위를 크게 하기 위해서는 Varactor diode가 공진부에서 차지하는 영향력을 크게 해야 한다. 그렇게 되면 Q가 좋지 않은 Varactor diode에 의해 공진부의 전체적인 Q는 작아져서 VCO의 위상 잡음은 나빠진

표 1. B-WLL TX LO의 규격

Table 1. Spac of B-WLL TX LO.

B-WLL TX 규격	24.25~24.41 GHz	24.42~24.58 GHz	24.59~24.75 GHz
수신 IF 주파수 대역	450~700 MHz		
BWLL TX LO 주파수	24.92 GHz	25.10 GHz	25.26 GHz
2 GHz 대역 주파수 합성기	2.0767 GHz	2.0917 GHz	2.105 GHz

다. 따라서 위상잡음 특성을 좋게 하기 위해서는 주파수 합성기의 주파수 가변 범위는 가능한 작아야 하며 결과적으로 세라믹 공진기와 varactor diode와의 coupling 캐패시턴스 값을 작게 해 주면 된다<sup>[5]</sup>.

VCO에 사용한 트랜지스터는  $f_T$ 가 7 GHz인 NEC사의 2SC3356이다. 2SC3356은 BJT로 Flicker noise 특성이 우수하기 때문에 낮은 위상잡음을 갖는 VCO 제작에 알맞다. 주파수 합성기의 Loop Filter는 기준 신호의 Spurious를 최대한 억제하기 위해 OP Amp를 사용한 능동형으로 Type II 3차로 설계하였으며 NEC PLL IC와 Microchip사의 Microcontroller를 이용하여 그림 6과 같은 2 GHz 대역의 주파수 합성기를 설계하였다.

#### 4-2 완충증폭기

완충증폭기는 입력, 출력에 대한 임피던스 정합과 주파수 체배기에서 요구하는 높은 입력 전력을 낼 수 있도록 설계하였다. P<sub>1</sub> dB가 27 dBm인 SHF-0189 GaAs FET을 사용해서 13 dB 이득을 갖도록 설계하였다.

#### 4-3 주파수 체배기<sup>[1],[6]</sup>

주파수 체배기는 Alpha industry사의 동작주파수가 최대 18 GHz인 SRD를 이용하여 제작하였다. 주파수 체배기를 설계하기 위해서는 SRD의 비선형적인 캐패시턴스 특성을 파악해야 한다. 측정된 SRD의 비선형 캐패시턴스 특성은 그림 7과 같고 사용된

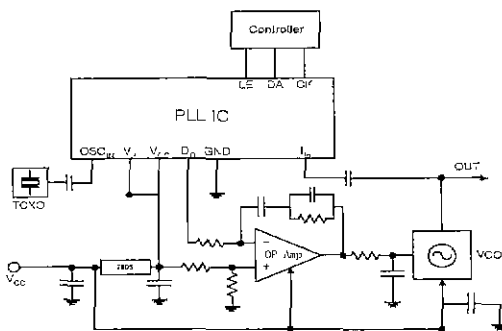


그림 6. 2 GHz 대역 주파수 합성기의 구성도  
Fig. 6. Block diagram of 2GHz band frequency synthesizer.

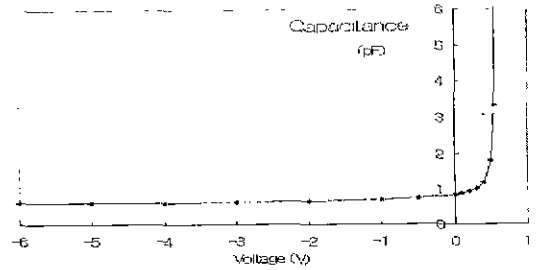


그림 7. 측정된 SRD의 C/V 특성곡선  
Fig. 7. C/V characteristic curved line of measured SRD.

SRD의 Datasheet(표 2)를 참조하여 그림 8과 같이 모델링하였다.

식 (3)에서 나타낸 SRD의 비선형 캐패시턴스  $C_d$ 는 그림 8에서 나타낸 SRD 등가회로를 전압에 따른 식 (6)과 같은 다항식으로 나타내어<sup>[7]</sup> HP-Eesof Libra6.1로 시뮬레이션하는 데 이용하였다.

$$C_d = a_0 + a_1 V + a_2 V^2 + a_3 V^3 + a_4 V^4 \dots \quad (6)$$

표 3에서  $C_d$  값을 결정하는 다항식의 계수를 나

표 2. SRD의 특성 parameters

Table 2. Characteristic parameters of SRD.

Junction capacitance $C_j$ @6V	pF	0.35
Carrier lifetime $\tau_c$	nS	25
Transition time $\tau_t$	pS	50
Breakdown voltage $V_B$	V	14
Series resistance $R_s$ @0V	$\Omega$	6

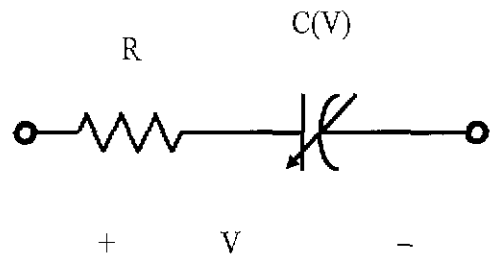


그림 8. SRD의 등가회로  
Fig. 8. Equivalent circuit of SRD.

표 3. SRD의 비선형 캐패시턴스의 다항식계수

Table 3. The polynomials of SRD's nonlinear capacitance.

계수	$a_0$	$a_1$	$a_2$	$a_3$	$a_4$	$a_5$	$a_6$	$a_7$
값	1.32	1.05	0.73	0.31	0.09	0.02	3.23e-3	4.09e-5
계수	$a_8$	$a_9$	$a_{10}$	$a_{11}$	$a_{12}$	$a_{13}$	$a_{14}$	$a_{15}$
값	4.03e-5	3.09e-6	1.82e-7	8.16e-9	2.68e-10	6.10e-12	8.59e-14	5.64e-16

타내었으며 이에 따른  $I_L$ 과  $V_d$ 는 각각 그림 9, 그림 10과 같이 Mathematica로 시뮬레이션하여 나타내었다.

주파수 체배기의 입력 정합은 집중형 소자를 이용하고 출력단은 12 GHz 대역이므로 microstripline open-stub를 이용하여 정합하였다<sup>[2],[6]</sup>. 그림 11은 주파수 체배기의 전체적인 시뮬레이션 설계도를 나타내고 그림 12는 2 GHz 대역 입력에 따른 시뮬레이션 결과이다.

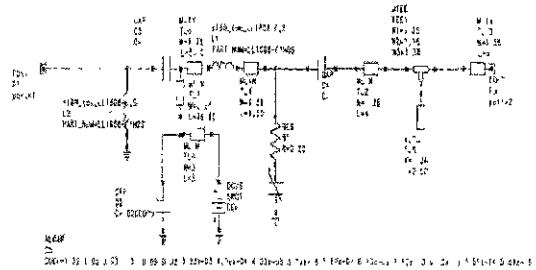


그림 11. 주파수 체배기 시뮬레이션 설계도

Fig. 11. Simulation schematic of frequency multiplier.

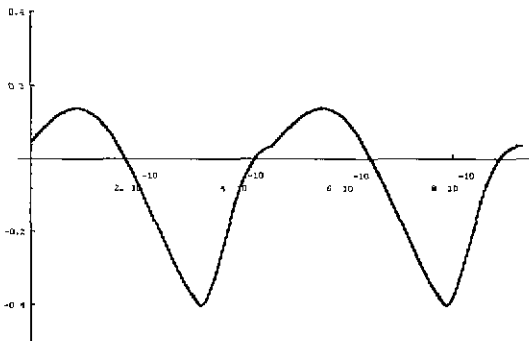


그림 9. 인덕터에 흐르는 전류의 시뮬레이션 결과  
Fig. 9. Simulation output of current at inductor.

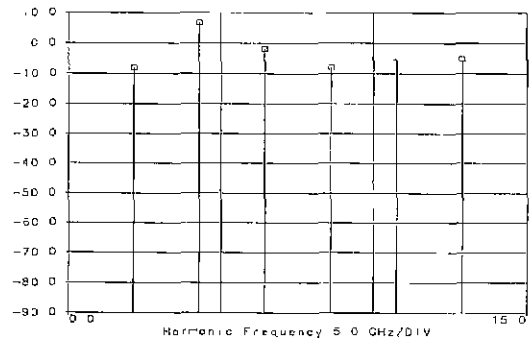


그림 12. 주파수 체배기 시뮬레이션 결과

Fig. 12. Simulation output of frequency multiplier.

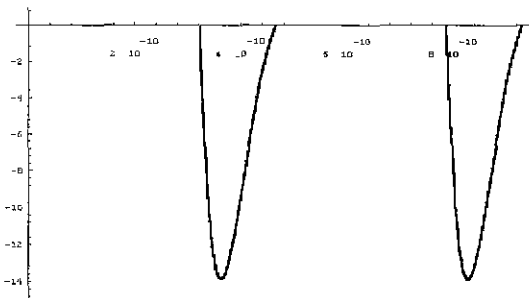


그림 10. SRD에서 발생하는 pulse의 시뮬레이션 결과  
Fig. 10. Simulation output of pulse generated at SRD.

#### 4.4 대역 통과 여파기(BPF)

2 GHz 대역 입력 신호에 의해서 주파수 체배기에서 생성된 harmonic중에서 6차 주파수를 제외한 성분들을 제거하기 위하여 대역 통과 여파기를 사용한다.

Equal-ripple(Chebyshev) Type으로 0.01 dB Ripple을 가지는 3단 필터로 설계하였다. 중심 주파수가 12.55 GHz이고 대역폭(bandwidth)은 800 MHz이다. 주파수가 높기 때문에 Coupled Line구조를 이용하였다<sup>[4]</sup>.

4-5 Doubler

12 GHz 대역 통과 여파기를 거쳐 출력된 신호를 다시 Doubler를 거쳐 2배배 된 25 GHz 대역 신호를 출력한다. Doubler는 사용되는 능동소자가 비선형적인 특성을 갖도록 바이어스를 결정하며 입력에 대한 2배배 주파수 성분만 출력단에서 나타나도록 임피던스 정합 회로를 구성한다. 본 논문에서는 구현이 용이하고 입력신호에 대한 왜곡이 큰  $I_{DSS}$  바이어스를 사용하였다<sup>[2]</sup>.

V. 제작 및 측정결과

B-WLL 대역 TX LO용 주파수 합성기 제작은 크게 두 부분으로 나누었다. 2 GHz 대역의 회로와 12 GHz, 25 GHz 대역의 회로로 나누었으며 각각 사용된 기판은 표 4에서 나타내었다.

측정장비는 Advantest사의 R3271 spectrum analyser를 이용하였다. 25 GHz 대역 주파수 합성기 전체회로의 전원은 12V 227 mA이었다.

2 GHz 대역 주파수 합성기의 특성은 발진 주파수 2.0767 GHz, 2.0917 GHz, 2.105 GHz에서 각각 11.66 dBm(그림 13), 12.31 dBm(그림 14), 12.66 dBm(그림 15)의 출력전력을 가지며, 발진 주파수 2.0767 GHz에서  $-110$  dBc/Hz (10kHz offset)의 위상잡음 특성을(그림 16) 나타내었다. 이 출력을 증폭하기 위하여 설계된 전력 증폭기의 특성은 그림 17과 같으며, 2.0767 GHz 주파수가 입력일 때 출력 전력은 24.91 dBm이고(그림 18) 위상잡음이 10 KHz offset 주파수에서  $-109.38$  dBc/Hz이었다.

표 4. 사용된 기판의 특성

Table 4. Characteristics of the boards used to design.

비유전율 ( $\epsilon_r$ )	유전체 두께	동두께	$\tan \delta$	비 고
4.30	0.80mm	0.02mm	0.02	FR4, 2GHz 대역
2.60	0.5mm	0.018mm	0.0022	Chukoh사 Teflon 12GHz 이상

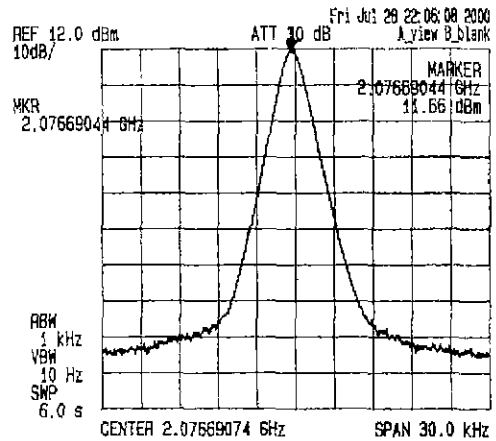


그림 13. 2.0767 GHz 발진출력

Fig. 13. Oscillation output power at 2.0767 GHz.

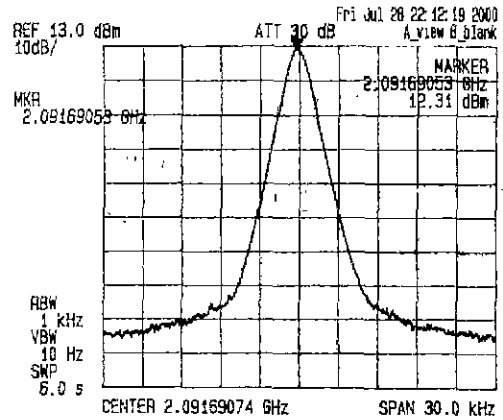


그림 14. 2.0917 GHz 발진출력

Fig. 14. Oscillation output power at 2.0917 GHz.

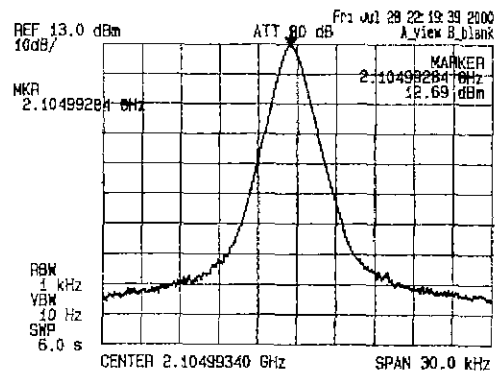


그림 15. 2.105 GHz 발진출력

Fig. 15. Oscillation output power at 2.105 GHz.

낮은 위상 잡음의 B-WLL 대역 주파수 합성기의 설계

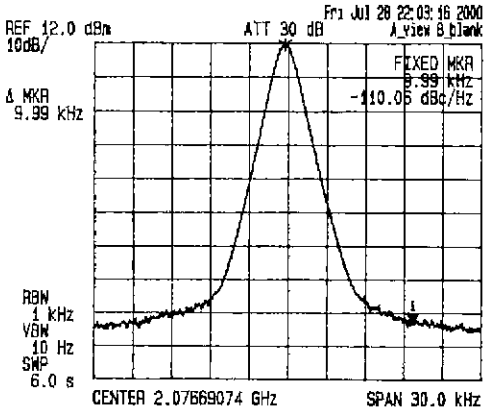


그림 16. 2.0767 GHz에서의 위상잡음특성  
Fig. 16. Phase noise characteristic at 2.0767 GHz.

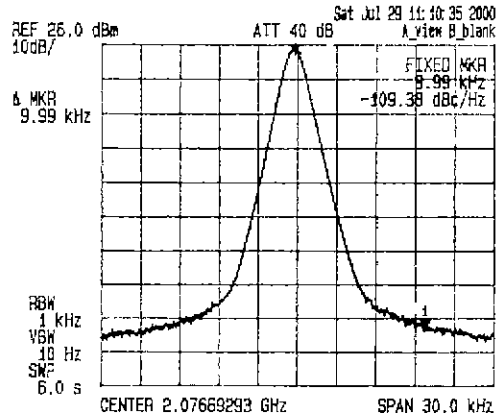


그림 19. 완충증폭기를 거친 2.0767 GHz 위상잡음특성  
Fig. 19. Phase noise characteristic via buffer AMP at 2.0767 GHz.

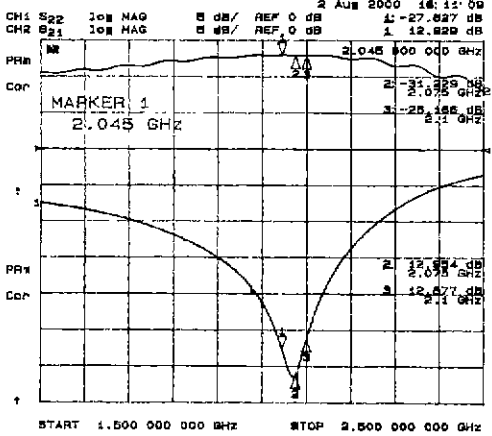


그림 17. 완충증폭기 특성곡선  
Fig. 17. Characteristic curved line of buffer AMP.

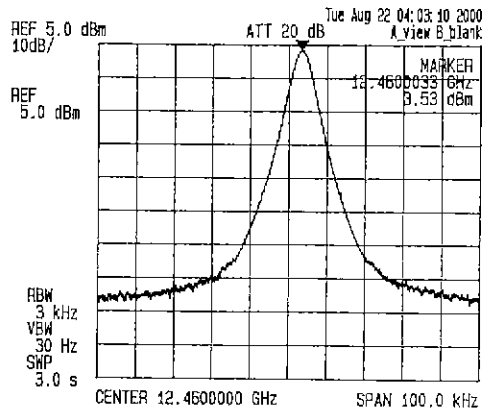


그림 20. 2.0767 GHz의 6번째 하모닉 발전출력  
Fig. 20. 6-th harmonic oscillation output power of 2.0767 GHz.

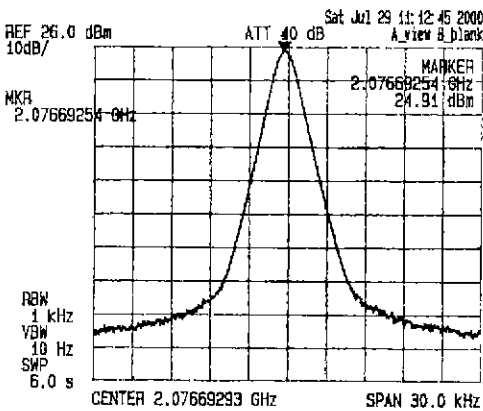


그림 18. 완충증폭기를 거친 2.0767 GHz 발전출력  
Fig. 18. Output power of buffer AMP at 2.0767 GHz.

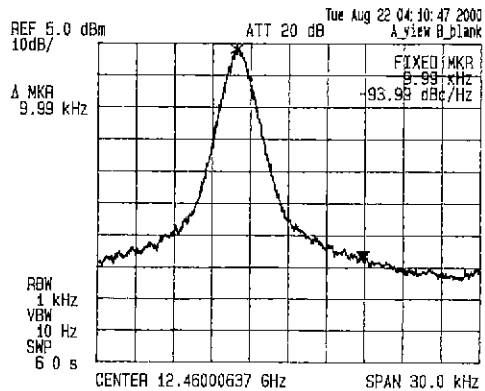


그림 21. 12.46 GHz의 위상잡음 특성  
Fig. 21. Phase noise characteristic at 12.46 GHz.

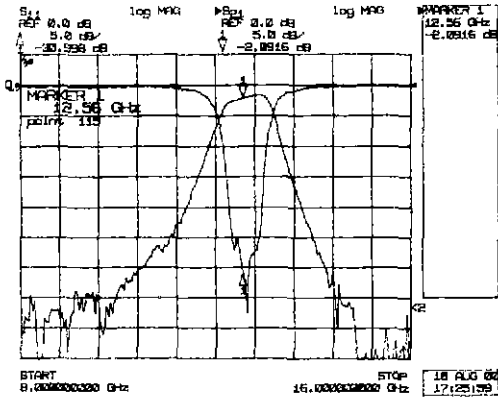


그림 22. 12 GHz 대역 통과 여파기의 특성  
 Fig. 22. Characteristics curved lines of 12 GHz band pass filter.

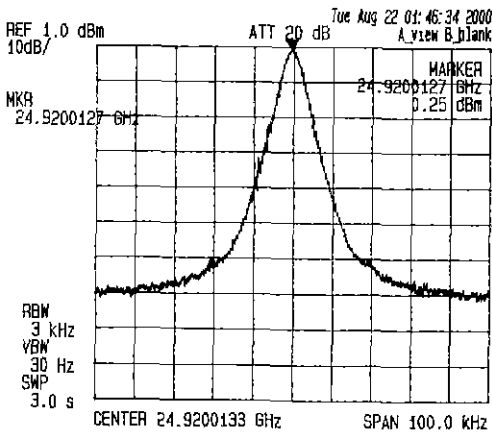


그림 23. 24.92 GHz에서의 발진출력  
 Fig. 23. Oscillation output power at 24.92 GHz.

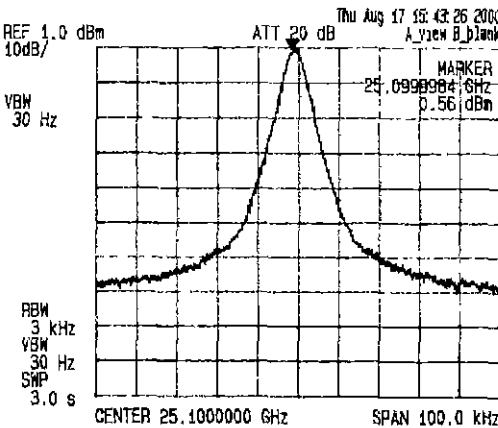


그림 24. 25.1 GHz에서의 발진출력  
 Fig. 24. Oscillation output power at 25.1 GHz.

발진 주파수 2.0767 GHz의 6번째 하모닉 출력인 12.46 GHz에서의 출력전력은 3.53 dBm(그림 20), 위상잡음은 특성은 그림 21에서와 같이 10 KHz Offset 주파수에서 -93.99 dBc/Hz이었다. 그림 18 과 같은 입력 신호 2.0767 GHz 주파수의 위상잡음 특성에 비해서 위상잡음 특성이 15 dB 정도 감소되었는데 이것은 식 (5)에서 나타낸 이론치와 일치한다. SRD 주파수 체배기의 변환손실은 대략 20 dB 정도 이다.

그림 22는 12 GHz 대역 통과 여파기의 측정결과 이며 그림 23, 24, 25에서 B-WLL TX LO로 사용될 최종 주파수 24.92 GHz, 25.10 GHz, 25.26 GHz에서의 발진출력을 나타내고 있다. 출력 전력은 0.25 ~1.06 dBm으로 1 dB 미만의 이득평탄도를 가진다. 측정시 사용된 동축케이블의 손실이 대략 2 dB (그림 29)임을 감안하면 실제 출력은 2.5 dBm 정도 이다. 위상잡음은 발진 주파수 24.92 GHz에서 -87.93 dBc/Hz(@10 KHz, 그림 26)로 12.46 GHz 주파수 체배기에서의 위상잡음 -94 dBc/Hz보다 6 dB 정도 감소됨을 확인할 수 있다. 육섯 주파수 100 KHz에서의 위상잡음 특성은 그림 27과 같이 -109.54 dBc/Hz로 나타났다.

## VI. 결 론

본 논문에서는 낮은 위상잡음 특성을 가지면서 안정한 주파수 특성을 가지는 B-WLL대역 TX LO

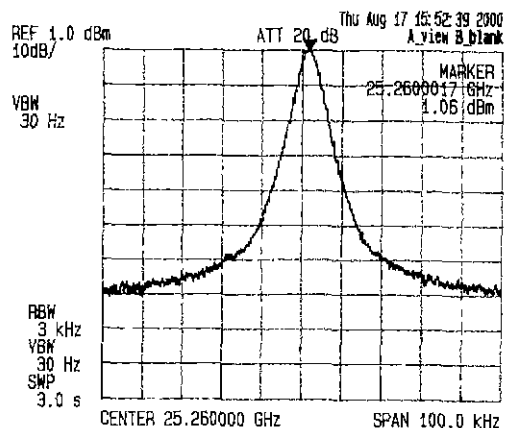


그림 25. 25.26 GHz에서의 발진출력  
 Fig. 25. Oscillation output power at 25.26 GHz.



낮은 위상 잡음의 B-WLL 대역 주파수 합성기의 설계

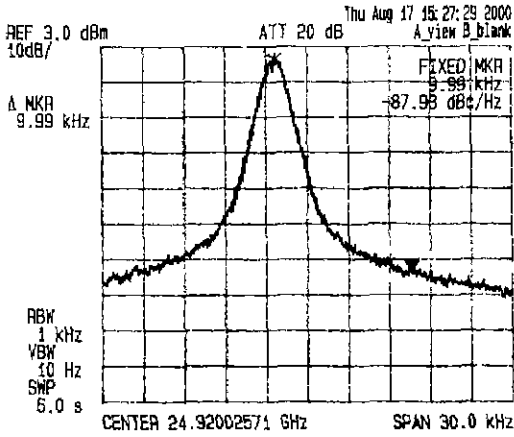


그림 26. 24.92 GHz에서의 위상잡음특성 (span 10 KHz)

Fig. 26. Phase noise characteristic at 24.92 GHz (span 10 KHz).

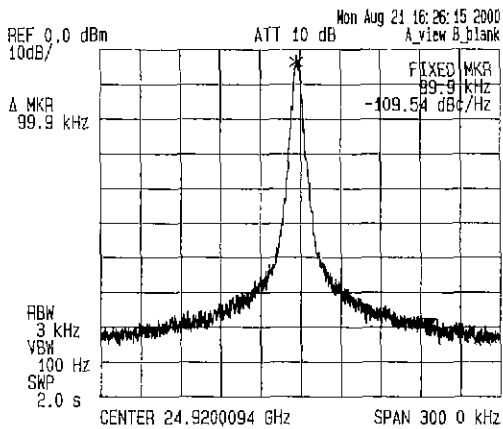


그림 27. 24.92 GHz에서의 위상잡음특성 (span 100 KHz)

Fig. 27. Phase noise characteristic at 24.92 GHz (span 100 KHz)

용 주파수 합성기를 설계, 제작하였다. 2 GHz 대역 주파수 합성기에서 안정한 발진특성과 우수한 위상 잡음 특성을 갖는 신호를 얻은 뒤 SRD와 HEMT로 12배하여 B-WLL 사업자별 TX LO로 사용될 25 GHz 대역의 주파수 합성기 신호를 얻었다. 25 GHz 대역 주파수 합성기의 가변범위는 12V 컨트를 전압 일 때 약 360 MHz 정도로 2 GHz 대역 주파수 합성기의 12배에 달하는 넓은 주파수 범위에서 위상고정을 할 수 있다. 또한 마이크로 컨트롤러를 이용하

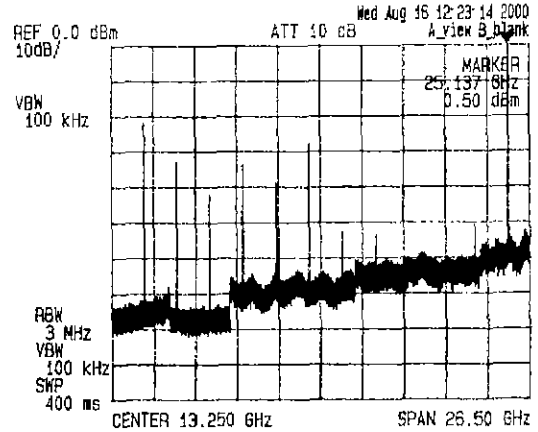


그림 28. 전대역 하모닉 특성

Fig. 28. Harmonic characteristics at overall band

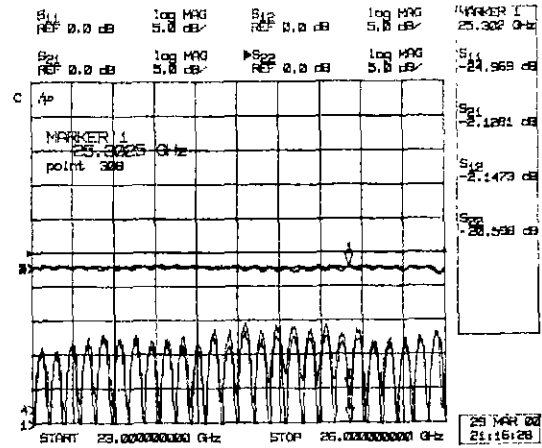


그림 29. 측정시 사용된 동축케이블의 25GHz 대역에서의 특성

Fig. 29. Characteristics of coaxial cable at 25GHz used to measuring.

여 원하는 주파수를 프로그램 상으로 손쉽게 위상 고정할 수 있는 장점이 있다.

본 논문에서 구현한 B-WLL TX LO용 주파수 합성기의 최종 출력 주파수는 24.92 GHz, 25.1 GHz, 25.26 GHz이며 이 중 24.92 GHz에서 0.25 dBm의 출력전력 특성과, 10 KHz 읍셋 주파수에서 -87.93 dBc, 100 KHz 읍셋 주파수에서 -109.54 dBc 정도의 위상잡음을 갖고 1 ppm 미만의 주파수 안정도를 갖는다.

참 고 문 헌

[1] Stephen A. Maas, *Nonlinear Microwave Circuits*, Artech House, pp. 287-304, 1988.  
 [2] Edmar Camargo, *Design of FET frequency Multipliers and Harmonic Oscillators*, Artech House, pp. 68-71, 1998.  
 [3] Bernard C. Deloach, "A New Microwave Measurement Technique to Characterize Diodes and an 800-GHz Cutoff Frequency Varactor at Zero Volts Bias", *IEEE Trans. Microwave Theory Tech.*, vol. MTT-26, pp. 15-20, Jan., 1964.

[4] David M. Pozar, *Microwave Engineering*, Addison Wesley, pp. 486-495, 1990.  
 [5] 김승환, "WLL 대역 주파수 합성기의 설계", 서강대학교 공학석사위 논문, pp. 11-13, 1998.  
 [6] 배수호, "낮은 위상 잡음을 갖는 X-Band 주파수 합성기의 설계", 서강대학교 공학석사위 논문, pp. 8-17, 1999.

송 인 찬



파수 합성기회로

1974년 7월 16일 생  
 1999년: 서강대학교 전자공학과 (공학사)  
 1999년 2월~현재: 서강대학교 대학원 전자공학과 재학중(석사)  
 [주 관심분야] 마이크로파와 밀리미터파 통신대역의 발진기 및 주

황 희 용



1965년 9월 20일 생  
 1992년: 서울대학교 전자공학과 (공학사)  
 1995년: 서강대학교 대학원 전자공학과(공학석사)  
 2000년: 서강대학교 대학원 전자공학과(공학박사)  
 2000년 2월~현재: 서강대 BK 계약교수  
 [주 관심 분야] 마이크로파와 밀리미터파 통신대역의 여파기 및 수동 소자 및 회로

1965년 9월 20일 생  
 1992년: 서울대학교 전자공학과 (공학사)  
 1995년: 서강대학교 대학원 전자공학과(공학석사)  
 2000년: 서강대학교 대학원 전자공학과(공학박사)

고 원 준



회로

1973년 7월 16일 생  
 2000년: 서강대학교 전자공학과 (공학사)  
 2000년 2월~현재: 서강대학교 대학원 전자공학과 석사과정  
 [주 관심분야] 마이크로파와 밀리미터파 통신대역의 믹서 및 LNA

윤 상 원



1984년 9월~현재: 서강대학교 전자공학과 교수  
 [주 관심분야] 마이크로파와 밀리미터파 통신대역의 수동, 능동 소자 및 회로

1954년 11월 9일 생  
 1977년: 서울대학교 전자공학과 (공학사)  
 1979년: 동 대학원 전자공학과 (공학석사)  
 1984년 9월: University of Texas, Austin(공학박사)

한 동 업



파수 합성기회로

1974년 9월 5일 생  
 2000년: 서강대학교 전자공학과 (공학사)  
 2000년 2월~현재: 서강대학교 대학원 전자공학과 석사과정  
 [주 관심분야] 마이크로파와 밀리미터파 통신대역의 발진기 및 주

장 익 수



1982년 9월 Univ. of Wisconsin at Madison 방문교수  
 1997년 3월~1998년 2월: 서강대학교 공과대학장  
 [주 관심분야] RF 회로 디자인

1967년 2월: 서울대학교 전자공학과(공학사)  
 1970년 2월: 동 대학원 마이크로파 공학 전공(공학석사)  
 1979년 2월: 동 대학원 마이크로파 전공(공학박사)  
 1977~현재: 서강대학교 교수