제품생산비용과 관련된 PCB ARTWORK

윤종호
(인품 대표이사)

1. 굴을 시작하며

최근 PCB설계의 기술 동향에서 고속 설계 디자인, 시뮬레이션 S/W로, 차세대 디자인, 경제성 등을 구현하고, 제품의 타임타입을 최소화하기 위한 요소는 고르고 적절한 선택은 고속성격과 관련된 고속처리 기능, 스피드 증가에 따른 다양하고 정확한 시뮬레이션 칩 중 기능이다.

최근에는 접착도가 매우 높은 BGA(BALL GRID ARRAY), CSPC(CHIP SIZED PACKAGE) 제품의 보드를 적수도가 높아지면서 고속 디자인에서 (HIGH SPEED DESIGN)를 필요로 하고 있으며 신호통합 (SIGNAL INTEGRITY)에 대한 관심이 매우 높아지고 있는 추세이다.

이러한 추세에 맞춰 PCB 설계라도 PC급에서 지원되는 고밀도 디자인 소프트웨어가 수록 등장하고 사용되어지고 있다.

최근 PC급의 PCB설계가 위크스테이션급의 성능을 많이 갖추며 추격하고 있다.

고급기능으로 알려진 “RULE BASE DESIGN”과 같은 기능도 PC급에서도 지원 되면서 그 성능면에서 차이가 줄어 들고 있는 추세이다.

특히 PC급의 설계용 PC의 하드웨어 성능이 강화 되면서 위크스테이션에서 지원되는 기능들이 PC급으로 이식되고 있으며, 가격대비 기능이 풀어지지 않은 면에서 중소, 아트와 크립체 뿐만 아니라 전체 대기업에도 많은 도움과 사용이 이루어지고 있다.

그러나 대기업에서 고가의 위크스테이션급을 안정적이고 정비적 데이터를 요하기 때문에 많이 사용하고 있는 현상이다. 많은 PC급 PCB ARTWORK TOOL들이 각 사의 개성 을 가지고 등장하게 되었으며 이러한 TOOL들은 중간 WORKSTATION급이나 가변적인 기능들을 포함한 고급 제품들도 다 수가 있다. 현재 PCB ARTWORK TOOL에선 현재 가장 문제로 되는 기술적인 면의 기능들이 강화되고 있는 상황이며 이러한 가운데 기업의 이용과 관련된 생산성 향상을 위한 기능들도 많이 고려되어 TOOL 개발에 반영 되고 있다. 기가 수작업의 작업지연성을 해결하기 위해 CAD 도입하는 목적이나 그 제품의 기능, 생산 단계의 기업의 기본 인원, 전략 차원에서 이러한 것을을 활용함을 해야 할 것으로, PCB ARTWORK에선 현재 많은 관심이 EMC, EM 대책에 모아지고 있다. 그러나 PCB의 생산성을 효과적으로 상승시키지 않으면 경쟁력에 기본적인 면에서부터 뒤처지게 될 것이다.

PCB 설계 작업자들에게 엄청 생산성을 고려한 ARTWORK 작업이 이루어야 하기에 PCB 생산소과 제품 생산비용에 직접적으로 관련된 2 가지 사항을 간략하게 설명하였다.
2. PCB의 총수 결정

PCB 원가 결정의 가장 중요한 부분인 PCB층수는 제품의 기획단계에서 항상 최우선적으로 검토되어야 할 사항이다. 가격을 고려하여 총의 PCB를 사용하여 생산을 하면 제품 자체의 오동적 환경이 될 수 있기 때문이다. 그러므로 무작정 총수가 많이 고려한 PCB를 고려한다면 전체생산매개변수이며 인하여 소비의 필요한 소비자에게는 만족감이 가능할 것이다. PCB를 설계할 시에 고려되어야 할 우선 사항은 몇 층의 배선 층과 전원 PLANENE가 필요하게 되는 것이다. (생산 단가를 고려한 적절한 단계에서)

PCB층 수는 기능, 사양, NOISE IMMUNITY와 신호 순서의 분리, PIN TO PIN NET 수(TRACE), IMPEDENCE여, 회로의 소자밀도, BUS의 배선을 위해 결정된다.

STRIP LINE과 MICRO STRIP LINE형태의 적절한 사 용은 PCB에 있어 무선주파수(RF)를 억제하는데 필요한, 금속으로 된 직선 또는 막대형 PLASTIC CASE에 의존하는 것 보다는 PCB상에 RF ENERGY를 억제하는 것이 조금 더 적합한 방법임을 다시말해서 이번에 배선에 따르면 PLANENE의 전원을 사용하는 COMMON MODE RF를 표면의 내부에 억제시키는 가장 적절한 방법의 하나이다. 다음은 설계에 관한 이점은 다음과 모든 PLANENE의 본질적으로 고주파 전원의 분배 IMPEDENCE를 감소시키는데 기여한다는 것이다.

그림 1에 두 가지 중요한 부분인 MICRO STRIP LINE과 STRIP LINE형태의 차이를 나타낸다.

1. MICROSTRIP LINE은 유전성의 층들에 의해 고체의 PLANENE으로부터 분리된 PCB상의 외부 전원 TRACE를 차단한다.

MICROSRTIP기술은 PCB상에서 RF에너지의 억제를 제공하지만, STRIPLINE보다 고전의 CLOCK이나 논의신호를 가능하게 한다. 고속신호의 억지가 유연하게 하기위해, CLOCK 신호에 콘덴서를 사용하는 경우가 있다. 두 고체 PLANENE 간의 수면성 결합을 저감하게 되면 더욱 빠른 신호 전달이 된다. MICROSTRIP의 결합은 단일이 외부로 PLANENE의 양쪽에 보호판을 설치 하지 않으면 (TRACE의 상 부분과 하부의 양면에 차폐를 설치하겠지만) PCB의 외부 환경에 RF 에너지를 방출하는 것이다.

2. STRIPLINE은 두 고체 PLANENE (GROUND 또는 전 원)간에 회로 PLANENE를 배치한 구성을 말한다. STRIP LINE은 RF 방사에 대해 보다 양호한 NOISE IMMUNITY를 제공하지만, 전달 속도가 빠르게 느껴지는 결과를 초래한다.

회로(신호)PLANENE이 고체 PLANENE (GROUND 또는 전원)간에 위치하기 때문에 두 PLANENE간의 수면성 결합이 발생하여 고속신호의 수면성 속도를 높게 한다. STRIPLINE형태의 수면성 결합 효과가 일반적으로 Ins보다 빠른 수면의 신호로 보인다. STRIPLINE을 사용하는 주된 이점은 내부 TRACE로부터 발생하는 RF 에너지의 억제된 차폐가, 그 결과는 RF 방사의 역효과이다.

여기서 주의할 점은, 방사에 어떤 존재의 소자에서나 발생할 수 있는 것이다. 내부의 신호 TRACE는 RF 에너지를 방출하는 경우는 있지만, 상호 접속 부분 상호접속 케이블, 리프레임 케이블, 본딩 왜이어 등이 또한 문제를 제기한다. 시스템, 부품, 전원의 IMPEDENCE를 보다 적절하게 조정하는 것이 방사의 소자 또는 리프레이먼트를 최소로 하는 것이 방사 감소에 효과적이다.

여기서 언급하는 PCB 적층 할양법은 PCB 적층법의 선택 지침으로서 제공되고 있다.

이 할양법은 고정된 것이 아닌 기능과 필요에 따른 배선층의 수에 따라 변형가능한 것이다. 다만 지켜야 할 것은 각 내부 PLANENE (GROUND 또는 전원)에 영향을 미치지 않으면 한다. (표 1 참조)

여러가지 중요한 기관이 있으나 여기선 주로 이 우리 나라에 서 많이 얻어지고 있는 2 LAYER과 4 LAYER 에 대해서만 요약한다.

2.1 2층 기판

2 LAYER PCB에는 두 가지의 LAYOUT 방법이 있다. 첫째 방법은 DUAL-IN-LINE(DIP)으로 구성된 재료의 기술(저속 소자)에 사용되는 일반 또는 MATRIX 구성으로 나.PropertyType 이 기법을 사용하는 인터페이스는 많지 않을 것이다. 현 재에는 구성법2로 적을 경우가 많다.

- 전체와 GROUND을 격자 형상으로 배치하고, 각 격자로 구성되는 부피면적이 1.5 제곱 INCH를 넘지 않도록 한다.
표 1.

<table>
<thead>
<tr>
<th>층번호</th>
<th>1</th>
<th>2</th>
<th>3</th>
<th>4</th>
<th>5</th>
<th>6</th>
<th>7</th>
<th>8</th>
<th>9</th>
<th>기타</th>
</tr>
</thead>
<tbody>
<tr>
<td>2층</td>
<td>S1(G)</td>
<td>S2(P)</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>부속설계</td>
</tr>
<tr>
<td>4층(2배선)</td>
<td>S1</td>
<td>G</td>
<td>P</td>
<td>S2</td>
<td></td>
<td></td>
<td></td>
<td></td>
<td></td>
<td>고전호임피던스와 저전원임피던스의 유지가 어렵다</td>
</tr>
<tr>
<td>6층(4배선)</td>
<td>S1</td>
<td>G</td>
<td>S2</td>
<td>S3</td>
<td>P</td>
<td>S4</td>
<td></td>
<td></td>
<td></td>
<td>저속설계, 전원부족, 고전호임피던스</td>
</tr>
<tr>
<td>6층(4배선)</td>
<td>S1</td>
<td>S2</td>
<td>G</td>
<td>P</td>
<td>S3</td>
<td>S4</td>
<td></td>
<td></td>
<td></td>
<td>중요 PATTERN은 S2만</td>
</tr>
<tr>
<td>6층(3배선)</td>
<td>S1</td>
<td>G</td>
<td>S2</td>
<td>P</td>
<td>G</td>
<td>S3</td>
<td></td>
<td></td>
<td></td>
<td>저속설계 S2-S3에</td>
</tr>
<tr>
<td>8층(6배선)</td>
<td>S1</td>
<td>S2</td>
<td>G</td>
<td>S3</td>
<td>S4</td>
<td>P</td>
<td>S5</td>
<td>S6</td>
<td></td>
<td>고속설계 S2-S3에, 전원임피던스는 좋지 않다</td>
</tr>
<tr>
<td>8층(4배선)</td>
<td>S1</td>
<td>G</td>
<td>S2</td>
<td>G</td>
<td>P</td>
<td>S3</td>
<td>G</td>
<td>S4</td>
<td></td>
<td>EMC에 최적</td>
</tr>
<tr>
<td>10층(8배선)</td>
<td>S1</td>
<td>G</td>
<td>S2</td>
<td>S3</td>
<td>G</td>
<td>P</td>
<td>S4</td>
<td>S5</td>
<td>G</td>
<td>S6</td>
</tr>
</tbody>
</table>

S: 신호배선층, P: 전원, G: GROUND

구성법 (그림 2)

- 전원과 최적의 PATTERN을 서로 90도의 각도로 배치하고, 전원층을 하나의 층에, GROUND를 다른 난은층에 배치한다.
- GROUND PATTERN은 TOP면에 수직으로 배치한 경우, 전원 PATTERN은 BOTTOM면에 수평으로 배치한다.
- 모든 CONNECTOR와 IC마다 전원과 GROUND 간에 DECOUPLING CONDENSER를 배치한다.

구성법2 (그림 3)

우전원과 그래몬드의 트레이스는 서로 밀접히 배치하여, 전원 투로 전동을 최소로 한다.

그림 3. 전원 배선과 신호 호흡의 이동이 방사상인 2층 PC 기판

이 구성법은 10ms 미만의 저주파 ANALOG 설계에서 일반적으로 사용되어지고 있다.
모든 전원 PATTERN을 전원으로부터 모든 소자에 방사상으로 통일면을 통해 배선한다. 모든 PATTERN의 종합 배선 길이를 최소로 한다.

○ 모든 GROUND와 전원의 PATTERN을 서로 인접(경쟁) 하여 배선한다. 이것은 LOOP 전류를 최소로 하여, 고주파의 수신 잦음(소자 내부에서 발생)에 의해 다른 회로와 제어 신호를 오염시키는 것을 최소로 한다. 이들 PATTERN이 개별 PATTERN의 폭보다 넓게 분리되는 것은 DECOUPLING CONDENSER와 접촉하기 위한 것 뿐이다. 신호의 호름은 이들 GROUND 경로와 평행으로 해야 한다.

○ TREE가 다른 가지들 그 외의 가지와 접촉하는 것을 피함으로써 전류 LOOP의 발생을 피한다.

그림 3을 살펴보면, 저주파의 가시적인 IMPEDENCE가 동일하면서도 갑작스럽게 수치를 가이치지 않을 것으로 생각된다. 이 상태에 있어서 1장 GROUND접촉이 결합된다. 다시 말하면 저주파 중에서 배치에 고주파의 성능을 도입하는 것이다.

그림 3에서 다음과 같은 점에 유의 하기 바란다.

○ 구조안에서 용접하기 위해서는 모든 신호 PATTERN과 그 RETUR PASS의 표면 IMPEDENCE(Z)를 계산한다.

○ 저주파의 용도로 사용될 때, IMPEDENCE라고 하기 보다는 오히려 형태의 LAYOUT을 계산한다.

2 LAYER PCB 상에서 부품이 그림 3에 나타낸 바와 같이 배치되는 이유를 그림 4에 나타낸다.

![그림 4. 방사성의 이동](image)

고대역폭(CPU)의 소자에서 저주파 소자 (I/O)로 그 방사상에 대한 이동을 나타내고 있다. 방사상 이동(이 기법은 W.MICHAEL King에 의해 개발된)이 의미하는 것은 회로가 고대역폭에서 저대역폭 AREA로 전환함에 따라 PATTERN에 의한 신호전달이지 잎직 거치고 I/O CONNECTOR 부분에서 EMI특성이 개선된다던 점이다.

아 신호전달장치의 저항가 발생하는 것은 소자 내부용량과 신호전란은 가지기 때문이다.

각 소자간 신호의 상호간의 tr를 느리게 한다. CPU 부분부터 I/O까지의 직렬접촉회로에서, 이 저연은 급속(FILTER와 같이) 되어 SYSTEM과 I/O 회로에서 고대역의 성능이 제거된다.

2.2 4층 기판

4층의 적층을 실행하면서는 한 가지 방법밖에 없다.

GROUND와 전원 PLANE의 사용이 2 LAYER PCB에 비해 EMI의 영향을 크게 감소한다. 그러나 4 LAYER PCB는 회로나 PATTERN에 의해 형성되는 RF 전류의 저주파 소자에 적합하지 않다. 그림 5는 이 적층을 자세히 도시한 것이다.

![그림 5. 4층기판의 적층](image)

○ 1 LAYER (COMPONENT SIDE) : 신호와 CLOCK
○ 2 LAYER : GROUND PLANE
○ 3 LAYER : 전원 PLANE
○ 4 LAYER (SOLDER SIDE) : 신호와 CLOCK

이하의 적층 형태에 대해, 3층 이상의 PLANE (즉 1 전원과 2 GROUND PLANE)이 갖추어진 경우, 초고속 CLOCK PATTERN의 최적의 성능은 그들이 전원 PLANE에 인지하지 않고 GROUND PLANE에 인지하여 배선될 때 심각하다. 이것은 PCB에 있어서 EMI 역할의 기초적인 기본 개념이다. 이것을 확실히 기억해 두지 않으면 안된다. 다음 PCB는 STRIP LINE 또는 MICROSTRIP LINE에 의한 신호 IMPEDENCE 제어가 관할되므로, 우수한 신호품질과 EMC 성능을 제공한다. 전원과 GROUND의 PLANE에선 IMPEDENCE는 대략 잡음되지 않으면 안된다. 이들 PLANE은 " seri 용의 각자 고장, 순수적인 단락 및 폭넓은 버스를 가지는 신호 상의 요령성 부하에 의해 이루어지는 RF SPECTRUM 전류 SURGE를 포함한다. MICRO STRIP (또는 STRIP LINE)의 유용에 있어서 중요한 문제는 모든 전선 신호에서 인력선을 회로로 하는 저주파 소자에 대한 이데이다. 각각 논리 소자는 그 pull-up/pull-down 전류 비율이 거의 비례되어 있다. 이것은 저주파 소자 전원 PLANE 간이 아니라, 신호와 GROUND의 PLANE 간에서 강화되는 것을 의미한다. 이 상황에서, 전원 PLANE를 저주파 소자 제어에 사용하는 것은 적절 조절을 나타내지 않으며 신호 차폐의 위상 변화보다 큰 인력선, 좋지 않은 IMPEDENCE제어와 NOISE 불안정성을 수반한다.
최적의 신호 기준을 위한 PLANE으로 GROUND PLANE이 바람직하다. 기판 LEVEL의 역량에 대한 기초적 개념은 PCB내의 PATTERN, 소자, 흐로가 PLANE에 관련되어 존재하는 RF 전류간의 자속저항에 있다. 전원/GROUND PLANE은 이 자속 저항의 영향으로 인해, GROUND PLANE을 수록 자속 저항에 관하여 잘 기능하지 않는다. 즉, PATTERN이 전원/GROUND PLANE보다 GROUND PLANE에 인접하여 배선되었을 때 최선의 성능이 발휘된다. 이것은 자속 저항의 우위의 증가인 pull-up/pull-down에 의해 증명된다.

특히 ANALOG와 DIGITAL의 혼합회로는 다중기판이 기본이다.

다중 기판의 이점을 정리해보면 다음과 같다.

1. 전원과 GROUND LAYER는 평판 PLANE이 되므로 SHIELD의 역할을 수행한다.
2. 양면이 GROUND와 IMPEDANCE 기준 전위를 임을 수 있다.
3. 도체 PATTERN이 안테나가 되어 외부에 전자 NOISE를 방사하는 것을 예방할 수 있으며 PCB 내부로 침입하는 것 또한 예방이 된다.
4. GROUND 면과 신호 PATTERN과의 간격이 줄어 신호 신호의 고주파와 IMPEDANCE가 낮아진다.
5. CROSSSTALK을 감소 시킬 수 있다.
6. 소자의 고밀도 실링이 가능하다.

위와 같이 PCB의 총수를 결정하는 것은 서로 상반된 면이 있다. 경제적인 측면에서는 양면 PCB가 정점을 다중 PCB 보다 많이 가지고 있지만 최소화 독특성을 고려하면 많은 것이 낮은 전용으로 PCB ARTWORK으로 극복하기에 한계가 분명하다. 이러한 총수 결정은 상황에 따라 고려되어야 한다.

8. VIA HOLE에 대한 밀접도, VIA HOLE SIZE 위치, SOLDER MASK 처리
9. GROUND PATTERN(연결 HOLE)에 대한 처리
10. 극성 부품의 배치 방향 일관성
11. 소자의 LEAD 길이와 LEAD 목
12. 넓은 동판부의 처리 관계

부품형상별 배치위치 결정 (TOP OR BOTTOM)

SMT 부품은 부품 형상상 부품면과 SOLDERING면에 배치할 수 있다. 부품면에 배치할 시에는 SOLDER CREAMPERC 인장 접합을 해야 하므로 별도의 공간이 필요하게 된다.

주 : 배치가능 ○ : 권유에 의한 배치가능 X : 배치 불가

<table>
<thead>
<tr>
<th>부품 TYPE</th>
<th>조 건</th>
<th>부품면 배치</th>
<th>SOLDER 면</th>
<th>비 고</th>
</tr>
</thead>
<tbody>
<tr>
<td>1005 CHIP</td>
<td></td>
<td>O</td>
<td>X</td>
<td>접착제 도포 불가</td>
</tr>
<tr>
<td>1608 이상 CHIP</td>
<td></td>
<td>O</td>
<td>X</td>
<td></td>
</tr>
<tr>
<td>SOT (DIP,SOIC,TR)</td>
<td>높이 3mm 이상</td>
<td>O</td>
<td>X</td>
<td>단면 PCB의 경우만 SOLDER면에서 배치</td>
</tr>
<tr>
<td>SOIC (SOT)</td>
<td>1.27mm과 이상</td>
<td>O</td>
<td>X</td>
<td>단면 PCB의 경우만 SOLDER면에서 배치</td>
</tr>
<tr>
<td>QFP</td>
<td>0.85mm과 이상</td>
<td>O</td>
<td>X</td>
<td></td>
</tr>
<tr>
<td>PLCC JICC (U-LEAD 등)</td>
<td></td>
<td>O</td>
<td>X</td>
<td></td>
</tr>
<tr>
<td>이형 부품</td>
<td>PLASTIC 제외</td>
<td>O</td>
<td>X</td>
<td></td>
</tr>
</tbody>
</table>

** 주: 소자 높이가 3mm 이상되는 SMT 소자는 SOLDERING 면에 배치할 수 없음. (WAVE SOLDERING 시 납땜 부하 발생)

COMPONENT면과 SOLDERING면에 혼재하여, SMT 소자를 배치할 경우, COMPONENT면에 우선 배치하도록 한다.

SMT소자는 CHIP MOUNTING MACHINE의 독특성을 고려하여 PCB 외부에서 이격거리 5mm 이상으로 한다.

PAD SIZE의 결정

1985년 IPC(Institute for Interconnecting and Packaging Eletronic Circuit) 산하의 Surface-Mount Land pattern Task Group가 표면설치부품(SMC-Surface mount Component)을 설정하기 위한 산업표준을 마련하기 위하여 최초로 결정되었다.

당시에는 많은 기업들이 각자 회사의 제품들에 표면설치부품들을 적용하여 하였지만 협의와자료가 부족한 현실이었다.
북미와 유럽에서는 이런 SMC형태의 소자들을 JEDEC (JOINT ELECTRONIC DEVICE Engineering Council) 에 등록시킴으로써 외형과 기구에 대한 일반적인 표준을 마련하고 제한을 하게 되었다. 그러나 각 부품소자회사의 Package data를 보면 현재까지도 동일한 Pin 수와 동작가능성이 일치함에도 불구하고 서로 다른 Package 형태를 가지고 있는 것을 볼 수 있다. 때문에 언급하는 것은 오늘날 가장 범용적으로 사용되는 부품에 관한 것이다.

SMT 소자는 PAD SIZE/형상/위치에 대하여 SOLDERING 안정도의 95% 이상을 차지 할 정도로 매우 비중이 높아 PCB 설계시 주의해야 한다. 이는 일반 소자들이 부품 PAD를 이용하여 어느정도 이격된 거리에서 SOLDERING이 이루어지는 반면, SMT소자들은 부품의 배치 밀집도 자체도 높고, 한 부품내에서의 PAD 간격도 상당히 줄어 SOLDERING시 많은 날 SHORT 및 미연결상황을 유발한다.

또한 같은 SMT소자라도 SMT SOLDERING 공법 (FLOW, REFLOW)에 따라 SOLDERING 형태가 다르기 때문에 그에 알맞는 PAD를 별도로 구성하지 않으면 안 된다.

일반 소자들은 PCB설계에 가까워져 있는 HOLE을 이용하여 보정하기 때문에 어느 정도의 삽입 정도가 되어도 부품이 원하는 위치에 삽입되지만, SMT소자는 HOLE이 없는 PAD를 이용하기 때문에 SMT소자 장착 정도가 떨어지면 날은 날 SHORT가 발생하므로, 장착에 대한 MARGIN을 또한 SMT PAD SIZE 결정시 고려하여 부품 LIBRARY를 구성하고 설 계해야 한다.

이제 그림과 표에 현재 자동삼업업체에서 사용되어지고 있는 chip capacitor와 resistor의 flow용과 reflow용의 land size와 pin to pin 간격을 나타내었다.

### FLOW SOLDERING 용

<table>
<thead>
<tr>
<th>CHIP SIZE</th>
<th>PAD SIZE X BY Y</th>
<th>FOOTPRINT</th>
</tr>
</thead>
<tbody>
<tr>
<td>0805</td>
<td>0.30 X 0.60</td>
<td>0.90</td>
</tr>
<tr>
<td>1005</td>
<td>0.30 X 0.60</td>
<td>1.10</td>
</tr>
<tr>
<td>1206</td>
<td>0.40 X 0.64</td>
<td>1.34</td>
</tr>
<tr>
<td>1210</td>
<td>0.70 X 0.64</td>
<td>1.34</td>
</tr>
<tr>
<td>1505</td>
<td>0.30 X 0.64</td>
<td>1.60</td>
</tr>
<tr>
<td>1608</td>
<td>1.00 X 0.90</td>
<td>1.60</td>
</tr>
<tr>
<td>1805</td>
<td>0.30 X 0.64</td>
<td>1.90</td>
</tr>
<tr>
<td>1812</td>
<td>0.80 X 0.70</td>
<td>2.00</td>
</tr>
<tr>
<td>2125</td>
<td>1.80 X 0.70</td>
<td>2.40</td>
</tr>
<tr>
<td>3216</td>
<td>1.80 X 1.60</td>
<td>3.20</td>
</tr>
<tr>
<td>3226</td>
<td>2.80 X 1.60</td>
<td>3.20</td>
</tr>
<tr>
<td>5025</td>
<td>2.60 X 2.50</td>
<td>5.00</td>
</tr>
<tr>
<td>6315</td>
<td>3.20 X 3.00</td>
<td>6.00</td>
</tr>
</tbody>
</table>

ICT (IN-CIRCUIT TEST)
ICT의 기본원리는 그림에서 표시한 것과 같이 다음과 같다.
ICT에서 부품의 측정은 부품의 한쪽 끝에 전류 또는 전압을 인가하고 다른 한쪽끝에서는 전류 또는 전압을 측정함으로써 부품의 특성을 검사하는데 이에, 인가 전압 및 전류는 PROGRAM에서 지정하는 각 부품의 외장표면에 맞게 정의하여 Computing Resistor를 지정하여 이를 비교기에 의해 비교판 허영지에의 범위내의 용량에 대하여 양품과 불량품을 판별하게 된다. PCB BARE B/D TEST에서의 사용은 PCB상에 존재하는 PATTERN(상하중, TRACE PATTERN 및 내전면과 GROUND PLANE)의 단락여부, SHORT여부등을 CHECK하여 부품을 조립하기 전의 PCB의 블랑팅여부를 검사하며 부품이 정착된 PCB에서는 각 부품들의 장착여부를 판단하는 기준으로 사용되어지고 있다.

![그림 8.]

ICT를 위한 PCB DESIGN 방법을 알아보기로 하자.

FIXTURE 제작이 가능한 PCB SIZE는 가로 340, 세로 220 mm 내에서만 가능하다고 한다. 물론 PCB를 여러개 ARRAY 할 때에도 이 규격을 적용되어야하며 ARRAY B/D 의 GUIDE HOLE는 DAUGHTER PCB 내부에 2개소 이상 위치해야하며 GUIDE HOLE의 구성은 각각의 개별 PCB 내에서 각각에 반드시 위치하여야 한다. SINGLE PCB의 경우에는 GUIDE HOLE은 4개소로 구성하며 PCB 외곽의 10 mm 이내에 소자가 위치하고 있어 자동하임 장비의 기계적 성능상 부품을 삽입 할 수 없으므로 혼란 적절함이라고 하는 급격한 추가적인 자동하임 요소의 공간을 PCB 상에 만들어 V-Cutting이나 HOLE를 일정공간에 가공하여 분리 할 수 있게 한다. 이 때 4개소의 HOLE 가운데 일반적으로 좌측 하단에 위치한 HOLE는 협업(일반적으로 가로 3.5 mm, 세로 5 mm)으로 형성된다. 이것은 SOLDERING MACHINE에서의 유도를 차지하기 위해서인 것이다. GUIDE HOLE은 SOLDER PAD번이 없어야 하며 허용공차는 일반적으로 DIA 0.1 mm (MAXIMUM)으로 한다.

TEST PAD는 일반적으로 JIG POINT라고 하며 어떤 제품의 시험용 MODEL에서는 이 TEST PAD를 혼자도 보통 PCB ARTWORK 작업들이 우선적으로 고려하지 않고 작업하는 부분이다. 그러나 모든 제품의 성능시험을 끝내고 영점 단계에서 이 부분을 추가 삽입하려고 하면 기존에 ARTWORK 된 수많은 PATTERN 위치들에 변경되며 지금까지의 많은 TEST의 경로는 수용지로 되어 일련의 시험 측정절차를 다시 얻어 얻는 결과를 초래하기 때문에 PCB ARTWORK의 초기 단계에서 계획, 검토 되어 작업에 반영되는 것이 기본적인 것이다.

TEST PAD 혹은 TEST POINT는 소량의 기본 시험용 PCB에도 유용하게 쓰이며 제품의 양산시에는 반드시 필요한 것이기에 PCB상에 존재하는 하나의 NODE에 하나의 TEST PAD 를 가져야 하며 최소 DIA 1.625 mm 크기로 형성되어야 한다. (현재 PCB 의 PATTERN 필도가 높은 경우에는 VIA PAD를 TEST PAD로 사용하고 있으며 HOLE SOLDERING TYPE 의 부품과 연결된 NODE에는 TEST PAD가 필요없음) THROUGH HOLE의 PAD 굴 부분의 SMD 부품의 PAD 부분의 간격은 최소 1.9 mm이며 그림과 같이 동작 PAD면과 COPPER 도금면의 간격은 최소 0.25 mm가 되어야 한다.

또한, 최로도 작성시 TEST POINT를 SYMBOL로 작성하면 결과 추적에 용이하므로 기금이면 최로도에 TEST PAD 의 REFERENCE NAME로 부여하는 것이 바람직하다. TEST PAD사이의 이격거리인 PAD의 중심으로부터 최소 2.54 mm가 되어야 하며 자동 SOLDERING방향에는 (일반적으로 수평 반향) 각각의 TEST PAD 사이의 이격거리 최소 4.0 mm를 지정한다. 설명한 바와 같이 TEST PAD의 크기와 이격거리만을 가지고 생각해 보아도 많은 공간이 추가적으로 형성되어야 하는 부분매치나 PATTERN ROUTING 시 가급적 여유공간을 확보 해 두는 것이 좋다.

글을 마치며,..

몇 글자 추가한다면 누군가 이런 글을 web-site에 올린 것을 본 적이 있다.

"나는 일류인가!!!"하는 글도 있다. 좀더 구체적인 제목은 이러하다. 전자 CAD를 사용하는 PCB ARTWORK를 하는 사람으로서 나는 일류인가 전문적인 의미에서 일류가 되기 위해서 첫번째 스스로 자신의 능력과 실력을 명확하게 생각 해보고 스스로에게 질문을 던지자....
소위 케드경력이 5년이상이 넘어가게 되면 자기가 사용하고 있는 프로그램의 운영에 대해서는 충분히 되지지 않고 자가에 대해 설명하기에는 경우가 많다. 또한 현재 국내에서는 공식적인 PCB ARTWORK만을 위한 정규교육과정이 없으므로 더 이상 실력증진을 하고 싶어도 까다로운 인터넷으로 실한 것이다.

일부 학원에서 교육을 실시하고 있지만 실제 교육기간도 짧은 편이다. 케드 프로그램의 사용법에 치중할 수 밖에 없는 실점이다. 국내에서도 일본이나 미국등에서 유학을 가시 공부한 정보가 과도하게 짧은 것으로 알고 있지만 대부분 현역에 있을과 케드와 무관한 일을 하고 있는 경우가 많다. 대기업에서도 파거에는 기업 내부에서 교육을 하고 인체를 얻었지만 이제는 여러 이론 외주로 들리고 있다. 국내에서는 PCB ARTWORK가 별량적으로 사실 별로 대우받고 있지 못한 풍토에서 경제력을 수립하는 정책론이나 경영진들에서 새로운 시각으로 생각해야 할 것이다. 설정적으로 PCB는 전자산업의 가장 기초 소재이자 자재로서 양산선이나 적재 적공에 차질 없는 원가 조정을 차지하고 있고 기판 설계자는 실질적으로 회사에 큰 기여도가 반대로 손해도 줄 수 있는 것이다. 파거와 달리 기판설계자는 고가 수입 기판 설계에 주어지고 있다 고수, 고급도, 다중층, 소형화, 경량화 단조화, 단기간 설계라는 과제이기 이어서 파거 단일 업계 기판에서는 크게 문제되지 않았던 여러 과제들이 등장하게 되었고 파거와 같이 GND는 될 수록 널리 하고 VIA를 줄이고 기판 사 이트를 줄이는 방법으로 해결하지 못하는 것이다. 위와 같이 PCB에 대한 요구가 복잡 다양화되면서 전자 케드들의 디버그하여는 주제이지만 아무리 도구가 좋아도 올바른 사용법과 전문직지식이 없으면 잘못은 개발자가 될 것이다.

이제 마다 PCB ARTWORK에 입문한 사람이거나 현역에 종사하고 있는 사람들에게 이에 대해 홍관한 질문을 스스로에게 하자 그리고 스스로 재생하고 스스로 평가하기 바란다.

지자 약력

제명 : 윤 종호

학력
1985년 홍익공업대학 전자과 졸업

경력
1990년 (주)에이에이경비아래 PCB ARTWORK팀
심입연구원
1994년 PCB ARTWORK 전문회사 인증 설립.(대표재임)
E-mail: jhyou@informcosmo.com