

# OFDM 시스템을 위한 기저대역 사전왜곡기의 효율적인 구조 및 이의 구현

정희원 성시훈\*, 김형호\*\*, 최종희\*\*, 신요안\*\*, 임성빈\*\*

## An Efficient Structure of a Baseband Predistorter and Its Implementation for OFDM Systems

Sheehoon Seong\*, Hyoungho Kim\*\*, Chonghee Choi\*\*, Yoan Shin\*\*, Sungbin Im\*\*

Regular Members

### 요약

최근 들어 무선 ATM, 무선 LAN 및 디지털 지상 방송 시스템 등을 위한 고속 전송 방식으로 큰 관심을 받고 있는 OFDM (orthogonal frequency division multiplexing) 방식은 다중 직교 부반송파를 이용하여 신호를 전송하므로써 전송 신호 진폭의 변화가 매우 심하여 고출력 증폭기의 비선형 특성으로 인한 심각한 왜곡이 발생된다. 본 논문에서는 이러한 비선형 왜곡의 보상을 위한 기저대역 사전왜곡기 (baseband predistorter)를 실제 구현할 때 계산 복잡도를 크게 감소할 수 있는 효율적인 구조를 제안하였다. 또한, 이러한 구조에 기반하여 수십 Mbps 급 고속 무선 ATM 등에 사용 가능한 사전왜곡기를 VHDL을 이용하여 설계하고 ASIC화를 위하여 Synopsys tool을 통해 합성하였으며 실제 Altera FPGA에 구현하여 이의 성능을 검증하였다.

### ABSTRACT

Recently, OFDM (orthogonal frequency division multiplexing) schemes have drawn much attention for high speed wireless transmission systems such as wireless LAN, wireless ATM and digital terrestrial broadcasting. The OFDM systems are based on the transmission of a given set of signals on multiple orthogonal subcarriers, resulting in large variation in amplitude of transmit signals, and severe distortion by nonlinear characteristic of a high power amplifier (HPA) is unavoidable. In this paper, we propose a computationally efficient structure of a baseband predistorter for compensation of nonlinear distortion by the HPA. Moreover, a predistorter which can be utilized in high speed transmission systems such as wireless ATM based on the proposed structure is designed using VHDL, synthesized by the Synopsys tool, and actually implemented and verified on an Altera FPGA.

### I. 서론

최근 들어 고속 멀티미디어 데이터 무선 전송 방식으로서 다중 부반송파 (subcarrier)를 이용하는 OFDM (orthogonal frequency division multiplexing) 시스템이 큰 관심을 받고 있다. OFDM 시스템은 M-ary QAM (quadrature amplitude modulation)

혹은 PSK (phase shift keying) 등으로 변조된 신호들을 병렬화한 후 여러 개의 직교 부반송파를 이용하여 전송하는 방식으로서, 데이터의 병렬화를 통해 수십 Mbps 급 고속 전송이 가능하고 단일 반송파를 사용하는 시스템과 비교할 때 심한 다중 경로 페이딩 채널 환경에 강인하다는 점 및 부반송파 변조/복조를 FFT (fast Fourier transform) 알고리즘을

\* 삼성전지(주)

\*\* 숭실대학교 정보통신전자공학부

논문번호: 00184-0524, 접수일자: 2000년 5월 24일

※ 본 논문은 1998년도 학술진흥재단의 학술연구비 (번호 1998-016-E00047)에 의해 지원되었으며, 실험의 일부는 반도체설계교육센터(DEC)에서 지원한 소프트웨어를 이용하여 수행되었음

이용하여 효율적으로 구현할 수 있다는 장점이 있다<sup>[1-3]</sup>. 이런 장점들로 인하여 OFDM 방식은 최근 6 ~ 54 Mbps 급 IEEE 802.11a 무선 LAN<sup>[4]</sup>, 25 Mbps 급 HYPERLAN/2 무선 ATM<sup>[5]</sup>, 유럽의 DAB (digital audio broadcasting) 및 DTTB (digital terrestrial television broadcasting) 등의 전송 규격으로 채택되었다<sup>[6,7]</sup>.

OFDM 시스템에서는 심벌들을 다중 반송파를 이용하여 변조 후 더하여 전송하므로써 전송 신호 진폭의 변화가 매우 심한, 즉 큰 peak-to-average power ratio의 다중 레벨 특성을 보인다<sup>[8]</sup>. 이러한 신호 진폭의 큰 변동과 무선 통신 환경에서 송신기 내에 사용되는 TWTA (traveling wave tube amplifier)와 같은 고출력 증폭기 (high power amplifier)의 비선형 특성으로 인해, 시스템의 송신 신호는 단일 반송파 전송 방식보다 심각한 비선형 왜곡을 겪게되고 이는 결국 시스템의 성능을 크게 악화시키는 요인으로 작용한다<sup>[8]</sup>. 이러한 고출력 증폭기의 비선형성은 출력 신호 레벨을 선형 영역으로 충분히 backing-off 시킴으로써 감소시킬 수 있으나, 이는 송신 신호의 출력을 과도하게 감소시키게 되어 결국 fade margin을 감소시키는 결과를 가져온다.

증폭기에 의한 비선형 왜곡을 보상하기 위한 방법으로서 최근에는 범용 디지털 신호처리 소자들의 발전으로 인해 기저대역 (baseband) 기법들이 활발히 연구되고 있다. 이들 방법들은 크게 송신단에서 사전왜곡기 (predistorter)를 사용하는 방법과 수신단에서 등화기 (equalizer)를 사용하는 방법으로 나눌 수 있다. 등화기를 사용하는 경우는 수신단에서 비선형 왜곡을 추정하여 보상해 주는 방식인데 반해, 실제 비선형 왜곡의 근원이 송신단에 있으므로 송신단에서 입력 데이터를 쉽게 사용할 수 있는 사전왜곡기를 이용하는 것이 더욱 효과적이라 할 수 있다. 사전왜곡기는 고출력 증폭기의 전단에 위치하며, 증폭기에 의해 신호가 왜곡되는 것을 미리 보상하는 방향으로 신호를 사전에 왜곡하여 증폭기에 가하여 주므로써 사전왜곡기와 증폭기를 결합한 시스템의 출력이 변조 신호가 선형적으로 증폭된 신호와 같아지도록 동작하게 된다. 이러한 사전왜곡기의 기본 동작은 직접 혹은 간접적으로 증폭기를 표현하는 비선형 변환의 역변환을 구하는 문제로 이해할 수 있으며, 이러한 접근 방법에 기반하여 많은 사전왜곡기들이 제안되었다<sup>[8-14]</sup>. 실제 사전왜곡기를 구현하는 경우 이러한 역변환을 하드웨어적으로 직접 구현하기는 계산 복잡도, 처리 속도 등의 측면에

서 아직 기술적인 제약이 따르며, 따라서 대부분의 사전왜곡기에서는 다양한 진폭 레벨의 입력 신호와 이에 대한 사전왜곡기 출력 신호의 매핑을 LUT (look up table) 형태로 오프라인에서 소프트웨어적으로 구현 후 이를 하드웨어 메모리에 저장하여 이용하는 방식을 이용한다<sup>[15-18]</sup>. 이런 방식에서는 사전왜곡기 알고리즘을 이용한 LUT의 생성이 소프트웨어적으로 처리되기 때문에, 동일한 하드웨어 구성을 기반으로 다양한 사전왜곡기 알고리즘을 LUT 내용의 변경만으로 구현 가능하다.

본 연구에서는 먼저 LUT 기반의 기저대역 사전왜곡기 하드웨어 구현 시 계산량을 크게 감소시킬 수 있는 효율적인 구조를 제안한다. 다음으로 이러한 구조에 기반하여 OFDM 방식의 25 Mbps 급 고속 무선 ATM 등에 사용 가능한 사전왜곡기를 VHDL을 이용하여 파이프라인 형태로 설계하며 ASIC화를 위하여 Synopsys tool을 통해 합성하고 실제 Altera FPGA에 구현하여 이의 성능을 검증하고자 한다. 이를 위해 본 논문의 구성은 다음과 같다. 2 절에서는 OFDM 시스템의 구성과 고출력 증폭기의 비선형 특성에 대하여 설명하고, 3 절에서는 LUT의 생성을 위해 본 연구에서 사용되는 사전왜곡기 알고리즘으로서 우리가 이미 제안한 고정점 반복 (fixed point iteration) 기반의 사전왜곡기<sup>[19,20]</sup>의 원리에 대해 설명한다. 4 절에서는 LUT 기반의 사전왜곡기를 위한 새로운 구조를 제안하고, 이러한 구조를 이용하여 본 연구에서 구현된 사전왜곡기의 구성 요소들에 대하여 논의한다. 5 절에서는 VHDL을 이용한 시스템의 구현, Synopsys tool을 이용한 합성 결과 및 Altera FPGA에의 구현과 성능 검증 결과를 제시하고, 마지막 6 절에서 결론을 맺는다.

## II. OFDM 시스템과 고출력 증폭기의 비선형 특성

OFDM 시스템은 한 사용자의 신호를 여러 개의 부반송파를 이용하여 동시에 전송하는 방식이다. OFDM은 주파수를 분할한다는 면에서 FDM과 유사하나, FDM 방식에서는 각각의 부채널 (sub-channels)이 겹치지 않도록 전송하는데 반해 OFDM 방식은 각각의 부채널 간격을 심볼 주기의 역수만큼 분리하여 중첩되기는 하나 서로 직교성을 유지하도록 전송한다<sup>[1-3]</sup>. 이런 방법을 통하여 주어진 대역폭을 효과적으로 분할하여 사용할 수 있으며, 동일 신호의 다중 전송을 통해 무선 채널과 같은 다

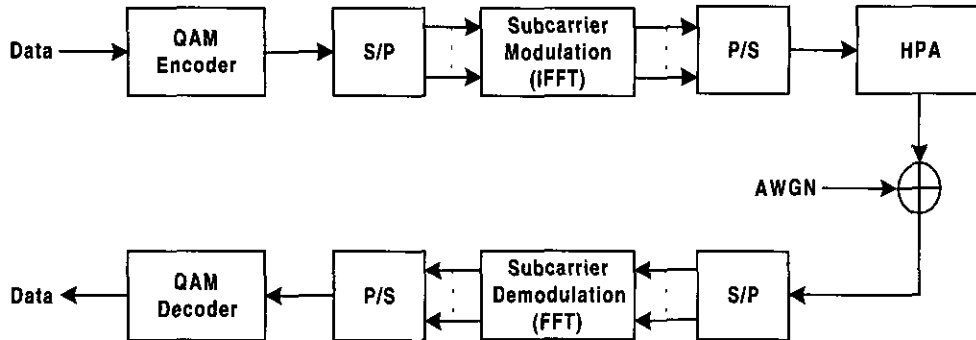


그림 1. AWGN 채널에서 QAM 변조 방식과 부반송파 변복조에 IFFT/FFT를 이용하는 OFDM 이산 시간 기저대역 시스템 블록도

중 경로 페이딩 채널 하에서 우수한 성능을 얻을 수 있다.

그림 1은 부가성 백색 가우시안 잡음 (Additive White Gaussian Noise; AWGN) 채널에서 OFDM 기저대역 시스템의 블록도를 도시한다. 여기서는 무선 ATM에서와 같이 각 부채널에 QAM 변조 방식을 이용하고 부반송파 변복조에 IFFT/FFT를 이용하는 이산 시간 기저대역 시스템의 구성을 나타내고 있다. OFDM 시스템의 송신단에서는 먼저 입력 비트들이  $M$ -ary QAM 부호화에 의해  $L$  비트 그룹을 형성하여 각 심벌 폭이  $T_s$  (sec)인  $N$ 개의 QAM 심벌  $X[k]$  ( $k = 0, \dots, N-1$ )로 변환된다. 여기서  $L = N \log_2 M$ 이다. 이  $N$ 개의 심벌들은 주파수 간격이  $\Delta f \equiv 1/NT_s$  (Hz)인  $N$ 개의 직교 부반송파  $\{e^{j2\pi f_k t}, \dots, e^{j2\pi f_{N-1} t}\}$  ( $f_k \equiv k\Delta f = k/NT_s$ )에 의해 각각 변조된 후 합해져 곱출력 증폭기에 입력된다. 따라서,  $N$ 개 QAM 심벌 길이인  $NT_s$  (sec) 동안 OFDM 변조된 송신 신호  $x(t)$ 는 적절한 크기 변환을 거쳐 식 (1)과 같이 표현 할 수 있다.

$$x(t) = \frac{1}{N} \sum_{k=0}^{N-1} X[k] e^{j2\pi f_k t} \quad (0 \leq t < NT_s) \quad (1)$$

송신 신호  $x(t)$ 를 매  $nT_s$  (sec)마다 표본화한 이산 시스템에서 식 (1)은 식 (2)와 같이 다시 표현 될 수 있다.

$$x[n] \equiv x(nT_s) = \frac{1}{N} \sum_{k=0}^{N-1} X[k] e^{j2\pi k \frac{n}{N}} \quad (n = 0, \dots, N-1) \quad (2)$$

식 (2)는  $N$ 개 QAM 심벌  $X[k]$ 의 IDFT (inverse discrete Fourier transform)와 동일하며, 따

라서 그림 1과 같이 IFFT (inverse fast Fourier transform)와 병렬-직렬 변환기를 이용하여 효과적으로 디지털 방식으로 구현할 수 있다. OFDM 시스템의 수신기에서는 송신기의 역과정을 수행하여 데이터를 검출하게 되는데, 특히 송신기에서 부반송파 변조를 위해 사용된 IFFT의 역연산인 FFT를 수행하여 부반송파 복조를 수행한다.

그림 1에서 살펴본 것과 같은 구성 이외에 OFDM 시스템에서는 다중 경로 채널에 의한 delay spread의 영향을 최소화하기 위해, 추정된 채널 임펄스 응답의 길이와 같거나 이보다 긴 cyclic prefix로 구성된 보호구간 (guard interval)을 부반송파 변조 (IFFT) 후에 각 심벌 블록 사이에 첨가하므로써 블록간 간섭을 제거 할 수 있다<sup>[1-3]</sup>. 이러한 보호구간을 사용할 경우, 수신기에서 FFT를 이용하여 부반송파 복조를 수행하기 전에 이의 제거가 필요하다. 또한 주파수 선택적 페이딩의 영향을 보상하기 위해, 수신기에서는 FFT를 이용한 부반송파 복조 후에 추정된 채널 특성으로부터 구한 간단한 단일 탭 등화기 (single-tap equalizer)를 이용하여 주파수 선택적 페이딩을 보상할 수 있다<sup>[1]</sup>. 이러한 기능들은 채널에서 발생하는 부가성 잡음 이외의 성능 열화 요인들에 대한 보상책이라 할 수 있다. 여기에 덧붙여 실제 무선 ATM과 같은 시스템들에서는 비트오율의 향상을 위해 길쌈 부호 (convolutional code)와 같은 오류정정부호를 이용한다. 하지만, 본 논문에서는 송신기 내의 곱출력 증폭기에 의한 왜곡을 사전왜곡기를 이용하여 보상하는데 초점을 맞추고 있으며, 따라서 이러한 사전왜곡기를 통한 성능 향상을 관찰하기 위해 AWGN 채널을 가정하고 그림 1과 같은 기본적인 OFDM 시스템 구성을 고려하였다.

OFDM 시스템 송신단에서 전송 신호는 IFFT 및 병렬-직렬 변환기를 통과한 후 고출력 증폭기에 의해 전송에 필요한 출력으로 증폭되며, 이 과정에서 전송 신호의 출력을 높이기 위해 고출력 증폭기의 비선형 포화 영역에서 동작하게 된다. 이렇게 고출력 신호를 얻기 위해 포화 상태에서 동작하게 됨으로써 비선형 왜곡을 피할 수 없게 되며, 특히 이러한 비선형 왜곡은 증폭기 입력 신호 진폭의 변화가 클수록 더욱 심각하게 나타난다. 그림 1의 OFDM 시스템에서 다중 레벨의 QAM 심벌들이 다중 반송파를 이용하여 변조 후 더하여 전송되므로써 전송 신호  $x[n]$ 은 진폭의 변화가 매우 심한, 즉 큰 peak-to-average power ratio를 갖는 다중 레벨 특성을 보이며, 따라서 OFDM 시스템에서는 단일 반송파 시스템에 비해 고출력 증폭기의 비선형 왜곡에 의해 더욱 크게 성능이 악화된다<sup>[6]</sup>.

일반적으로 고출력 증폭기의 특성은 기억성이 없는 (즉 현재의 출력이 오직 현재의 입력에만 의존하는) 비선형 변환으로 표현 가능하다. 특히 본 연구에서 고출력 증폭기로 고려하는 TWTA (traveling wave tube amplifier)의 비선형 특성은 Saleh의 2-파라미터 모델<sup>[21]</sup>을 이용하여 잘 표현되며, 이 모델에서는 TWTA의 출력 특성을 진폭 및 위상에 대하여 각기 나타낸다. 증폭기의 정규화된 복소 입력 신호를  $x = re^{j\theta}$ 라 할 때, Saleh의 모델에 의한 TWTA 복소 출력 신호  $\hat{x}$ 는 다음과 같이 표현된다.

$$\hat{x} = A(r) e^{j(\theta + \phi(r))} \quad (3)$$

여기서  $A(r)$ 은 TWTA 출력 신호의 정규화된 진폭으로서 다음 식 (4)와 같은 증폭기의 비선형 진폭변조-진폭변조 특성으로 표현되며,  $\phi(r)$ 은 TWTA에 의한 위상 변동분으로서 식 (5)의 비선형 진폭변조-위상변조 변환 특성으로 표현된다. 여기서 주의할 점은 이들 비선형 특성이 오직 현재 입력 신호의 진폭  $r$ 에 의해서만 결정된다는 것이다.

$$A(r) = \frac{1.9638r}{1 + 0.9945r^2} \quad (0 \leq r \leq 1) \quad (4)$$

$$\phi(r) = \frac{2.5293r^2}{1 + 2.8168r^2} \text{ [radian]} \quad (0 \leq r \leq 1) \quad (5)$$

단,  $r > 1$ 에 대해서는  $A(r)$ 과  $\phi(r)$ 이 각각  $A(1) = 0.9846$ 과  $\phi(1) = 0.6627$ 로 포화된다고 가정한다. 이러한 고출력 증폭기의 비선형성은 출력

신호 레벨을 선형 영역으로 충분히 backing-off 시킴으로써 감소시킬 수 있으나, 이는 송신 신호의 출력을 과도하게 감소시키게 되어 결국 fade margin을 감소시키는 결과를 가져온다. 따라서 TWTA의 출력을 최대한 이용하기 위해서는 비선형성의 보상이 반드시 필요하다.

### III. 구현된 사전왜곡기 알고리즘

그림 2는 사전왜곡기를 이용하여 고출력 증폭기의 비선형 왜곡을 보상하는 경우의 시스템 구성을 보여준다. 여기서 식 (2)와 같은 이산 시간  $n$ 에서의 OFDM 신호  $x[n]$ 이 (비선형) 변환  $F(\cdot)$ 로 표현되는 사전왜곡기로 입력되며, 이러한 입력에 대해 사전왜곡기는  $x_f[n] \equiv F(x[n])$ 을 출력한다. 따라서 (비선형) 변환  $N(\cdot)$ 으로 표현되는 고출력 증폭기는 이러한 사전왜곡기의 출력을 입력으로 하여 다음과 같은 신호를 출력한다.

$$\hat{x}[n] = N(x_f[n]) = N(F(x[n])) \quad (6)$$

사전왜곡기 설계는 이러한 고출력 증폭기의 출력이 증폭기 동작점에서의 이상적인 선형 이득  $g$ 만큼 증폭된 OFDM 신호와 동일하도록 변환  $F(\cdot)$ 를 결정하는 것과 동일하다. 즉, 다음의 조건이 만족되도록  $F(\cdot)$ 를 결정하여야 한다.

$$\hat{x}[n] = gx[n] \quad (7)$$

고출력 증폭기의 특성  $N(\cdot)$ 의 역변환이 존재하는 경우, 사전왜곡기의 특성이 아래와 같은 식으로 표현될 때 완벽한 사전왜곡 기능이 수행되어 식 (7)의 조건을 만족하게 된다.

$$F(z) = N^{-1}(gz) \quad (8)$$

식 (8)은 사전왜곡기가 고출력 증폭기의 역변환을 구하는 과정임을 나타내고 결국 이러한 역변환을 구하기만 하면 사전왜곡기를 통한 완벽한 비선형 왜곡 보상이 가능함을 의미한다. 하지만 고출력 증폭기의 특성  $N(\cdot)$ 을 정확히 알고 있는 경우에도 이의 역변환이 존재하지 않을 수도 있으며, 존재한다고 해도 증폭기 특성의 포화 영역에서의 값들이 역변환의 안정성 문제 등을 야기할 수 있다.

이러한 일반적인 방법에서 역변환을 구할 때 발생할 수 있는 문제점을 해결하기 위하여 우리는 고

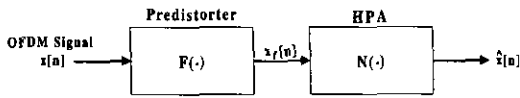


그림 2. 사전왜곡기를 이용하여 고출력 증폭기의 비선형 왜곡을 보상하는 경우의 시스템 구성.

정점 반복 (fixed point iteration; FPI)에 기반한 새로운 사전왜곡기 알고리즘을 제안하였다<sup>[19,20]</sup>. 고정점이란 임의의 변환  $T(\cdot)$ 에 대하여  $T(z) = z$ 를 만족하는 입력  $z$ 를 나타내며<sup>[22]</sup>, 이 사전왜곡기는 contraction mapping 정리<sup>[22]</sup>에 기반하여 OFDM 신호  $x[n]$ 에 다음과 같은 변환  $P(\cdot)$ 을 반복적으로 적용하여 (“고정점 반복”) 사전왜곡 신호  $x_f[n]$ 을 얻는다.

$$\begin{aligned}
 x^{(i+1)}[n] &\equiv P(x^{(i)}[n]) \\
 &\equiv x^{(i)}[n] + \alpha(gx^{(i)}[n] - N(x^{(i)}[n])) \quad (9) \\
 &(i = 0, \dots, K-1)
 \end{aligned}$$

$$x_f[n] \equiv x^{(K)}[n] \quad (10)$$

위 식에서,  $\alpha > 0$ 는 반복식의 수렴 특성을 결정하는 상수,  $K$ 는 반복 횟수이고  $x^{(0)}[n] = x[n]$ 이다. 여기서 만약  $gx^{(i)}[n] = N(x^{(i)}[n])$ 이면  $x^{(i+1)}[n] = x^{(i)}[n]$ 가 되어  $x^{(i)}[n]$ 는  $P(\cdot)$ 의 고정점이 된다. 역으로  $x^{(i)}[n]$ 가  $P(\cdot)$ 의 고정점, 즉  $x^{(i+1)}[n] = x^{(i)}[n]$ 이면 식 (9)로부터  $N(x^{(i)}[n]) = gx^{(i)}[n]$ 가 되므로 고출력 증폭기 출력이 선형 이득만큼 증폭된 OFDM 신호와 같게 되어 식 (7)의 조건을 만족한 것이 된다. 이러한 FPI 기반의 사전왜곡기 알고리즘의 큰 특징은, 다른 방법들과는 달리 고출력 증폭기의 특성에 대한 역변환을 직접 구하지 않고 대신 고출력 증폭기의 특성  $N(\cdot)$  자체를 식 (9)에 반복적으로 이용하여 결국 역변환을 적용한 것과 동일한 결과를 얻을 수 있다는 점이다.

기저대역 사전왜곡기 알고리즘을 실제 하드웨어로 구현하는 경우, 고출력 증폭기의 역변환을 이용하는 일반적인 사전왜곡기 알고리즘에서는 이러한 역변환을 하드웨어적으로 직접 구현하기는 계산 복잡도, 처리 속도 등의 측면에서 많은 제약이 따른다. 예를 들어, 앞서 언급된 대로 역변환이 존재하지 않을 수도 있으며 이런 경우에는 구간별로 근사화된 (piecewise-approximated) 비선형 변환에 대하여 역변환을 구하며 이 때 많은 계산량 및 구현 복

잡도가 발생한다. 또한 역변환을 구할 수 있는 경우라 하더라도 구해진 역변환이 하드웨어로 처리하기에는 매우 복잡한 비선형 함수 형태일 경우가 흔히 발생한다. 따라서 대부분의 사전왜곡기 구현에서는 다양한 진폭 레벨의 입력 신호와 이에 대한 사전왜곡기 출력 신호의 매핑을 LUT (look up table) 형태로 오프라인에서 소프트웨어적으로 구한 후 이를 하드웨어 메모리에 저장하여 이용하는 방식을 이용한다<sup>[15-18]</sup>. 우리가 제안한 FPI 기반의 사전왜곡기 알고리즘에서는 직접적인 역변환 계산 대신 반복식을 이용하여 사전왜곡을 수행하므로써 앞서의 일반적인 사전왜곡기에서 발생하는 문제점을 피할 수 있으나, 하드웨어로 구현하고자 할 때 식 (9)의 비선형 식을 반복적으로 적용하기에는 역시 어려움이 따른다. 따라서 이 사전왜곡기도 하드웨어 구현을 위해서는 역시 LUT를 이용하는 것이 효과적이며 이미 우리는 이러한 구조에 기반하여 FPI 기반의 사전왜곡기를 Texas Instruments사의 TMS320C30 DSP (digital signal processor)로 구현한 결과를 발표하였다<sup>[23,24]</sup>. 여기서 주의해야 될 점은 LUT를 이용하는 사전왜곡기 하드웨어를 구현하는 경우 LUT의 생성이 오프라인에서 소프트웨어적으로 처리되기 때문에, 동일한 하드웨어 구성을 기반으로 다양한 사전왜곡기 알고리즘을 LUT 내용의 변경만으로 구현 가능하다는 점이다.

#### IV. LUT를 이용한 사전왜곡기 구현을 위한 효율적인 구조

그림 3은 LUT를 이용하여 사전왜곡기 하드웨어를 구현할 때의 일반적인 구조를 도시한다. 여기서 표기의 편의를 위해 이산 시간  $n$ 에서의 OFDM 변조 신호  $x[n]$ 을  $x$ 라 하면, 이 신호는 다음과 같이 표현된다.

$$x = x^I + jx^Q \equiv re^{j\theta} = r \cos(\theta) + j \sin(\theta) \quad (11)$$

위 식에서  $x^I$ 와  $x^Q$ 는 각각 이 신호의 실수부 (I-채널)와 허수부 (Q-채널)를 나타내고  $r = \sqrt{(x^I)^2 + (x^Q)^2}$ 과  $\theta = \tan^{-1}\left(\frac{x^Q}{x^I}\right)$ 은 각각 진폭과 위상을 나타낸다. 그림 3의 사전왜곡기에서는 일반적으로 직교 좌표, 즉  $x^I$ 와  $x^Q$ 의 형태로 입력되는 신호로부터 먼저 진폭  $r$ 과 위상  $\theta$ 를 계산한다. 다음 계산된 진폭  $r$ 을 어드레스로 하여 미리 오프

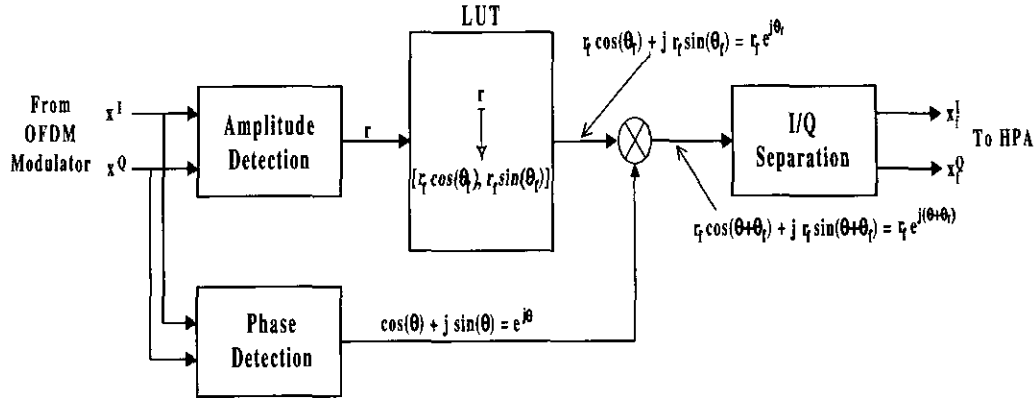


그림 3. LUT를 이용한 하드웨어 구현시 사전왜곡기의 일반적인 구조.

라인으로 계산되어 다운로드된 LUT entry를 검색한다. 이 때 LUT에서는 입력 진폭  $r$  (혹은 이와 가장 가까운 값)에 대해 사전왜곡기 알고리즘의 출력 진폭  $r_f$ 와 위상 변동분  $\theta_f$ 를 이용하여 계산된 실수부  $r_f \cos(\theta_f)$ 와 허수부  $r_f \sin(\theta_f)$ 를 저장하고 있으며, 따라서 LUT의 출력은

$$r_f \cos(\theta_f) + jr_f \sin(\theta_f) = r_f e^{j\theta_f} \quad (12)$$

이 된다. 하지만 실제 증폭기에 입력되는 신호는 입력 신호의 원래 위상  $\theta$ 의 영향이 역시 포함하여야 하므로, 복소 곱셈기에서 이러한 위상 성분을 첨가하여 다음의 신호를 출력하고

$$e^{j\theta} \times r_f e^{j\theta_f} = r_f \cos(\theta + \theta_f) + jr_f \sin(\theta + \theta_f) \quad (13)$$

이 신호는 “I/Q Separation” 블록에서 단순히 실수부  $x_f^I = r_f \cos(\theta + \theta_f)$ 와 허수부  $x_f^Q = r_f \sin(\theta + \theta_f)$  각각 곱출력 증폭기로 전송된다 (실제 구현에서는 모든 데이터가 실수부/허수부 쌍의 형태로 처리되므로 “I/Q Separation” 블록은 특별한 연산을 수행하지 않는 논리적인 블록이다).

위 그림 3과 같은 사전왜곡기 구조에서 계산 복잡도를 좌우하는 부분은 다음과 같다.

- 입력 신호의 진폭 추정부 (“Amplitude Detection”) : 실수 곱셈, 실수 덧셈 및 비선형 square root 연산
- 입력 신호의 위상 추정부 (“Phase Detection”) : 나눗셈 및 비선형 arc-tangent 연산
- 복소 곱셈기 : 실수 곱셈 및 실수 덧셈 연산 위의 비선형 연산들을 구현하기 위해서는 많은

계산량 혹은 메모리를 요구하는 근사식들을 이용하게 되며, 또한 위상 추정부에서 요구되는 나눗셈 연산 역시 구현이 용이하지 않다. 이러한 문제는 결국 ASIC으로 구현된 시스템의 동작 속도를 제한하고, 큰 latency 및 면적을 요구하게 된다.

이러한 문제점을 해결하기 위해 본 연구에서는 LUT를 사용하는 새로운 형태의 사전왜곡기 구조를 제안한다. 다음 그림 4는 제안된 사전왜곡기의 구조를 나타낸다. 그림 3의 기존 구조와 제안된 구조 사이의 큰 차이점은 위상 추정부의 제거와 LUT에 저장되는 entry의 변화에 있다. 특히 위상 추정부를 제거하므로써 많은 계산량과 메모리를 요구하는 나눗셈 및 비선형 arc-tangent 연산의 계산이 불필요하게 되어, 전체 시스템의 계산 복잡도가 크게 감소한 효율적인 구조를 갖게 된다. 한편 제안된 구조의 LUT에는 기존 구조와는 달리 실수부  $\frac{r_f}{r} \cos(\theta_f)$ 와 허수부  $\frac{r_f}{r} \sin(\theta_f)$ 를 저장하므로써 LUT의 출력은

$$\frac{r_f}{r} \cos(\theta_f) + j \frac{r_f}{r} \sin(\theta_f) = \frac{r_f}{r} e^{j\theta_f} \quad (14)$$

이 된다. 식 (14)의 LUT 출력 신호와 “I/Q Combination” 블록에 의해 단순히 FIFO (first in first out) buffering된 입력 신호  $x = x^I + jx^Q = r e^{j\theta}$ 가 복소 곱셈기에 의해 곱해져 결국

$$r e^{j\theta} \times \frac{r_f}{r} e^{j\theta_f} = r_f \cos(\theta + \theta_f) + jr_f \sin(\theta + \theta_f) \quad (15)$$

을 얻는다. 이 신호는 기존 구조에서와 같이 “I/Q Separation” 블록에서 실수부  $x_f^I = r_f \cos(\theta + \theta_f)$ 와

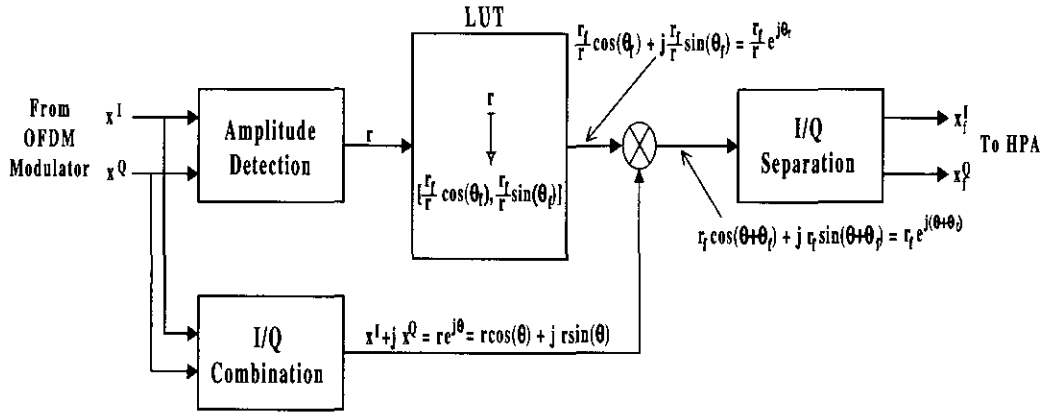


그림 4. LUT 기반의 사전왜곡기를 위한 제안된 구조

허수부  $x^Q = r_I \sin(\theta + \theta_I)$  각각 고출력 증폭기로 전송된다.

### V. 제안된 구조를 이용한 사전왜곡기의 구현 및 검증

#### 5.1. 구현된 OFDM 시스템 및 입력 데이터의 해상도 결정

본 연구에서는 25 Mbps 급 무선 ATM을 고려하여, 변조 방식으로서 16-QAM을 이용하고 64-point IFFT/FFT를 이용하여 부반송파 변조/복조를 수행하는 OFDM 시스템을 위한 FPI 기반의 사전왜곡기를 구현하였다. 회로는 향후 ASIC으로 구현이 가능하도록 VHDL을 이용하여 설계되었으며 회로의 검증에 필요한 모듈은 VHDL과 Altera사의 라이브러리를 schematic editor 환경에서 이용하였다. 이 때 고출력 증폭기로서 2 절에서 설명된 TWTA를 가정하여 식 (4), (5)의 모델링 결과를 이용하였다. TWTA를 이용할 때 output back-off (OBO) 레벨에 따라 동작점이 결정되며, 본 연구에서는 OBO를 9.4 (dB)로 고정하여 모든 시뮬레이션 및 실험을 수행하였다.  $P_{sat}$ 와  $P_{avg}$ 를 각각 TWTA의 포화 최대 출력 전력과 평균 출력 전력이라 할 때 OBO는 아래와 같이 정의된다.

$$OBO = 10 \log_{10} \left( \frac{P_{sat}}{P_{avg}} \right) \quad (\text{dB}) \quad (16)$$

구현된 시스템에서 데이터의 표현은 부동소수점 (floating point) 방법을 이용하였으며, 사용되는 사전왜곡기 입력 데이터 (즉, OFDM 변조기 출력 데

이터)의 해상도 (resolution)를 결정하기 위하여 입력 데이터의 mantissa 비트 수와 exponent 비트 수를 여러 값으로 변화시키고 시스템의 나머지 부분은 infinite precision을 가정하여 하드웨어 구현상의 오차를 무시한 후 C 언어를 이용한 시뮬레이션을 수행하였다. 그림 5는 이러한 시뮬레이션 결과를 나타낸다. 여기서는 다양한 입력 데이터의 해상도에 따른 OFDM 시스템의 신호대잡음비  $E_b/N_0$  대 비트오율 (bit error rate; BER)의 변화를 도시한다. 여기서 그림 1과 같은 AWGN 채널하의 16-QAM, 64 부반송파를 사용하는 OFDM 시스템에서 OBO 레벨이 9.4 (dB)인 TWTA 모델을 사용하였으며, 3 절에서 설명된 수렴 상수  $\alpha = 0.85$ , 반복 횟수  $K = 25$ 인 FPI 기반의 사전왜곡기를 이용한 결과이다. 이 결과로부터 mantissa의 경우 5 비트 (사인 비트 제외), exponent의 경우는 3 비트 (사인 비트 제외)이면 infinite precision으로 입력 데이터를 표현하는 이상적인 경우에 비해 적은 성능 열화만이 발생함을 알 수 있다. 따라서 하드웨어의 복잡도와 이러한 성능을 고려하여 그림 6과 같이 입력 데이터를 사인 비트를 각각 포함하여 mantissa 6 비트, exponent 4 비트 등 총 10 비트의 부동소수점 형태로 표현하였다.

#### 5.2. LUT를 이용한 사전왜곡기의 구현

LUT를 이용한 사전왜곡기의 구현을 위해 그림 4에서 제안된 구조를 이용하였다. 이 구조에서 실제 구현을 위해서는 (1) 진폭 추정부 및 이를 이용한 어드레스 생성, (2) LUT 그리고 (3) 부동소수점 복소 곱셈기 등의 세 부분이 가장 중요한 기능 블록이 된다. 여기에 덧붙여 단순한 FIFO buffering 기능을 수행하는 "I/Q Combination" 역시 구현이 필

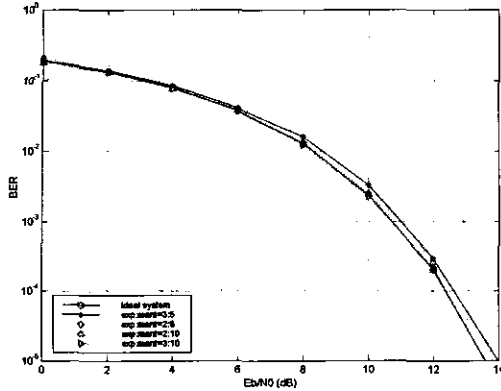


그림 5. 입력 데이터의 해상도에 따른 OFDM 시스템의 비트오율 성능 시뮬레이션 결과.

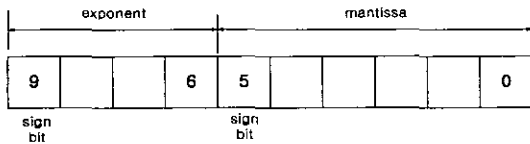


그림 6. 입력 데이터의 부동소수점 표현.

요하다. 아래에서는 위의 3 가지 중요 기능 블록의 구현 결과에 대하여 설명하도록 한다.

(1) 진폭 추정부 및 이를 이용한 LUT 어드레스 생성  
 이산 시간  $n$ 에서의 사전왜곡기의 복소 입력 신호  $x[n] \equiv x' + jx''$ 에 대해 진폭 추정부에서는  $r = \sqrt{(x')^2 + (x'')^2}$ 을 출력하여야 한다. 하지만 이 식의 계산을 위해서 비선형 square root 함수의 구현이 필요하며, 이러한 비선형 연산을 피하기 위해 아래와 같은 근사식을 고려하였다<sup>[25]</sup>.

$$r \approx \max(|x'|, |x''|) + \frac{1}{2} \min(|x'|, |x''|) \quad (17)$$

원래의 식과 근사식 사이의 오차가 시스템의 성능에 미치는 영향은 거의 무시할 만큼 작은 것을 시뮬레이션을 통해 확인하였으며, 따라서 구현의 편

이를 위해 실제 구현은 근사식을 이용하였다.  
 그림 7은 구현된 진폭 추정부 및 이를 이용한 LUT 어드레스 생성부의 구성을 도시한다. 여기서는 우선 각각 10 비트의 부동소수점 형태로 표현된 입력 데이터의 실수부 및 허수부를 각각 사인 비트가 없는 19 비트의 고정소수점 데이터로 변환한다. 이들 변환된 실수부와 허수부를 비교하여 작은 값을 2로 나누어주고 (즉 1 비트 shift-right) 나머지 부분에 더하여 식 (17)의 진폭 추정 근사식을 계산한다. 이와 같이 구해진 진폭의 근사값은 고정소수점 20 비트이며, 이 가운데 본 시스템에서 가능한 데이터의 발생 구간을 고려하여 상위 7 비트와 하위 3 비트를 버리고 남은 10 비트의 데이터를 메모리의 어드레스로 사용한다. 최종적으로 어드레스로 사용되는 값의 범위는 0~1.9980이며 이러한 범위의 값들을 사용하였을 때  $9.7656 \times 10^{-4}$  이하의 미미한 오차가 발생하여 전체 시스템 성능에 큰 영향을 끼치지 않음을 알 수 있다.

(2) LUT entry의 생성 및 LUT의 구성

LUT에서는 앞서의 진폭 추정부에서 생성된 10 비트 어드레스를 이용하여 오프라인으로 미리 구해져 저장되어 있는 실수부  $\frac{r}{r} \cos(\theta)$  및 허수부  $\frac{r}{r} \sin(\theta)$ 를 출력한다. 본 연구에서는 3 절에서 설명된 수렴 상수  $\alpha = 0.85$ , 반복 횟수  $K = 25$ 인 FPI 기반의 사전왜곡기 알고리즘을 오프라인에서 실행 후 이로부터 얻은 결과를 LUT에 저장하였다. 그림 8은 구현된 LUT의 구성을 보여준다. 본 연구에서는 실수부 및 허수부 각각 1024 개 entry를 갖는 ROM을 LUT로서 고려하였다. 이들 LUT 출력의 실수부 및 허수부 값은 mantissa의 사인 비트를 제외한 9 비트의 부동소수점 형태로 저장되며, 이는 식 (5)에서와 같이 TWTA에 의한 위상 변동분이 항상 양수이며 사전왜곡기 출력의 위상은 이러한 TWTA의 위상을 보상하기 위해 음의 값을 갖게 되어 LUT 출력의 실수부는 항상 양수, 허수부는 항상 음수가 된다는 사실을 이용하였다. 이러한 방법

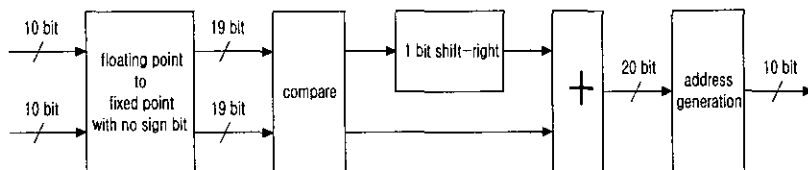


그림 7. 구현된 진폭 추정부 및 이를 이용한 LUT 어드레스 생성부의 구성.



을 통해 ROM의 면적을 줄일 수 있으며, 그림 8에서와 같이 이러한 사인 비트를 ROM의 외부에서 첨가하는 방법을 통해 최종적으로 10 비트의 부동소수점 형태의 실수부 및 허수부 값들을 출력한다.

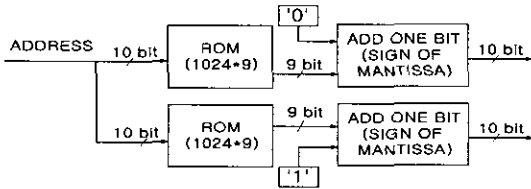


그림 8. 구현된 LUT의 구성.

(3) 부동소수점 복소 곱셈기

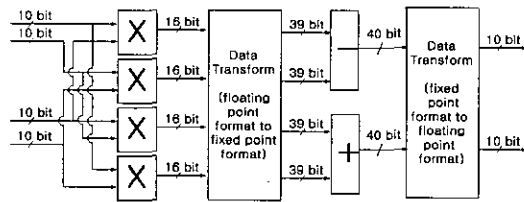


그림 9. 구현된 부동소수점 복소 곱셈기의 구성.

식 (15)로 표현되는 LUT의 복소 출력과 원래의 복소 입력 사이의 곱셈을 수행하기 위해 구현된 부동소수점 복소 곱셈기의 구조가 그림 9에 도시되었다. 이 곱셈기는 먼저 4개의 부동소수점 실수 곱셈기가 필요하며, 실제 각 실수 곱셈기는 mantissa 끼리의 곱셈과 exponent 끼리의 덧셈을 수행한다. 이렇게 얻어진 4개 실수 곱셈기의 출력은 고정소수점 형태로 변환된 후 실수부와 허수부를 구하기 위해 뺄셈 및 덧셈 연산을 거쳐 10 각각 비트의 부동소수점 데이터로 출력된다. 여기서 실제 뺄셈 연산은 2's complement와 덧셈을 이용하여 구현되었다.

5.3. Synopsys Design Analyzer를 이용한 사전왜곡기의 합성

앞 절에서 언급된 사전왜곡기의 주요 블록들과 "I/Q Combination"을 위한 FIFO buffer가 VHDL<sup>[26]</sup>을 이용하여 설계되고, Synopsys Design Analyzer를 이용하여 합성되었다<sup>[27]</sup>. 이 때 target library로는 삼성 0.6  $\mu\text{m}$  공정의 KG75으로 지정하였으며, 동작 조건으로는 V450WTP1050 (동작전압 4.5 Volt, worst case process, junction 온도 125° C), wire loading model로는 KG7740\_T12, 그리고 최적화 조건으로는 minimum size를 설정하였다<sup>[28]</sup>. 이러한 조건에서 사전왜곡기를 위한 VHDL 코드가

성공적으로 합성되었으며, 합성 후의 면적은 19,943 gate이고 최대 동작 가능 클럭 주파수는 20 MHz였다. 표 1은 실제 합성 후의 면적을 gate 수 단위로 각 기능별 블록에 대하여 구체적으로 정리하여 보여준다. 데이터 처리 속도의 측면에서 살펴보면, 입력 데이터의 전송율이 25 Mbps인 무선 ATM에서 먼저 이들 데이터를 16 QAM 변조하여 6.25 Msps의 심벌 전송율을 얻게 되고, 이를 직렬/병렬 변환과 IFFT 후 여기에 부반송파 수 64의 1/4에 해당하는 보호 구간을 첨가한 다음 병렬/직렬 변환한다고 가정하면 실제 사전왜곡기로 입력되는 심벌은  $6.25 \times 5/4 = 7.8125$  Msps의 전송율을 갖게된다. 따라서 합성된 사전왜곡기의 클럭 주파수인 20 MHz로 이러한 전송율의 데이터를 충분히 처리 가능하다. 또한 25 Mbps 전송율의 시스템 입력 데이터를 부호율 1/2인 길쌈부호기 (convolutional encoder)를 통해 오류정정부호화 한다고 가정할 때, 사전왜곡기의 입력은 15.625 Msps의 전송율을 갖게되어 결국 본 연구에서 구현된 사전왜곡기가 OFDM 방식을 이용하는 25 Mbps 급 무선 ATM 등에서 충분히 사용 가능한 처리 속도를 제공할 수 있다.

표 1. Synopsys Design Analyzer를 이용하여 실제 합성된 사전왜곡기 각 기능별 블록의 면적.

구분	면적 (단위 : gate)
진폭 추정부 및 어드레스 생성부	1,164
부동소수점 복소 곱셈기	16,688
FIFO Buffer (I/Q Combination)	566
LUT	1,525
합계	19,943

그림 10은 이렇게 합성된 사전왜곡기를 보여주며, 그림 11 - 14는 각각 합성된 진폭 추정부/어드레스 생성부 (그림 10의 "ftm\_abs2"), FIFO buffer ("fifo4"), 부동소수점 복소 곱셈기 ("cpmux") 그리고 LUT ("rom\_sy")의 세부 블록별 합성 결과를 나타낸다. 특히, 그림 13의 복소 곱셈기는 다시 아래와 같은 세부 블록들로 구성된다.

- mul2fx : 부동소수점 데이터들 간의 곱셈을 수행하기 위해 exponent는 더하고 mantissa는 곱해준 후 이를 고정소수점 데이터로 변환
- addsub : 고정소수점 데이터에 대한 39 비트 덧셈과 뺄셈 수행
- fx2fl : 40 비트 고정소수점 데이터를 10 비트 부동소수점 데이터로 변환

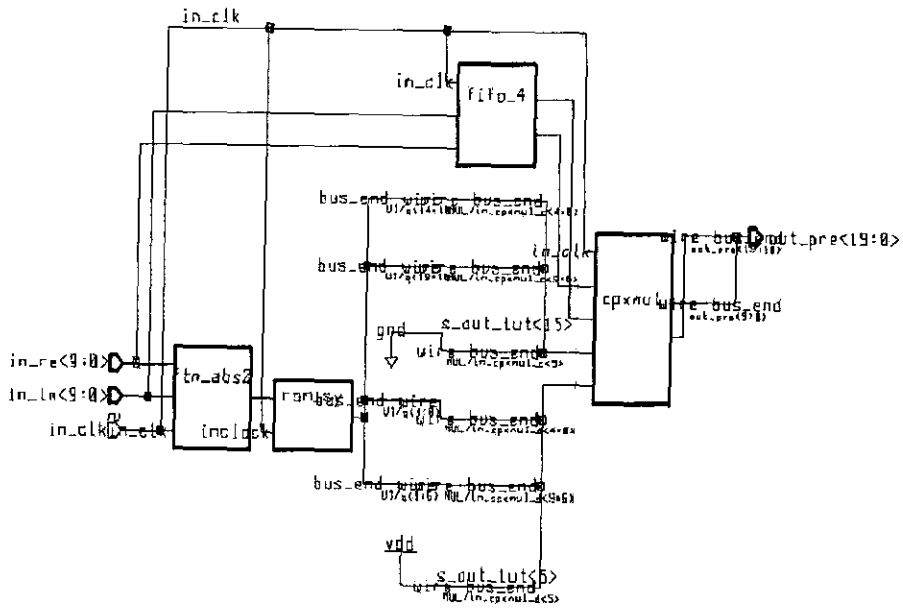


그림 10. Synopsys Design Analyzer를 이용하여 합성된 사전왜곡기.

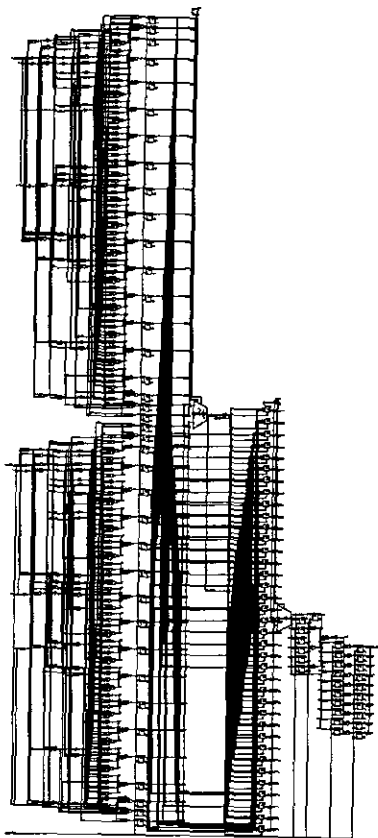


그림 11. 진폭 추정부 어드레스 생성부.

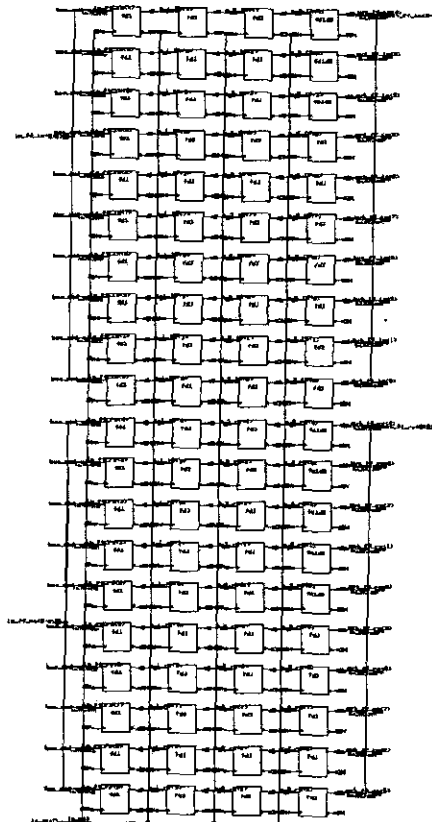


그림 12. FIFO buffer.

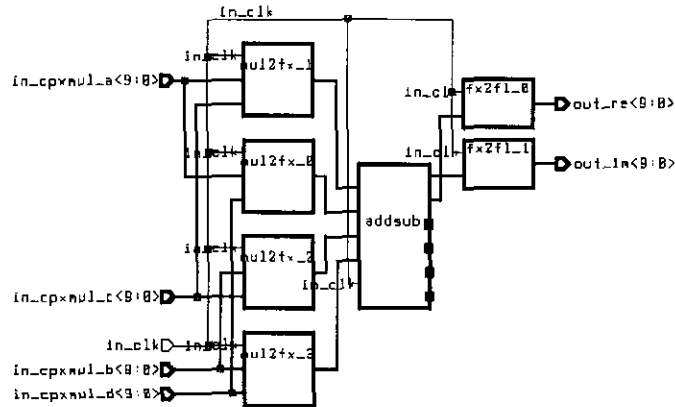


그림 13. 부동소수점 복소 곱셈기.

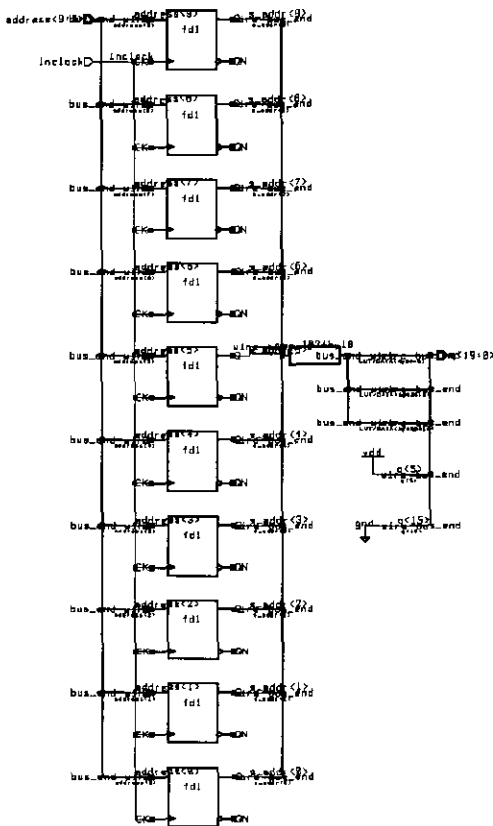


그림 14. LUT.

#### 5.4. FPGA를 이용한 사전왜곡기의 합성 및 성능 검증

VHDL로 설계된 사전왜곡기는 FPGA를 이용하여 합성되고 실제 구현되었다. FPGA로서 Altera사

의 FLEX 10K 시리즈 가운데 10만 gate 급인 EPF10K100GC503-3을 사용하였고 Altera MAX+ PLUS II[29]를 이용한 합성 결과 다음과 같은 면적 및 속도 결과를 얻었다.

- Total logic cells used : 3831/4992 (76%)
- Total embedded cells used : 72/96 (75%)
- Total EABs used : 9/12 (75%)
- 사용 클럭 주파수 : 10 MHz

앞서의 Synopsys tool을 이용한 합성 결과에 비해, 이 경우는 기제작된 logic cell을 사용하는 FPGA의 특성과 Altera사 라이브러리의 속도 제한 요인으로 인해 Synopsys tool과 같은 일반적인 ASIC vendor의 라이브러리에 비해 면적과 속도 측면에서 효율이 떨어짐을 알 수 있다. 합성된 시스템에서는 데이터를 파이프라인 형태로 처리하므로써 10 MHz 주파수의 클럭을 이용하여 10 Msps까지의 데이터가 처리 가능하며, 앞서 살펴본 바와 같이 이는 채널 부호화를 적용하지 않은 경우 25 Mbps의 입력 데이터를 처리하기에 충분한 속도이다. 그림 15는 이렇게 합성된 진폭 추정부/어드레스 생성부의 타이밍 다이어그램을 도시하며, 이로부터 데이터 입력으로부터 어드레스의 생성까지 2 클럭 사이클, 이로부터 LUT 출력을 얻기까지 3 클럭 사이클이 소요됨을 알 수 있다. 그림 16에서는 합성된 부동소수점 복소 곱셈기의 타이밍 다이어그램을 도시하고 있으며, 이 블록의 latency가 12 클럭 사이클이 소요됨을 알 수 있다. 그림 17에서는 합성된 사전왜곡기 전체 시스템의 타이밍 다이어그램을 나타내며, 결국 전체 시스템의 latency가 17 클럭 사이클이 됨을 나타내고 있다.

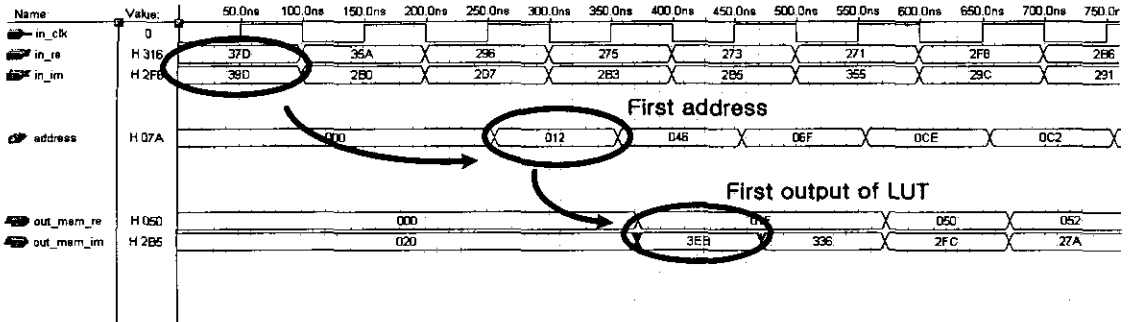


그림 15. Altera MAX+PLUS II로 합성된 진폭 추정부/어드레스 생성부의 타이밍 다이어그램.

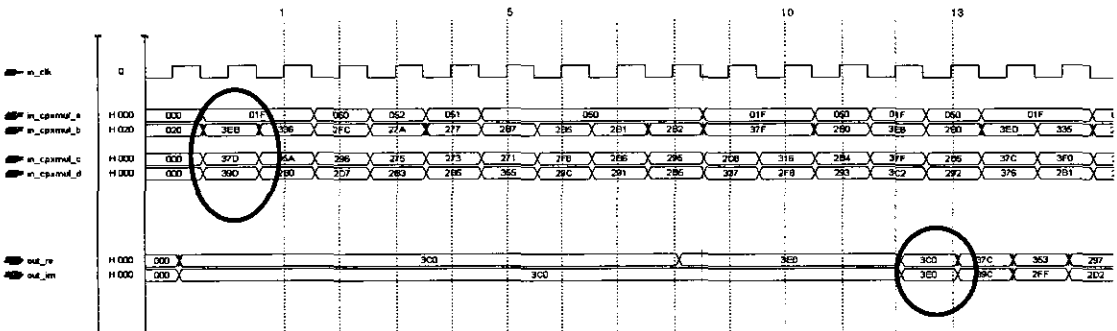


그림 16. Altera MAX+PLUS II로 합성된 부동소수점 복소 곱셈기의 타이밍 다이어그램.

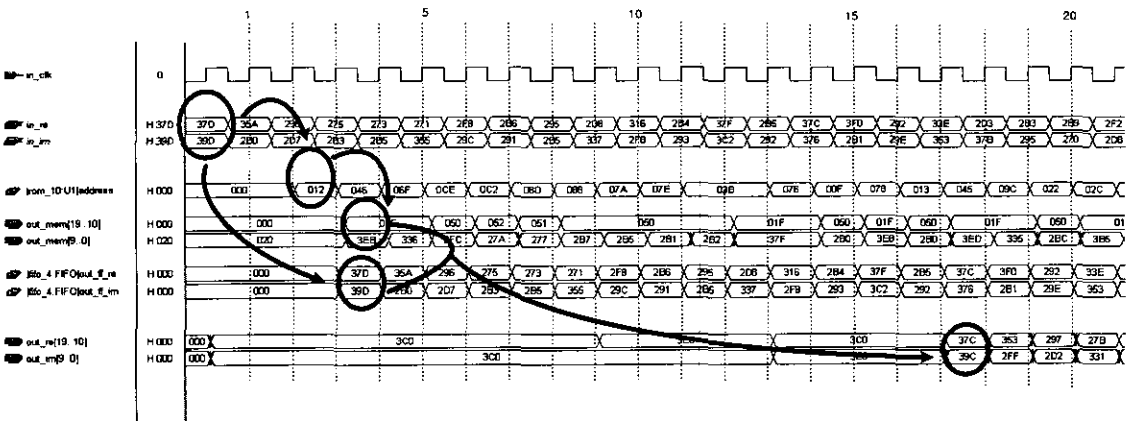


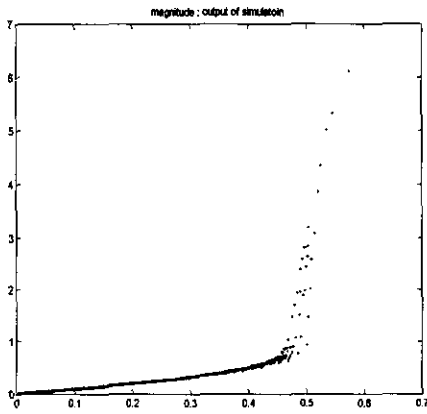
그림 17. Altera MAX+PLUS II로 합성된 사전왜곡기 전체 시스템의 타이밍 다이어그램.

합성된 사전왜곡기의 검증을 위하여 이를 Altera사의 10만 gate 급 EPF10K100GC503-3이 내장된 한백전자의 HBE-DTK-100K-Plus Kit를 이용하여 실제 구현하였다. 먼저 사전왜곡기를 위한 입력 데이터로서 호스트 컴퓨터 상에서 C 언어를 이용하여 시뮬레이션된 16-QAM, 64-point IFFT OFDM 변조 신호를 생성하였다. 이들 데이터는 10 비트 부동

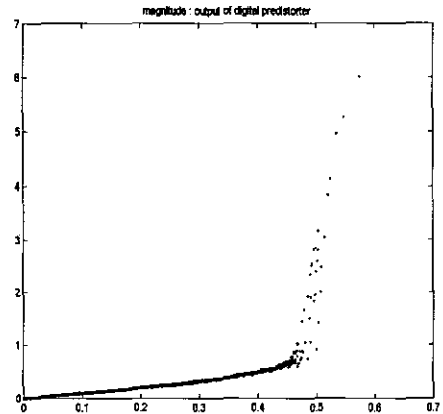
소수점 형태로 변환되고, logic 내에 고정된 값으로 설정된다. 구현된 사전왜곡기는 이들 데이터를 입력으로 하여 사전왜곡 기능을 수행한 후 출력 데이터를 외부 RAM에 저장한 후, 이들 RAM에 저장된 데이터는 keypad를 통해 어드레싱되어 LED로 출력된다. 검증을 위해 랜덤하게 생성된 640개 데이터에 대하여 예상했던 결과를 얻을 수 있음을 확인하였다.

사전왜곡기의 출력 진폭 및 위상 특성을 확인하기 위해, C 언어를 이용한 시뮬레이터의 결과와 Altera MAX+PLUS II의 결과를 비교하였다. 그림 18과 19는 각각 C 언어로 구현된 사전왜곡기와 본 연구에서 구현된 사전왜곡기의 64000개 입력 데이터에 대한 (a) 진폭 및 (b) 위상 특성을 도시한다. C 언어로 구현된 시뮬레이터의 경우 실제 구현된 시스템과 동일한 10 비트 부동소수점 형태로 표현된 입력 데이터를 이용하며, 진폭 추정을 위해 식 (17)의 근사식을 이용한다. 이렇게 추정된 진폭을

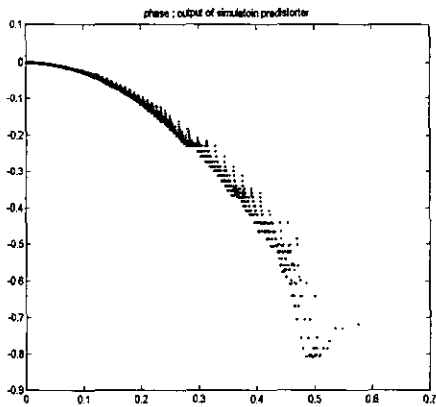
이용하여 FPI 기반의 사전왜곡기의 LUT entry를 생성하고 이들 LUT entry를 10 비트 부동소수점 형태로 변환한다. 그 후 입력 데이터와 이 LUT entry 사이의 복소 곱셈을 수행한 후 결과를 10 비트 부동소수점 형태로 다시 변환한다. 이 시뮬레이터는 복소 곱셈 연산 과정을 bitwise 처리하지 않고 그 결과만을 부동소수점 형태로 변환하므로 실제 구현된 사전왜곡기의 출력보다 좀 더 이상적인 출력을 얻게 되나, 그림 18, 19의 결과로부터 두 시스템이 거의 동일한 성능을 나타내는 것을 확인하였다.



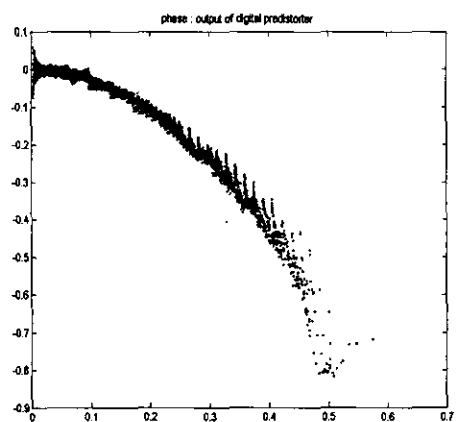
(a) 진폭 특성



(a) 진폭 특성



(b) 위상 특성



(b) 위상 특성

그림 18. C 언어로 구현된 사전왜곡기 시뮬레이터 출력의 특성.

그림 19. 실제 구현된 사전왜곡기 출력의 특성.

## VI. 결론

본 연구에서는 최근 들어 수십 Mbps 급 고속 무선 ATM 등을 위한 전송 방식으로 큰 관심을 받고 있는 OFDM 방식에서, 큰 성능 제한 요소 가운데 하나인 고출력 증폭기에 의한 비선형 왜곡을 보상하는 기저대역 사전왜곡기를 LUT를 이용하여 실제 구현할 때의 효율적인 구조를 제안하였다. 제안된 구조는 사전왜곡기 입력 신호의 위상을 추정하는 부분을 제거하고 LUT에 저장되는 데이터의 형태를 바꿈으로써 계산 복잡도를 크게 감소 가능하다. 이러한 새로운 구조에 기반하여, 우리는 고속 무선 ATM 등에 사용 가능한 사전왜곡기를 VHDL을 이용하여 파이프라인 형태로 설계하고 ASIC화를 위하여 Synopsys tool을 통해 합성하였으며 실제 Altera FPGA에 구현하여 이의 성능을 검증하였다. Synopsys Design Analyzer를 이용하여 합성된 사전왜곡기는 2만 gate 미만으로 합성 가능하고 20 MHz 클록 주파수에서 동작이 가능하며, 이는 16-QAM 및 64개 부반송파, 부호율 1/2 길쌈부호 등을 사용하는 OFDM 기반의 25 Mbps 급 무선 ATM 방식에서 성공적으로 활용 가능성을 나타낸다. 또한 실제 Altera FPGA에 구현하여 이의 성능을 검증하였으며 구현된 사전왜곡기 출력 신호의 진폭 및 위상 특성이 시뮬레이션을 통해 얻은 결과와 잘 일치하는 우수한 성능을 나타냄을 확인하였다.

## 참고 문헌

- [1] L. J. Cimini, Jr., "Analysis and simulation of a digital mobile channel using orthogonal frequency division multiplexing," *IEEE Trans. Commun.*, vol. 33, no. 7, pp. 665-675, July 1985.
- [2] J. A. C. Gingham, "Multicarrier modulation for data transmission: An idea whose time has come," *IEEE Commun. Magazine*, vol. 28, no. 5, pp. 5-14, May 1990.
- [3] M. Russell and G. L. Stüber, "Interchannel interference analysis of OFDM in a mobile environment," *Proc. Vehicular Technol. Conf. (VTC '95)*, vol. 2, pp. 820-824, Chicago, USA, July 1995.
- [4] 정의석, 조용수 "IEEE 802.11a 고속 무선 LAN 모델 기술," *한국통신학회지*, 제16권, 제10호, 1144-1065쪽, 1999년 10월.
- [5] A. Acampora, "Wireless ATM: A perspective on issues and prospects," *IEEE Personal Commun.*, vol. 3, no. 4, pp. 8-17, August 1996.
- [6] Y. Wn and B. Caron, "Digital television terrestrial broadcasting," *IEEE Commun. Magazine*, vol. 32, no. 5, pp. 46-52, May 1994.
- [7] H. Sari, G. Karam, and I. Jeancluse, "Transmission techniques for digital terrestrial TV broadcasting," *IEEE Commun. Magazine*, vol. 33, no. 2, pp. 100-109, February 1995.
- [8] M.-G. Di Benedetto and P. Mandarini, "An application of MMSE predistortion to OFDM systems," *IEEE Trans. Commun.*, vol. 44, no. 11, pp. 1417-1420, November 1996.
- [9] G. Karam and H. Sari, "Analysis of predistortion, equalization, and ISI cancellation techniques in digital radio systems with nonlinear transmit amplifier," *IEEE Trans. Commun.*, vol. 37, no. 12, pp. 1245-1253, December 1989.
- [10] A. N. D'Andrea, V. Lottici, and R. Reggiannini, "RF power amplifier linearization through amplitude and phase distortion," *IEEE Trans. Commun.*, vol. 44, no. 11, pp. 1477-1484, November 1996.
- [11] W. G. Jeon, K. H. Chang, and Y. S. Cho, "An adaptive data predistorter for compensation of nonlinear distortion in OFDM systems," *IEEE Trans. Commun.*, vol. 45, no. 10, pp. 1167-1171, October 1997.
- [12] E. Biglieri, S. Barberis, and M. Catena, "Analysis and compensation of nonlinearities in digital transmission systems," *IEEE Jour. Sel. Areas Commun.*, vol. 6, no. 1, pp. 42-51, January 1988.
- [13] C. S. Eun and E. J. Powers, "A predistorter design for a memoryless nonlinearity preceded by a dynamic linear system," *Proc. GLOBECOM '95*, vol. 1, pp. 152-156, Singapore, November 1995.
- [14] H. W. Kang, Y. S. Cho, and D. H. Youn, "On compensating nonlinear distortions of an OFDM system using an efficient adaptive predistorter," *IEEE Trans. Commun.*, vol. 47,

no. 4, pp. 522-526, April 1999.

[15] J. K. Cavers, "Amplifier linearization using a digital predistorter with fast adaptation and low memory requirements," *IEEE Trans. Vehicular Technol.*, vol. 39, no. 4, pp. 374-382, November 1990.

[16] A. S. Wright and W. G. Durtler, "Experimental performance of an adaptive digital linearized power amplifier," *IEEE Trans. Vehicular Technol.*, vol. 41, no. 4, pp. 395-400, November 1992.

[17] J. K. Carvers, "Optimum table spacing in predistorting amplifier linearizers," *IEEE Trans. Vehicular Technol.*, vol. 48, no. 5, pp. 1699-1705, September 1999.

[18] J. de Mingo and A. Valdivinos, "Amplifier linearization using a new digital predistorter for digital mobile radio systems," *Proc. Vehicular Technol. Conf. (VTC '97)*, vol. 2-A, pp. 671-675, Phoenix, USA, May 1997.

[19] M.-C. Kim, Y. Shin, and S. Im, "Compensation of nonlinear distortion using a predistorter based on the fixed point approach in OFDM systems," *Proc. Vehicular Technol. Conf. (VTC '98)*, vol. 3, pp. 2145-2149, Ottawa, Canada, May 1998.

[20] 김만제, 임성빈, 신요안, "고정점 방법 기반의 사전왜곡기를 이용한 OFDM 시스템의 비선형 왜곡 보상," *한국통신학회논문지*, 제24권, 제4A호, pp. 459-467, 1999년 4월.

[21] A. A. Saleh, "Frequency-independent and frequency-dependent nonlinear models of TWT amplifiers," *IEEE Trans. Commun.*, vol. 29, no. 11, pp. 1715-1720, November 1981.

[22] D. G. Luenberger, *Optimization by Vector Space Method*, John Wiley and Sons, 1969.

[23] Y. Kim, Y. Shin, and S. Im, "A memory mapping predistorter for the compensation of non-linear distortion with memory in OFDM systems," *Proc. Vehicular Technol. Conf. (VTC '99 - Spring)*, vol. 1, pp. 685-689, Houston, USA, May 1999.

[24] 김윤식, 신요안, 임성빈, "OFDM 시스템에서 비선형 왜곡 보상을 위해 TMS320C30 DSP로 구현된 메모리 대응 사전왜곡기," *제11회 신호처리*

*합동 학술대회 논문집*, pp. 571-574, 1998년 10월.

[25] 조중휘, "VHDL을 이용한 통신 칩 설계," *IDEC 통신신호처리용 VLSI 설계 강좌자료*, 159-214쪽, 1999년 7월.

[26] D. Perry, *VHDL*, 3rd Ed., McGraw-Hill, 1999.

[27] Synopsys, *Design Compiler Tutorial*, ver. 3.4, 1996.

[28] [ftp://idec.kaist.ac.kr/pub/MPW/SOG/design\\_kit/sec75\\_synopsys.tar.gz](ftp://idec.kaist.ac.kr/pub/MPW/SOG/design_kit/sec75_synopsys.tar.gz).

[29] Altera, *FLEX 10K Embedded Programmable Logic Family Data Sheet*, ver. 4.01, June 1999, available at <http://www.altera.com/html/literature/lf10k.html>.

성 시 훈(Sheehoon Seong)

정회원



1997년 8월 : 숭실대학교 공과대학 전자공학과 졸업 (공학사)

2000년 8월 : 숭실대학교 대학원 전자공학과 졸업 (공학석사)

현재 : 삼성전자 통신연구소

<주관심 분야> 이동통신 시스템, IMT-2000 시스템, 디지털 신호처리

김 형 호(Hyoungho Kim)

정회원



1999년 2월 : 호서대학교 공과대학 전자공학과 졸업 (공학사)

2001년 2월 : 숭실대학교 대학원 전자공학과 졸업예정 (공학석사)

<주관심 분야> 이동통신 시스템, 고출력 증폭기, VHDL 칩 설계

최 종 회(Chonghee Choi)

정회원



1995년 2월: 안양대학교 공과대  
정보통신공학과 졸업  
(공학사)  
1999년 8월: 숭실대학교 공과대  
전자공학과 졸업  
(공학사)

현재: 숭실대학교 대학원 전자공학과 석사과정  
<주관심 분야> 고출력 증폭기 선형화기, IMT-2000  
시스템, 이동통신 시스템.

신 요 안(Yoan Shin)

정회원

현재: 숭실대학교 정보통신전자공학부 조교수  
<주관심 분야> CDMA 및 다중반송파 이동통신 시스  
템, 통신신호처리, Software Defined Radio  
한국통신학회논문지 제23권 제7호 참조

임 성 빈(Sungbin Im)

정회원

현재: 숭실대학교 정보통신전자공학부 조교수  
<주관심 분야> 통신신호처리  
한국통신학회논문지 제23권 제9B호 참조