

게르마늄 Prearmophization 이온주입을 이용한 티타늄 salicide 접합부 특성 개선

김삼동 · 이성대 · 이진구 · 황인석 · 박대규*

동국대학교 밀리미터파 신기술연구센터

*현대전자 산업주식회사 메모리 연구소

Effects of the Ge Preamorphization Ion Implantation on Titanium Salicide Junctions

Sam-Dong Kim, Seong-Dae Lee, Jin-Koo Rhee In-Seok Hwang and Dea-Gyu Park*

Millimeter-wave Innovation Technology Research Center,

Dongguk University, 3-26 Pildong, Joonggu, Seoul 100-715, Korea

*San 136-1 Ami-ri, Bubal-eub, Ichon-si, Kyounggi-do, 467-701 Korea

(2000년 9월 2일 받음, 2000년 10월 20일 최종수정본 받음)

초 록 본 연구에서는 Ge PAM이 선풍 미세화에 따른 C54 실리사이드화 및 실제 CMOS 트랜지스터 접합부에서의 각종 전기적 특성에 미치는 영향을, As PAM과의 비교를 통하여 관찰하였다. 평판 상에서 각 PAM 및 기관의 도핑 상태에 따른 Rs의 변화량을 측정하였으며, 각 PAM 방식은 기존의 살리사이드 TiSi₂에 비해 개선된 C54 형성 효과를 보였다. 특히, Ge PAM은 n+ 기관에서 As PAM보다 효과적인 실리사이드화를 보였고, 이 경우 XRD 상에서도 가장 강한 (040) C54 배향성을 나타내었다.

~0.25 μ m 선풍 및 n+ 접합층에서 기존 방식에 비해 As과 Ge PAM은 각각 ~85, 66%의 개선된 바저항을 보였으며, p+ 접합층에서는 As과 Ge PAM 모두 62~63% 정도의 유사한 Rs 개선 효과를 보였다. 콘택 저항에서도 각 콘택 크기 별로 바저항 (bar resistance) 개선과 같은 경향의 PAM 효과를 관찰하였으며, 모든 경우 10 Ω /ct. 이하로 양호한 결과를 보였다. 누설 전류는 area 형 패턴에서는 모든 공정 조건에서 <10E-14 A/ μ m² 이하로, edge 형에서는 특히 p+ 접합부에서 As 또는 Ge PAM 적용 시 <10E-13 A/ μ m² 이하로 다소 누설 전류를 안정화시키는 결과를 보였다. 이러한 결과는 XTEM에 의해 관찰된 바 Ge PAM 적용 시 기존의 경우에 (PAM 적용 안한 경우) 비해 유사한 평활도의 TiSi₂ 막막 형상과 일치하였으며, 또한 본 실험의 Ge PAM 이온주입 조건이 접합층에 손상을 주지 않는 범위에서 적정화되었음을 제시하였다.

Abstract We studied the effects of Ge preamorphization (PAM) on 0.25 μ m Ti-salicide junctions using comparative study with As PAM. For each PAM schemes, ion implantations are performed at a dose of 2E14 ion/cm² and at 20 keV energy using ⁷⁵As+ and GeF₄ ion sources. Ge PAM showed better sheet resistance and within-wafer uniformity than those of As PAM at 0.25 μ m line width of n+/p-well junctions. This attributes to enhanced C54-silicidation reaction and strong (040) preferred orientation of the C54-silicide due to minimized As presence at n+ junctions. At p+ junctions, comparable performance was obtained in Rs reduction at fine lines from both As and Ge PAM schemes. Junction leakage current (JLC) levels are below ~1E-14 A/ μ m² at area patterns for all process conditions, whereas no degradation in JLC is shown under Ge PAM condition even at edge-intensive patterns. Smooth TiSi₂ interface is observed by cross-section TEM (X-TEM), which supports minimized silicide agglomeration due to Ge PAM and low level of JLC. Both junction break-down voltage (JBV) and contact resistances are satisfactory at all process conditions.

Key words : ion implantation, sputtering, X-ray diffraction, transmission electron microscopy

1. 서 론

Self-Aligned Silicide (Salicide, 자기정렬 실리사이드) 공정은 Si CMOS 메모리 소자 및 특히 논리소자에서 소스/드레인 접합부 (junction), 게이트 전극 및 근거리 배선 (local interconnection) 용 등으로 널리 연구되고 있다. 이중 티타늄 실리사이드 (titanium silicide, TiSi₂)는 낮은 비저항 (C54-TiSi₂: 13~20 $\mu\Omega$ -cm), 우수한 열 안정성 및 자기정렬에 적합한 물성 등으로 인하여 가장 많이 연구되어

왔으며 또한 널리 적용되고 있는 재료이다. 특히 소자의 최소 크기 (minimum feature size)가 점차 감소하면서 접합부 및 배선 콘택에서의 기생저항 (parasitic resistance) 성분을 최소화하기 위해서는, TiSi₂ 적용이 Si 소자 공정의 필수 불가결의 요소가 되고 있다. TiSi₂는 ~650 $^{\circ}$ C 이하의 온도에서 고 저항 (60~90 $\mu\Omega$ -cm)을 갖는 C49 (metastable 상)에서 700~900 $^{\circ}$ C 영역에서 저 저항의 C54 (안정 상)로 polymorphic한 상변이를 갖게되는 데, 이러한 변화를 위한 활성화 에너지는 특히 선풍이 작아짐에 따라 표면

에너지에 심각하게 영향을 받게된다. 이러한 이유로 계속적인 소자 크기의 축소는 위에서 언급한 선폭 효과(line-width effect)라는 현상을 심화시키며, 이에 따라 미세 패턴에서의 C49-C54 상변태를 억제하고^{1,2)} TiSi₂ 박막 형성시 응집을 조장하는 등의³⁾ 다양한 문제를 일으키게 된다. 따라서, 소자 측면에서는 미세 크기의 접합부에서 면저항(sheet resistance, R_s)이 증가하고 누설 특성 및 제반 접합 특성이 열화 되게 된다.⁴⁻⁸⁾ 이러한 미세 선폭 효과는 선폭 크기가 TiSi₂ 박막의 결정립 크기에 근접할 때 심각한 저항 증가 요인으로 작용하며, 충분히 높은 온도에서도 C54 상으로 변이를 억제하는 작용을 하는 데, 그 원인은 선폭이 작아지면서 2차원에서 1차원으로 C49에서 C54 핵생성 및 결정립 성장 기구가 변화하기 때문이다. 또한, 이러한 열처리 시 얇은 TiSi₂ 박막은 표면에너지를 줄이기 위하여 응집하려고 한다. 이러한 문제들을 해결하고자 하는 방안으로는 As 이온 등을 사전에 적은 양으로 접합부에 주입하여 표면층을 비정질화(preamorphization, PAM) 한다든지 Mo, W 등의 금속류를 증착 또는 이온 주입하는 등의 사전 처리법 등이,⁶⁻⁸⁾ 연구되고 있다. 이러한 방법들은 일반적으로 C54로의 상변이를 촉진하기 위하여 인위적으로 티타늄 박막 증착 전에 핵생성 자리를 제공하여 활성화 에너지를 낮추고자 하는 시도들이다. 특히 PAM 방식으로는 As 이온이 많이 연구되고 있는데, 이 경우 p+ 활성층(active layer) 지역에서 오히려 counter doping을 야기시켜 R_s 증가 및 누설 전류 증가 등의 부작용이 예상되기도 한다. CoSi₂는 TiSi₂가 갖는 선폭효과를 줄일 수 있는 대체 재료로서 각광받고 있기는 하나, ~0.25 μ m 이하의 논리 소자 생산기술 기반과 설비 환경을 TiSi₂로 연장하고자 하는 관성으로 인해 심층적인 TiSi₂ 전처리 연구는 계속되고 있다. 본 연구에서는 Ge 이온을 PAM에 적용하여 C54 상변태 특성과 이에 따른 미세 패턴에서의 면저항 특성들을 살펴보았다. 또한 PAM 적용 시 야기될 수 있는 접합부의 제반 소자 특성들의 열화 여부를 같이 검토하여, Ge PAM 이 소자 적용될 때 각종 트랜지스터 특성의 기초 자료들을 추출하고자 하였다.

2. 실험 방법

이하에서 기술된 모든 실험을 위한 기판으로는 8 인치 직경의 p-type (001) Si 웨이퍼가 사용되었다. 소자 및 접합부 위한 트랜지스터 구조 형성 중 접합층 패턴 크기를 결정하는 소자 분리(isolation)와 게이트 패턴닝에는, ~0.2 μ m 이상에서의 안정된 노광 패턴링 공정을 위하여 KrF 스퀘어가 사용되었다. n+ 및 p+ 의 소스/드레인 접합부 형성을 위한 이온 주입은 ⁷⁵As과 BF₃ 소스를 이용하여 2E15 ion/cm² 이온 도즈와 적정 가속전압 조건에서 각각 이루어졌으며, 트랜지스터 형성 시에는 ~100 Å 정도의 스크린 산화물(screen oxide)을 통하여 이루어 졌다. 이러한 n+ 및 p+ 접합층 형성 후, 특성 비교를 위하여 GeF₄ 및 ⁷⁵As 두 경우 모두 2E14 ion/cm² 이온 도즈와 20 keV 가속전압 조건에서 PAM 이온 주입이 진행되었다. Si 기판

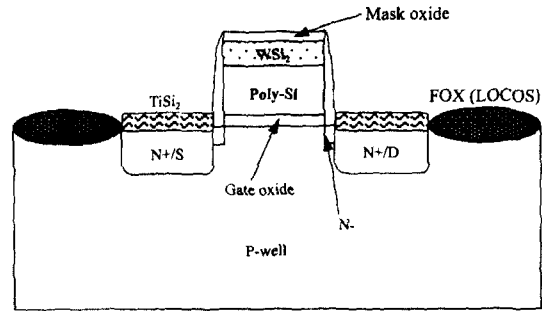


Fig. 1. Schematic of Ti salicide transistor structure used in this experiment. This was fabricated with W-polycide gate electrodes on source-drain actives isolated by recessed-LOCOS.

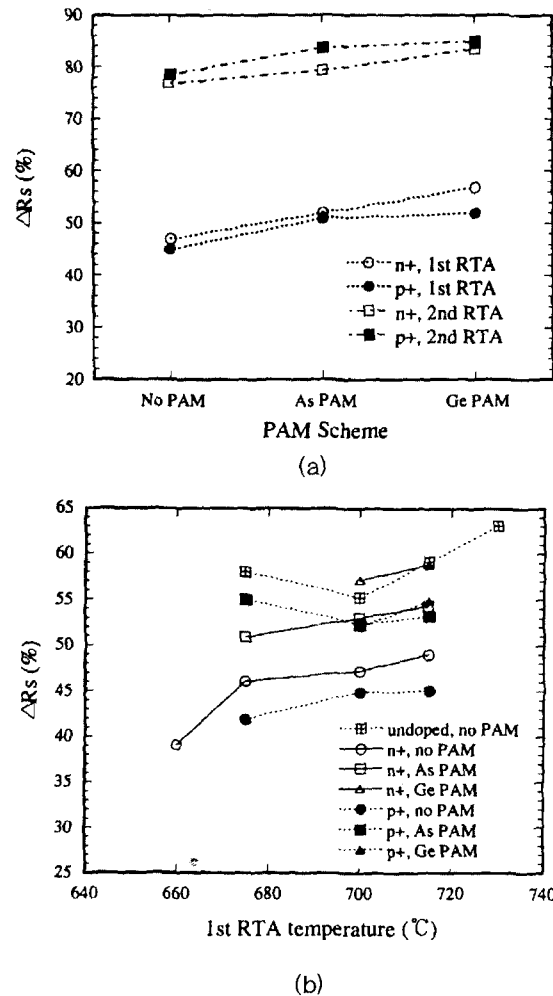


Fig. 2. Variation of ΔRs of unpatterned TiSi₂ on Si is shown as a function of preamorphization (PAM) scheme after 1st RTA at 700°C (a). ΔRs for each PAM scheme are also plotted at various 1st RTA temperature (b). After 2nd RTA at 850°C, ΔRs of TiSi₂ films is shown as a function of PAM scheme (c).

의 비정질화를 위해서는 이온 주입 시 임계 도즈량(critical dosage)이 9E13~2E14 ion/cm²를 넘어야 하는데, 또한 오히려 너무 과도한 도즈는 기판에 轉位(dislocation)와 같은 결정 결함을 발생시키게 된다. 이 경우 접합 누설 전류(junction leakage current, JLC) 증가의 원인이 되게 된다. 이러한 다양한 기판 위에 Ti 증착을 ~300 Å 두께

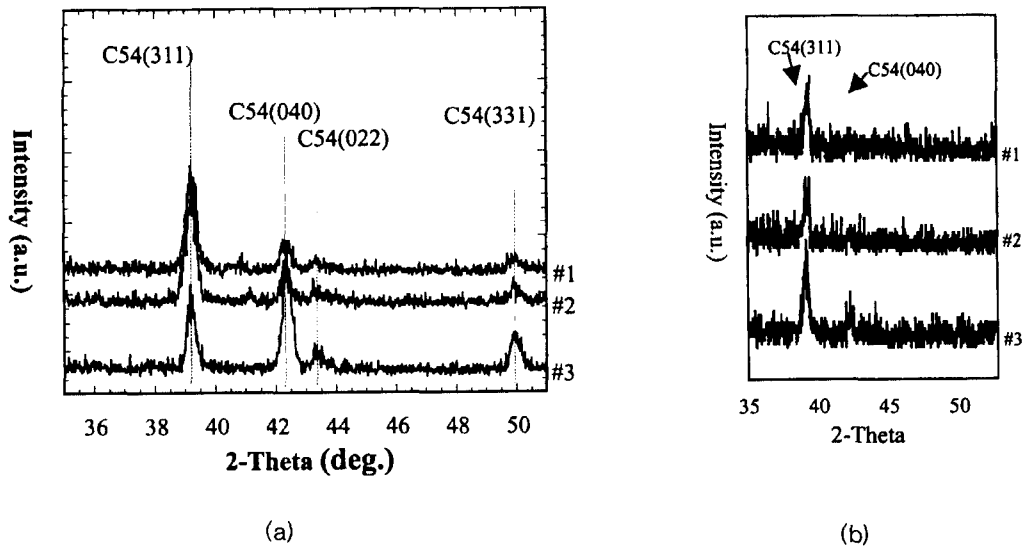


Fig. 3. Glazing angle XRD spectra of $TiSi_2$ samples formed on highly-doped substrates at various PAM schemes. Each process conditions are no PAM(#1), As PAM(#2) and Ge PAM(#3) at n+ (a) and p+ (b) substrates.

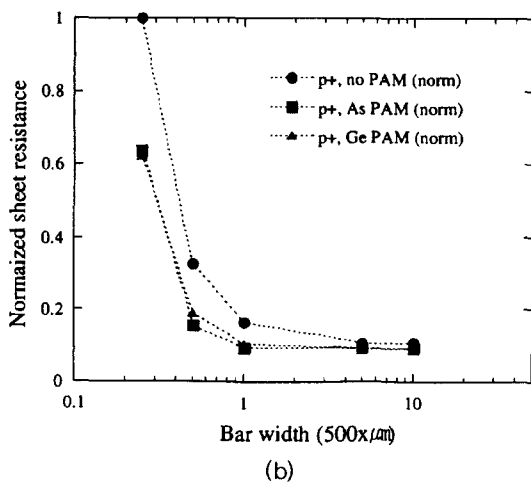
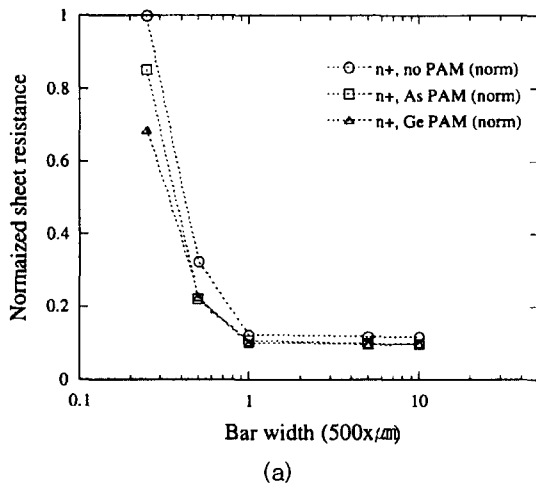


Fig. 4. Bar resistances of Ti silicide formed on n+/p (a) and p+/n S/D junctions (b) at various line width and PAM schemes.

로 증착하였는데, 증착 방식은 집진기(collimator)를 이용한 DC magnetron 스퍼터링(sputtering)을 이용하여 5

kW에서 진행되었다. 이후 실리사이드 형성을 위하여 급속 열처리(rapid thermal annealing, RTA)를 두 단계에서 진행하였는데, 1차 및 2차 열처리는 질소 분위기 및 각각 650~730°C 및 850°C 온도 하에서 20초간 진행하였다. 1차 RTA 공정 이후 박막 표면 층의 Ti-TiN(O) 등의 생성물은 $NH_4OH:H_2O_2:DI=1:1:5$ 의 용액에서 선택 식각을 통하여 제거하였다. 이렇게 다양 기판 조건(undoped p-type, n+, p+)과 PAM 조건(PAM 처리 안된 경우, As PAM, Ge PAM)에서 준비된 시편에서 공정 진행 전후의 R_s 값을 측정하여 실리사이드화의 정도를 확인하였다. 이러한 시편들을 glazing-angle ($1\sim 2^\circ$) X-ray 회절법(GAXRD), X-ray photoelectron spectroscopy(XPS), 단면 투과 전자현미경(cross-section transmission electron microscopy, XTEM) 등의 방법을 통하여 Ti 및 $TiSi_2$ 박막의 조성, 결정 특성 및 형상 측면을 분석하였다.

실제 트랜지스터 구조에서의 접합층 제반 특성 중 접합 누설전류, 콘택 저항, 접합 break-down 전압(junction break-down voltage, JBV) 및 미세 접합층의 바저항(bar resistance) 등은 다음과 같은 공정 순서를 통해 그림 1과 같은 트랜지스터를 형성하여 측정하였다. 먼저 소자 분리(isolation) 공정은 recessed LOCOS 방식이 이용되었다. 게이트 전극으로 W-polycide($WSi_2/poly-Si$) 구조가 화학 기상 증착법(chemical vapor deposition, CVD)으로 증착되었고, 이후 $\sim 1000\text{\AA}$ 두께의 PECVD SiO_2 가 hard-mask 목적으로 증착되었다. 게이트 패터닝 이후 n-LDD(lightly doped drain) 이온 주입과 게이트 측벽 스페이서 공정이 진행되었다. 이후 살리사이드 공정을 진행하였고 이온 주입, PAM, Ti 증착, RTA 등의 공정은 위에 기술한 바와 같이 진행하였다.

각 패턴 상의 전기적 특성은 웨이퍼 상에서의 49개 지점에서 측정하여 통계적 분포와 특성 균일도를 확인하였다.

바저항은 500 μm 길이를 갖고 0.25, 0.5, 1, 10 μm 선폭을 갖는 바패턴에서, JLC는 0.5 μm 직경의 콘택이 10000개의 chain으로 연결된 형, area 형 (400 \times 400 μm^2) 및 edge 형 (2 \times 400 μm^2 , 200개)의 패턴 들에서(역전압 2.7 V에서) 각각 측정하였다. 이외에도 각 콘택 크기에서의 콘택 저항과 JBV 등이 PAM 적용 시 접합 특성의 영향을 확인하기 위해 측정되었다.

3. 결과 및 고찰

평판 상에서의 TiSi₂ 박막 물성

그림 2에는 각 기판 조건 및 PAM 조건에서 RTA에 따른 평판 상에서의 Rs 변화율 (RTA 전후)을 도시하였다. ΔR_s 는 실리사이드화의 정도를 말해주는 척도가 되며 기판의 도핑 형태, RTA 온도 및 PAM 방식들에 의해 영향을 받고 있는데, 먼저 그림 2(a)의 1차 RTA 이후 온도에 따른 각 조건 별 ΔR_s 를 살펴보기로 하자. 먼저 도핑이 안된 기판의 경우가 소스/드레인 조건으로 도핑이 된 기판의 경우보다 전반적으로 높은 실리사이드 정도를 보여주는 데, 이는 일반적으로 고 농도 도핑 조건에서 불순물의 Si 확산 방지에 인한 원인으로 이해할 수 있다.⁹⁾ 일반적으로 RTA 온도 증가에 따라 ΔR_s 는 증가하는데, 700 $^{\circ}\text{C}$ 기준으로 할 때 1차 RTA 이후 PAM 방식과 기판에 따른 ΔR_s 변화는 그림 2(a)에 나타나어져 있다. n+ 기판의 경우 Ge PAM에 의해 PAM 처리 안된 경우 보다 $\sim 10\%$ 정도의 ΔR_s 증가량을 보이고 있으며 As PAM에 비해 우수한 특성을 보이고, p+ 기판의 경우는 Ge과 As PAM이 큰 차이 없이 6~7% 정도의 증가량을 보이고 있다. 이렇게 n+ 기판의 경우 Ge에 비해 As PAM의 실리사이드화 효과가 낮은 이

유는 다음과 같이 추정할 수 있다. 고농도의As 원자들은 열처리 시 TiSi₂ 박막 결정의 입계 (grain boundary)에 석출물 (precipitation) 형태로 형성되며, 따라서 Si 확산의 주요 경로인 입계 확산을 제어하게 된다.¹⁰⁾ 따라서 As PAM의 경우, 표면 층에 추가된 As 원자들은 이러한 Si 확산 억제 기능을 증대할 수 있다. 반면에 Ge 원자들의 Ti-실리사이드 과정 중 거동은 잘 알려져 있지 않다. 그러나 Ge은 Si과 같이 주기율표 상 IV족 원소들로 서로 매우 유사한 화학적/물리적 특성을 갖고 있으며, 따라서 두 원소는 넓은 조성 범위에서 상호 고용도를 갖게된다. 이러한 이유로 열처리 시 Ge 원자는 TiSi₂ 박막층에 석출하기보다는 Si 기판 결정 내에 고용될 가능성이 크다. 보다 자세한 Ge 거동에 대한 고찰은 본 연구의 범위 밖이나, 향후 보다 자세한 실험과 검토가 필요한 부분일 것이다. 2차 RTA 후에도 이러한 양상은 비슷하게 나타나고 있으며, 전반적으로 70~85% 정도의 ΔR_s 의 분포를 보이고 있다. 최대 ΔR_s 는 Ge PAM 적용시 p+ 기판에서의 경우로 $\sim 85\%$ 정도의 값을 보였다.

XPS 표면 분석법을 이용하여 각 시편별 (PAM 방식 및 기판 도핑 조건)로 Si/Ti 조성상의 차이점을 확인하였으나, XPS가 갖는 오차 범위 내에서 모두 차이 없이 $\sim 2:1$ 의 원자조성비를 보였다. 따라서, 시편별 결정학적 차이점을 확인하기 위하여 GAXRD를 이용하여 TiSi₂ 박막의 우선 방위 특성을 살펴보았다. 그림 3은 각 PAM 방식과 기판 별 시편에서 얻어진 XRD spectrum을 보여주고 있다. n+ 기판에 Ge PAM을 적용한 경우에만 (040) C54 회절 peak이 가장 강하게 관찰되어졌고, 다른 모든 경우에는 (311) C54이 가장 강한 peak으로 보여지고 있다. 이러한

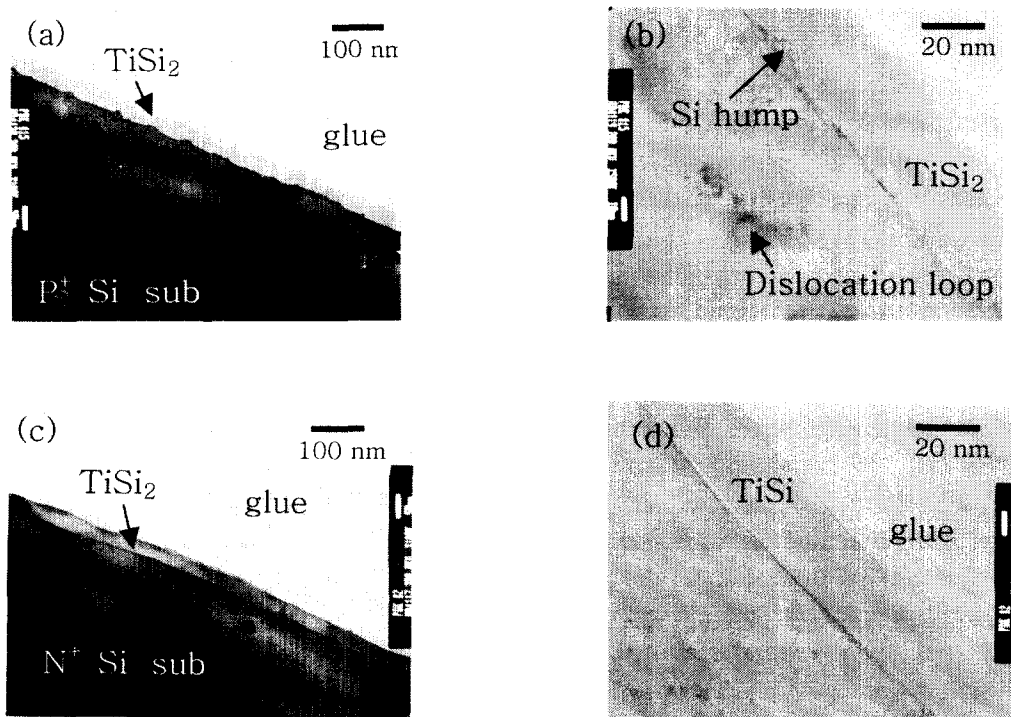
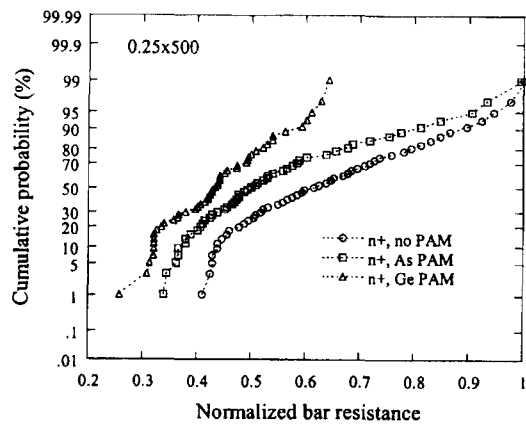
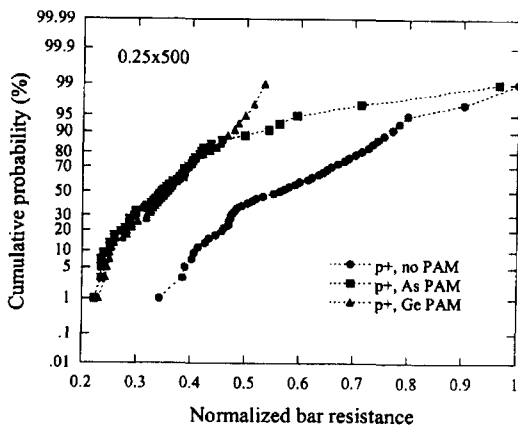


Fig. 5. High resolution XTEM images of TiSi₂ on the Ge pre-amorphized p+ (a), (b) and n+ (c), (d) substrates.



(a)

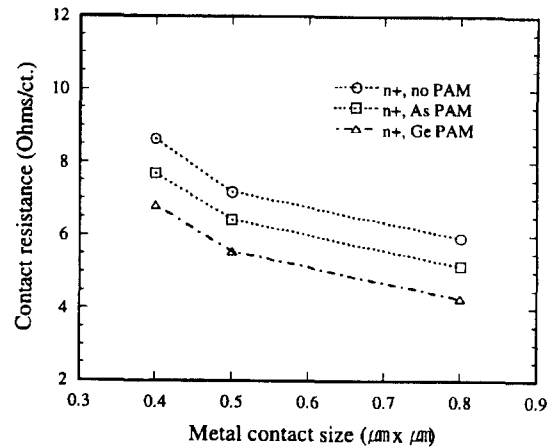


(b)

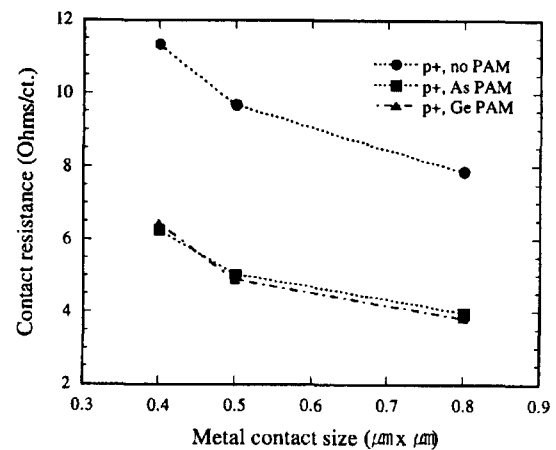
Fig. 6. Cumulative distributions of $0.25\mu\text{m}$ bar resistances of Ti-salicide formed on $n+/p$ S/D (a) and on $p+/n$ S/D (b) at various PAM schemes.

(040) 배향성에 관한 내용은 많이 연구된 바 있으나 특히 RTA 온도가 증가함에 따라 (040) C54 peak의 강도가 증가하는 보고들은 흥미가 있다.¹¹⁾ 또 다른 예로는 Quintero 등¹²⁾이 보고한 바와 같이 C54 상변이를 용이하게 하기 위해 Ti-Ta (5.8 wt.% Ta)의 박막을 증착 시 강한 (040) 우선 배향성을 관찰한 바 있다. 따라서 이러한 연구들은 (040) C54 배향성과 실리사이드화와의 일관된 경향을 말해주고 있으며, 본 실험에서 Ge PAM 적용시 $n+$ 기판에서의 효과적인 실리사이드화를 대변해준다고 할 수 있다.

각 기판의 도핑 상태 및 PAM 방식에 따른 접합층 선폭의 미세화에 따른 TiSi_2 저항값에의 효과를 알기 위해, 여러 선폭에서 바저항을 측정하였고, 그 표준화(normalization) 결과를 그림 4에 도시하였다. PAM을 적용하지 않은 경우는 적용한 경우에 비해 선폭이 $0.5\mu\text{m}$ 에 접근하면서 보다 가파른 바저항의 증가를 보이고 있다. 특히 $n+$ 접합층의 경우 $0.25\mu\text{m}$ 선폭에서도 평판에서의 결과와 같이 Ge PAM의 효과가 뚜렷이 보이고 있다. $p+$ 의 경우에서도 Ge PAM은 As PAM과 같은 수준으로 선폭효과를 억제하는 뚜렷한 효과를 보여주었다.



(a)



(b)

Fig. 7. Contact resistances of Ti-salicide formed on $n+/p$ S/D (a) and on $p+/n$ S/D (b) at various contact sizes (10k chain array) and PAM schemes.

그림 5에서는 Ge PAM 적용 시 XTEM에 의해 관찰된 $n+/p+$ 각 기판 조건에서 형성된 TiSi_2 박막의 형상을 보여주고 있다. Ge PAM을 적용한 경우 PAM을 적용하지 않은 일반적인 기판($n+$ 또는 $p+$)의 경우에 비해 큰 차이가 없는 박막의 평활도(smoothness)를 보이고 있다. 또한, 일반적으로 $n+$ 에 비해 $p+$ 기판에서 TiSi_2 박막은 보다 요철이 심하며 응집(agglomeration) 현상이 심하게 관찰되는데, Ge PAM 적용 시에도 $p+$ 기판에서는 TiSi_2 결정립계를 따른 Si hump와 굴곡 형태의 박막 형상을 보이고 있으나 일반적인 $p+$ 위에 형성된 TiSi_2 막과 큰 차이가 없음을 알 수 있다. 저 배율에서 뚜렷이 관찰되는 전위 루프(dislocation loop)들은 소스/드레인 이온 주입 시 발생하는 현상으로 BF_2 를 주입하는 $p+$ 기판의 경우에 더 많이 형성되는 것은 잘 알려져 있으며 PAM 이온주입과는 무관하다. 이러한 XTEM 관찰로부터, PAM 적용 시 접합 특성에 있어서 특이한 열화나 이온주입에 의한 손상은 예측되지 않는다 할 수 있다.

소자 구조상에서의 PAM 효과

본 실험의 목표가 되는 $\sim 0.25\mu\text{m}$ 선폭 근방의 $n+$ 및 $p+$

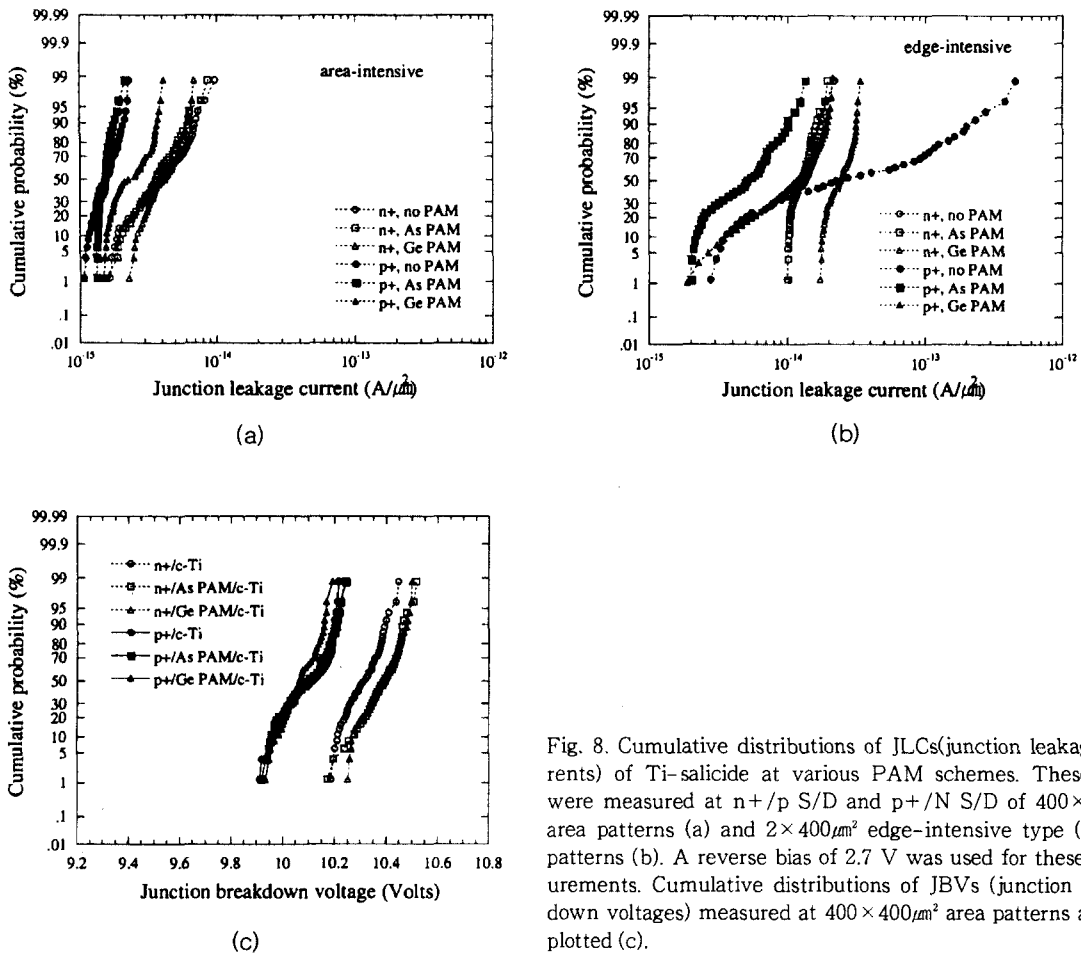


Fig. 8. Cumulative distributions of JLCs(junction leakage currents) of Ti-salicide at various PAM schemes. These JLCs were measured at n+/p S/D and p+/N S/D of $400 \times 400 \mu\text{m}^2$ area patterns (a) and $2 \times 400 \mu\text{m}^2$ edge-intensive type (200ea.) patterns (b). A reverse bias of 2.7 V was used for these measurements. Cumulative distributions of JBVs (junction breakdown voltages) measured at $400 \times 400 \mu\text{m}^2$ area patterns are also plotted (c).

소스/드레인 바패턴 상에서 측정된 49개 지역에서의 표준화된 바저항 분포를 그림 6에 도시하였다. n+ 접합부 지역에서는 평균값과 균일도 측면에서 Ge PAM의 경우가 As PAM 또는 PAM을 적용 안한 경우에 비해 뚜렷한 바저항의 개선을 확인할 수 있다. 이에 비해 p+ 접합부에서는 As이나 Ge PAM 두 경우 모두 비슷한 평균 바저항 값을 보이며, PAM 적용이 안된 경우보다는 역시 상당한 개선 효과를 보이고 있다. 단, As PAM의 경우 몇몇 측정값에서 불균일한 분포를 보이고 있으나, 이것들은 주로 웨이퍼 가장자리에서의 측정값들로 다른 불균일도에 기인할 수도 있다고 판단된다.

살리사이드를 적용하지 않은 경우의 메탈 콘택 저항은 접합층 이온 주입조건과 확산방지막 (diffusion barrier) 및 배선층 증착 전 세정공정 등에 민감한 영향을 받는다. 그러나, 살리사이드 적용 시에는 실제 콘택 체인간에 전류 흐름은 접합층을 통하지 않고 TiSi_2 금속층으로 이루어지므로, 접합층 이온주입 조건이나 확산방지막 (Ti/TiN) 과 접합층 계면 조건보다는 형성된 TiSi_2 막의 두께나 비저항등에 더 민감한 영향을 받을 것이다. 따라서, 그림 7에의 n+/p+에서의 콘택 저항들은 다른 조건들이 일정하다면 접합부 부위에서의 살리사이드 정도에 따른 경향을 보일 것이다. n+에서는 Ge PAM, As PAM 그리고 PAM 적용 안된 경우의 순으로 그림 4와 같은 경향을 보이고 있으며 p+에서

도 같은 경향의 결과를 보이고 있다. 그러나, 전반적으로 모든 공정 조건과 콘택 크기에서 콘택저항들은 $\sim 10 \Omega/\text{contact}$ 이하의 양호한 값을 나타내었다.

그림 8(a)에서는 $400 \times 400 \mu\text{m}^2$ 의 area 패턴에서 측정된 JLC 분포를 보여주고 있다. n+ 및 p+ 각 접합층 별로 PAM 적용에 따른 뚜렷한 누설전류 악화는 보이지 않으며 $\sim 10\text{-}14 \text{ A}/\mu\text{m}^2$ 이하에서 안정된 값을 보여주고 있다. 반면에 edge-intensive 형의 패턴 ($2 \times 400 \mu\text{m}^2$, 200개)에서는 각 공정 별로 다소의 누설전류 차이를 보이고 있다. 특히 p+ 지역에서는 PAM을 적용 안한 경우 보다 As이나 Ge PAM을 적용한 경우에 현저한 개선을 보이고 있다. 이는, 넓은 area 패턴보다 edge 패턴에서는 TiSi_2 의 성장 기구가 폭 방향으로 제한되고 따라서 edge 측면에서의 TiSi_2 응집 현상이 누설전류에 영향을 미칠 수 있기 때문으로 판단된다. 이러한 측면에서 Ge PAM은 p+ 영역에서 추가 이온주입으로 인한 열화 측면보다는, 응집 현상 억제를 통해 오히려 누설전류의 개선의 가능성을 보이고 있다고 할 수 있다. JBV 값은 그림 8(c)와 같이 PAM 적용 여부에 관련 없이 각 n+, p+ 접합부에서 안정된 값을 보였으며, JLC의 결과와 같이 본 연구에 적용된 Ge PAM이 접합부 특성에 손상을 주지 않는 범위에서 조건에서 적용되었음을 보여주었다.

4. 결 론

본 연구에서는 기존의 As 방식과는 다른 Ge 이온 소스를 사용하여 접합부를 사전 비정질 처리함으로써 트랜지스터 접합부에서의 선폭효과 개선 효과를 관찰하였다. Ge PAM 방식은 적정 이온주입 조건에서, As PAM 보다 n+ 접합부에서 선폭효과를 더 효과적으로 억제하는 결과를 보였다. 이는 XRD 상에서 Ge PAM 적용 시에만 발달하는 (040) C54 배향성 경향과도 일치하였다. 또한, PAM을 적용 안한 경우보다는 $\sim 0.25\mu\text{m}$ 선폭의 n+ 및 p+ 두 가지 접합층 경우에서 85~62% 정도의 바저항 감소 효과를 보였으며, 기타의 접합 특성 측면에서는 어떠한 열화 현상도 관찰되지 않았다.

감사의 글

본 논문의 게재에 관련된 제반 지원은 KOSEF의 ERC 프로그램을 통한 동국대학교 밀리미터파 신기술 연구센터를 통하여 이루어 졌습니다. 또한, 많은 기술적 성과가 현대전자 산업주식회사 메모리 연구소의 지원으로 가능했음을 밝힙니다. 또한, 이 연구를 위해 많은 도움과 노고를 주신 현대전자 메모리 연구소의 관련 연구원들께 아울러 감사를 드립니다.

참 고 문 헌

1. R.W. Mann, and L.A. Clevenger, J. Electrochem. Soc., **141**, 1347 (1994).
2. J.E. DiGregorio, R.N. Wall, IEEE Trans. Electron Devices, **47**, 313, (2000).
3. T.P. Nolan, R. Sinclair, and R. Beyers, J. Appl. Phys., **71**, 720 (1992).
4. J.B. Lasky, J.S. Nakos, O.J. Cain, and P.J. Geiss, IEEE Trans. Electron Devices, **38**, 262 (1991).
5. R.W. Mann, G.L. Miles, T.A. Knotts, D.W. Rakowski, L.A. Clevenger, J.M. Harper, F.M. DHeurle, and C. Cabral, Jr., Appl. Phys. Lett., **67**, 3729 (1995).
6. I. Sakai, H. Abiko, H. Kawaguchi, T. Hirayama, L. E.G. Johansson, and K. Okabe, VLSI Symposium Digest, 1992 (unpublished), p. 66.
7. R.T. Tung, Appl. Phys. Lett., **69**, 1933 (1996).
8. K. Tai, M. Okihara, M. Kageyama, Y. Harada, and H. Onoda, J. Appl. Phys., **85**, 3132 (1999).
9. H.J.W. van Houtum, I.J.M.M. Raaijmakers, and T. J.M. Menting, J. Appl. Phys. **61**, 3116 (1987).
10. N. Matsukawa, Y. Takai, A. Yamanaka, and T. Nogami, IEEE VMIC Conf. Proc., 475 (1994).
11. W.K. Wan, and S.T. Wu, Thin Solid Films, **298**, 62 (1997).
12. A. Quintero, M. Libera, C. Cabral, C. Lavoie, and J. M.E. Harper, J. Materials Res., **14**, 4690 (1999).