

論文2000-37-5-CI-5

영상처리를 위한 웨이브렛 변환 디지털 필터의 설계 (A Design on the Wavelet Transform Digital Filter for an Image Processing)

金倫弘*, 全慶一**, 房基天***, 李愚宣****,
朴仁政*****, 李康鉉*

(Youn-Hong kim, Kyong-il Jun, Kee-Chun Bang, Woo-Sun Lee, In-Jung Park, and Kang-Hyeon Rhee)

요약

본 논문에서는 영상처리를 위한 웨이브렛 변환 디지털 필터 설계의 하드웨어 구조를 제안한다. 웨이브렛 변환을 위하여 필터 뱅크 피라미드 알고리즘을 이용하고 각각의 필터는 FIR 필터로 구현하였다. 그리고 메모리 제어기를 하드웨어로 구현하여 DWT 계산이 수행되므로 단순한 파라미터 입력만으로 영상 데이터의 다중해상도 분해를 효율적으로 처리할 수 있었다.

본 논문에서의 영상처리 결과는 FPGA의 하드웨어적 제한으로 인한 11bit의 가수처리 때문에, 512×512 흑백영상에 대하여 33dB의 PSNR이 나타났다. 그리고 QMF(Quadrature Mirror Filter)의 특성을 이용하여 DWT(Discrete Wavelet Transform) 계산에 필요한 승산기의 수를 절반으로 줄임으로써 하드웨어의 크기도 감소하였다. 그러므로 제안된 방법은 하드웨어 크기의 감소에 따른 영상처리의 효율성을 증대할 수 있다. DWT 필터 뱅크의 제안된 하드웨어 설계는 VHDL 코딩으로 설계합성을 하여 테스트 보드가 제작되었으며, 실행프로그램은 MFC++로, 영상복원 디코드 응용프로그램은 C++언어를 이용하여 구현하였다.

Abstract

In this paper, we proposed the hardware architecture of wavelet transform digital filter for an image processing. Filter bank pyramid algorithm is used for wavelet transform and each filter is implemented by the FIR filter. For DWT computation, because the memory controller is implemented by hardware, we can efficiently process the multiresolution decomposition of the image data only input the parameter.

As a result of the image processing in this paper, 33dB PSNR has been obtained on 512×512 B/W image due to 11-bit mantissa processing in FPGA implementation. And because of using QMF(Quadrature Mirror Filter) properties, it reduces half number of the multiplier needed DWT(Discrete Wavelet Transform) computation so the hardware size is reduced largely. The proposed scheme can increase the efficiency of an image processing as well as hardware size reduced. The hardware design proposed of DWT filter bank is synthesized by VHDL coding and then the test board is manufactured, the operating program and the application program are implemented using MFC++ and C++ language each other.

* 正會員, 朝鮮大學校 電子情報通信工學部
(School of Electronics & Info-Comm. Eng. Chosun Univ.)
** 正會員, 仁河工業大學 電子科
(Dept. of Elec., Inha Technical Junior College)
*** 正會員, 南서울大學校 멀티미디어과
(Dept. of Multimedia, Namseoul Univ.)
**** 正會員, 朝鮮大學校 電氣制御計測工學部
(School of Electrical and Control Instrumentation
Eng., Chosun Univ.)

***** 正會員, 檀國大學校 電子工學科
(Dept. of Electronics Eng., Dankook Univ.)
※ 이 논문은 한국과학재단 지정 조선대학교 수송기계
부품 공장자동화 연구센터의 1999년의 연구비 지원
에 의한 연구입니다. 그리고 보이지 않는 곳에서 자
세한 심사를 해주신 심사위원들께도 감사의 말씀을
드립니다.
接受日字:2000年2月18日, 수정완료일:2000年5月15.

I. 서론

시각정보는 우리일상 생활에서 중요한 역할을 하며 여러 형태를 가진 영상정보에 대한 표현은 멀티미디어 통신 시스템에서 필수적인 부분이 되었다. 영상정보는 이해의 용이성과 요구된 정보의 전송상의 용이함으로 통신 시스템의 개념에서 많은 관심이 있다. 컴퓨터, 팩스, 비디오폰, 화상회의 시스템과 저장 매체들은 우리의 작업공간을 더욱 넓게 확장시켰으나 현대의 멀티미디어 영상처리 장치들은 실시간 처리를 요구하며 처리되어야 할 영상 데이터의 양은 천문학적인 크기를 지닌다. 이러한 문제의 해결방법 중 하나인 압축은 저장 매체의 수용성과 네트워크의 처리량을 증가시켜 준다. 특히, 컴퓨터로 처리되는 디지털 영상신호는 많은 양의 데이터로 인하여 저장하거나 전송하는데 애로사항이 있으며, 압축과정에서 상당한 손실을 가져온다. 그러나 텍스트와 같은 데이터와 비교하여 영상 데이터는 인간의 눈에 감지될 수 없는 한 약간의 손실을 인정한다. 이러한 이유로 화질에는 영향을 적게 미치고 최소한의 정보량으로써 영상을 표현하기 위한 압축방법들이 연구되었다^[1].

영상압축에 있어 웨이브렛(wavelet) 기술은 신축성이 있고 정확하게 제어되며, 에러에 강하다. 웨이브렛 부호화는 한번에 전체 영상 혹은 각 프레임을 필터 처리한다. 이러한 방법은 블록화 현상을 방지한다. 결과적으로, 압축율이 증가함에 따라 화질은 크게 떨어진다. 그리고 웨이브렛은 영상에 대하여 정확한 비트율이나 화질조절이 가능하는데 이러한 과정들은 하드웨어 설계에 있어서 효율적이다^[2].

기존의 알고리즘인 DCT는 MPEG과 JPEG등의 압축 방법으로 이용되는데 64개의 픽셀을 갖는 8×8 블록으로 영상을 나눈 후 이들 각각을 압축한다. 결과적으로 제한된 압축 범위를 갖게되며 높은 압축율에서 블록화 현상이 발생하게 된다. DCT와 웨이브렛을 비교할 때 웨이브렛은 비용과 화질면에서 월등히 뛰어나다. 가장 큰 잇점은 높은 압축율에서 저손실을 갖는 것이다. 그러나 이러한 많은 잇점에도 불구하고 기존의 연구는 웨이브렛 변환에 대한 이론적인 연구가 대부분이며 영상압축 정보전송을 위한 다중해상도 부호기에 대한 연구가 부족한 실정이다. 이산 웨이브렛 변환(Discrete

Wavelet Transform:DWT)을 이용한 영상처리가 실제 영상통신 기기에서 사용되려면 그 처리속도가 매우 빨라야 하는데 소프트웨어로 처리한다면, 느린 속도로 인하여 문제가 발생한다. 따라서 웨이브렛 변환을 위한 전용 프로세서의 구조에 대한 연구 및 ASIC 개발이 큰 문제로 대두되었다^[3].

본 논문에서는 영상압축을 위한 웨이브렛 변환 디지털 필터를 하드웨어로 구현한다. 웨이브렛 변환을 위하여 필터 뱅크 피라미드 알고리즘을 이용하고 각각의 필터는 FIR 필터로 구현하였다. 각 단의 필터는 병렬구조로 이루어져 동일 클럭 싸이클에서 하이패스와 로패스를 동시에 수행함으로써 속도를 향상시킬 수 있을 뿐만 아니라 QMF의 특성을 이용하여 DWT 계산에 필요한 승산기 수를 절반으로 줄임으로써 하드웨어의 크기를 줄일 수 있고 영상처리의 효율을 높일 수 있다. 제안된 영상처리의 웨이브렛 변환 디지털 필터는 하드웨어 기술언어인 VHDL로 코딩하여 각각의 기능블럭들을 시뮬레이션한 후, 설계합성하여FPGA 칩에 구현하였으며, 테스트 보드를 제작하여 실행 및 응용프로그램을 작성하여 수행하였다.

II. 이산 웨이브렛 변환

1. 웨이브렛 변환

그림 1은 웨이브렛 압축방법을 보여준다. DCT 압축 방법과는 달리 전체영상에 대하여 처리하므로 블록화 현상을 제거할 수 있다.

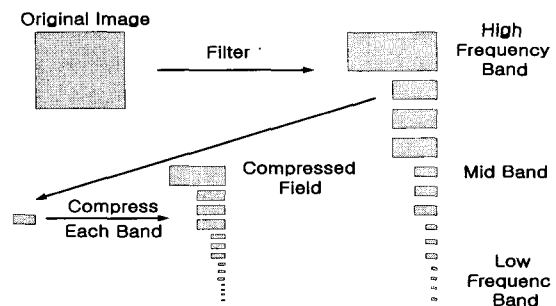


그림 1. 웨이브렛 압축방법
Fig. 1. Wavelet compression scheme.

웨이브렛이라 불리는 기저함수는 항상 웨이브렛 분석의 토대가 된다. 웨이브렛이란 $\psi(t)$ 로 정의되는

Mother 웨이브렛을 변이시키고 확대하거나 축소시킴으로써 얻어지는 함수들의 집합을 말하며 $\phi(t)$ 는 하나의 스케일링(scaling) 함수 $\phi(t)$ 로부터 얻어진다^[4].

식(1)에서 DWT는 컨볼루션(convolution)과 데시메이션(decimation)의 급수가 회귀적으로 계산되는데 이산 시간 데이터의 DWT를 계산할 때, 입력 데이터가 high resolution단의 DWT계수를 나타낸다. 식(1)은 서브스태이지(substage)의 DWT 계수를 계산하기 위해 이용되는데 실제로 이 분해는 몇 단계로 실행되며 신장 계수 $H(z)$ 은 로패스 필터(lowpass filter)를 나타내는 반면 $G(z)$ 은 하이패스 필터(highpass filter)를 나타낸다. 각 스케일 레벨 j 에서 입력 sequence $C_{j-1}(n)$ 은 각각 로패스와 하이패스 필터 $G(z)$ 와 $H(z)$ 로 입력된다. 하이패스 필터 $G(z)$ 로부터 출력은 $D_j(n)$ 으로 표현되며 주어진 스케일 j 에서 본래의 신호에 관한 자세한 정보를 나타낸다. 로패스 필터 $H(z)$ 로부터의 출력은 본래의 신호에 대한 평균정보를 나타내고 $C_j(n)$ 에 의해 표현된다. $G(z)$ 와 $H(z)$ 는 각각 스케일링 함수 $\phi(t)$ 와 웨이브렛 함수 $\psi(t)$ 를 나타내는 계수 집합에 대한 Z 변환이다^[5].

$$C_j(n) = \sum_n H(n-2k)C_{j-1}(n) \tag{1}$$

$$D_j(n) = \sum_n G(n-2k)C_{j-1}(n)$$

$H(n), G(n)$: 스케일링과 웨이브렛 함수에 일치하는 신장 계수

처리된 데이터의 정확한 재구성을 위해 필터는 여러 조건들을 포함하는데 웨이브렛 필터는 스케일링 필터의 요소에 의해 제공되기 때문에 때로는 스케일링 필터의 미러 필터라 부르고 각 필터의 조건은 식(2)~(6)과 같다^[6].

$$G(n) = (-1)^n H(N-n) \tag{2}$$

$$\sum_k H_k = \sqrt{2} \tag{3}$$

$$\sum_k H_k H_{k+2m} = \delta \tag{4}$$

$$\sum_k G_k = 0 \tag{5}$$

웨이브렛 필터 계수는 스케일링 필터 계수로부터 alternating flip으로 얻어진다는 것을 식(2)에서 볼 수 있다. 본래 데이터를 복원하기 위해서 DWT 계수는

upsample되고 그리고 다음의 식(6)과 같이 표현되는 로패스와 하이패스의 또 다른 필터 집합을 통과한다^[7].

$$C(n, j) = \sum_k C(k, j+1)H(n-2k) + \sum_l D(l, j+1)G(n-2l) \tag{6}$$

2. DWT 계산에서 데이터 의존도

본 논문에서 제안된 필터는 DWT를 계산하기 위해 Daubechies 웨이브렛 알고리즘을 이용하였으며, 4-tap FIR 필터의 전달함수는 식(7)같고 이용된 필터 계수는 표 1과 같다^[8].

$$H(z) = h_0 + h_1z^{-1} + h_2z^{-2} + h_3z^{-3} \tag{7}$$

$$G(z) = g_0 + g_1z^{-1} + g_2z^{-2} + g_3z^{-3}$$

표 1. Daubechies 웨이브렛 필터 계수
Table 1. Filter coefficient of Daubechies wavelet.

Daubechies N = 6		
N	H	G
0	0.33267055295008	-0.03522629188571
1	0.80689150931109	-0.08544127388203
2	0.45987750211849	0.13501102001025
3	-0.13501102001025	0.45987750211849
4	-0.08544127388203	-0.80689150931109
5	0.03522629188571	0.33267055295008
Daubechies N = 4		
0	0.48296291314453	0.12940952255126
1	0.83651630373781	0.22414386804201
2	0.22414386804201	-0.83651630373781
3	-0.12940952255126	0.48296291314453
Daubechies N = 2		
0	0.70710678118655	0.70710678118655
1	0.70710678118655	-0.70710678118655

식(1)과 같이 DWT 계산은 다른 레벨에서 데이터 의존성 때문에 복잡하다. 영상신호를 다중해상도를 갖는 신호로 부호화할 때 첫째단의 로패스 필터로부터 생성된 값은 다음 둘째단의 입력신호가 되어 하이패스와 로패스 필터 처리를 하게 된다. 이런 일련의 반복 과정들을 다중해상도 처리^[9]라고 하며, 처리되어 생성된 데이터는 Mallat^[10]의 피라미드 알고리즘에 따라 입력 데

이터의 절반이 된다. 그림 2는 3단계 DWT과정의 스키메틱을 보이며 그림 3은 영상의 3-level 웨이블릿 분해 과정을 보여준다. 식(1)에 따라 첫 레벨에서 각각의 입력 데이터에 대하여 생성되는 중간값 데이터를 구하면 다음과 같다.

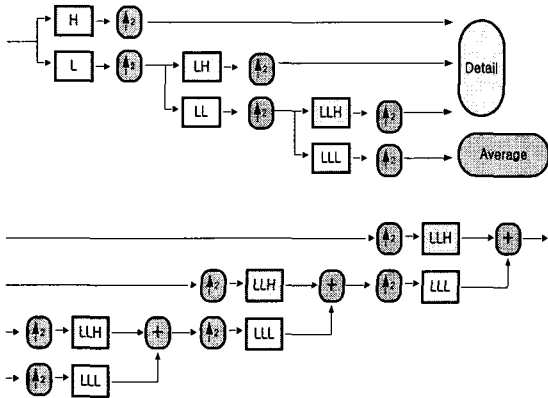


그림 2. 3단계 웨이블릿 분해와 합성
Fig. 2. 3 stages DWT decomposition and synthesis.

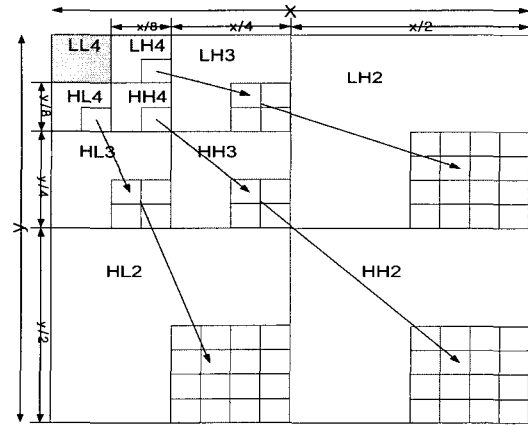


그림 3. 3레벨 영상 분해
Fig. 3. 3 level image decomposition.

첫째 레벨 :

둘째 레벨 :

$$\begin{aligned}
 G_0(0) &= g(0)a(0) + g(1)a(-1) + g(2)a(-2) + g(3)a(-3) \\
 G_0(2) &= g(0)a(2) + g(1)a(1) + g(2)a(0) + g(3)a(-1) \\
 G_0(4) &= g(0)a(4) + g(1)a(3) + g(2)a(2) + g(3)a(1) \\
 G_0(6) &= g(0)a(6) + g(1)a(5) + g(2)a(4) + g(3)a(3) \\
 G_0(8) &= g(0)a(8) + g(1)a(7) + g(2)a(6) + g(3)a(5) \\
 G_0(10) &= g(0)a(10) + g(1)a(9) + g(2)a(8) + g(3)a(7) \\
 G_0(12) &= g(0)a(12) + g(1)a(11) + g(2)a(10) + g(3)a(9)
 \end{aligned}$$

$$\begin{aligned}
 H_0(0) &= h(0)a(0) + h(1)a(-1) + h(2)a(-2) + h(3)a(-3) \\
 H_0(2) &= h(0)a(2) + h(1)a(1) + h(2)a(0) + h(3)a(-1) \\
 H_0(4) &= h(0)a(4) + h(1)a(3) + h(2)a(2) + h(3)a(1) \\
 H_0(6) &= h(0)a(6) + h(1)a(5) + h(2)a(4) + h(3)a(3) \\
 H_0(8) &= h(0)a(8) + h(1)a(7) + h(2)a(6) + h(3)a(5) \\
 H_0(10) &= h(0)a(10) + h(1)a(9) + h(2)a(8) + h(3)a(7) \\
 H_0(12) &= h(0)a(12) + h(1)a(11) + h(2)a(10) + h(3)a(9)
 \end{aligned}$$

$$\begin{aligned}
 G_1(0) &= g(0)G_0(0) + g(1)G_0(-2) + g(2)G_0(-4) + g(3)G_0(-6) \\
 G_1(2) &= g(0)G_0(2) + g(1)G_0(0) + g(2)G_0(-2) + g(3)G_0(-4) \\
 G_1(4) &= g(0)G_0(4) + g(1)G_0(2) + g(2)G_0(0) + g(3)G_0(-2) \\
 G_1(6) &= g(0)G_0(6) + g(1)G_0(4) + g(2)G_0(2) + g(3)G_0(0)
 \end{aligned}$$

$$\begin{aligned}
 H_1(0) &= h(0)H_0(0) + h(1)H_0(-2) + h(2)H_0(-4) + h(3)H_0(-6) \\
 H_1(2) &= h(0)H_0(2) + h(1)H_0(0) + h(2)H_0(-2) + h(3)H_0(-4) \\
 H_1(4) &= h(0)H_0(4) + h(1)H_0(2) + h(2)H_0(0) + h(3)H_0(-2) \\
 H_1(6) &= h(0)H_0(6) + h(1)H_0(4) + h(2)H_0(2) + h(3)H_0(0)
 \end{aligned}$$

셋째 레벨 :

$$\begin{aligned}
 G_2(0) &= g(0)G_1(0) + g(1)G_1(-2) + g(2)G_1(-4) + g(3)G_1(-6) \\
 G_2(2) &= g(0)G_1(2) + g(1)G_1(0) + g(2)G_1(-2) + g(3)G_1(-4) \\
 G_2(4) &= g(0)G_1(4) + g(1)G_1(2) + g(2)G_1(0) + g(3)G_1(-2)
 \end{aligned}$$

$$\begin{aligned}
 H_2(0) &= h(0)H_1(0) + h(1)H_1(-2) + h(2)H_1(-4) + h(3)H_1(-6) \\
 H_2(2) &= h(0)H_1(2) + h(1)H_1(0) + h(2)H_1(-2) + h(3)H_1(-4) \\
 H_2(4) &= h(0)H_1(4) + h(1)H_1(2) + h(2)H_1(0) + h(3)H_1(-2)
 \end{aligned}$$

III. 웨이블릿 변환의 디지털 필터 설계

본 논문에서 구현한 웨이블릿 변환 디지털 필터의 구현과정은 크게 웨이블릿 변환 계수를 구하는 DWT 필터 뱅크와 메모리에 중간값을 저장하고 읽어오기 위해 필요한 메모리 제어기로 구성된다. 제안된 필터는 8bit 해상도의 2진영상 데이터를 입력으로 받아 처리할 수 있도록 구성하였다.

1. DWT 필터 뱅크

1) 부동소수점 승산기

실시간으로 처리되는 영상압축 응용장치에 대한 요구조건과 부합하는 고속 승산기 설계는 Modified Radix-4 Booth 알고리즘을 이용하였으며 승산기 내부 회로는 병렬로 구성되며, 각각의 기능블럭들을 파이프라인 구조로 설계하였다. 설계된 승산기는 5클럭 동안 파이프라인이 가득 채워진 후 다음 매 클럭마다 결과 값을 출력하게 된다.

그림 4와 같이 Booth 디코더를 하나의 셀로 만들어 어떤 데이터의 값이 입력될 때 단지 한 클럭만으로 출력 값을 내 보낼 수 있도록 각 bit의 위치에 병렬로 연결하였다. 디코더 셀에서 출력된 값은 자리수를 계산하기 위해 레지스터 단으로 입력되며 각각의 레지스터에서는 하위bit에서 상위bit로 이동할 때 2bit씩 상위로 쉬프트된다. 쉬프트 후 하위의 남은 bit들은 "0"으로 채

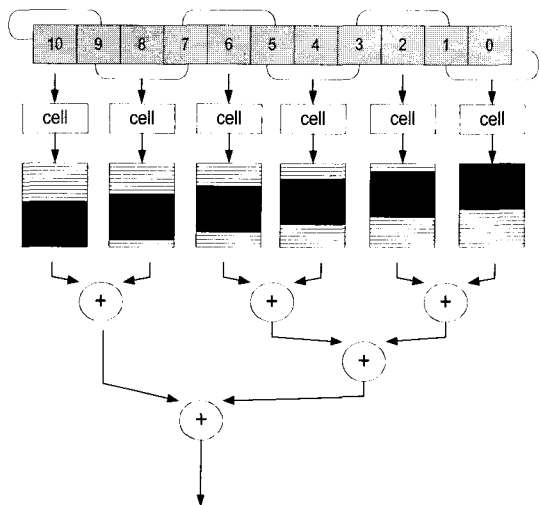


그림 4. Radix-4 Booth 승산기
Fig. 4. Radix-4 Booth multiplier.

위지며 상위의 남은 bit들은 입력된 값의 최상위 bit를 고려하여 "1"과 "0"으로 결정되어 채워진다. 이런 과정으로 레지스터에 채워진 값들은 병렬로 구성된 가산기를 거치게 되는데, 가산과정을 거친 데이터는 승산된 결과값을 갖는다. 그리고 그림 4의 Radix-4 Booth 승산기를 이용하여 그림 5와 같이 18비트 부동소수점 승산기를 설계하였다.

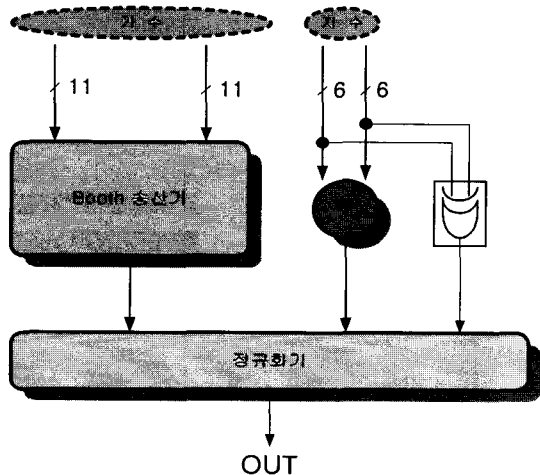


그림 5. 18비트 부동소수점 승산기 블록도
Fig. 5. Block diagram of 18bit floating point multiplier.

2) 부동소수점 가산기

본 논문에서 설계된 부동소수점 가산기는 그림 6과 같다. 감산의 연산을 할 때, 2의 보수 표현방식을 사용

한다. 설계된 가산기는 가산이 이루어지기 전단계와 후단에 각각 2의 보수가 사용되었다. 전단계에 위치한 2의 보수는 입력된 값 중 하나가 음수일 경우 지수 값이 더 작은 값을 2의 보수로 바꾸며, 후단계에 위치한 2의 보수는 가수형태가 2의 보수형태가 되었을 경우 양의 값의 bit 표현으로 바꾸기 위해 사용된다.

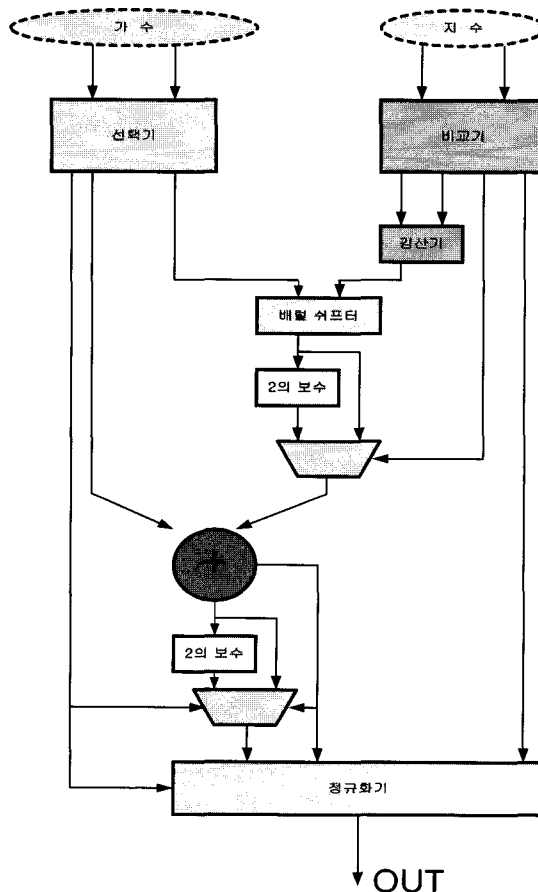


그림 6. 18비트 부동소수점 가산기 블록도
Fig. 6. Block diagram of 18bit floating point adder.

3) DWT 필터

하이패스와 로패스 DWT 계수를 계산하는 과정은 지연소자와 가산기, 승산기로 이루어진 FIR 필터로 구성된 필터 뱅크가 그림 7과 같은 구조를 갖는다.

하이패스와 로패스 필터 계수는 식(2)에서 보는 것처럼 PR(Perfect Reconstruction) 조건을 만족하며 QMF 특성을 이루고 있어 하이패스 계수는 로패스 계수로부터 얻을 수 있다.

그림 7에서 DWT 필터의 구조는 매우 단순한 구조로서 제어하기 쉽고 효율이 높다. 입력된 데이터는 고

속으로 처리되기 위하여 병렬 구조로 이루어진 승산부에 지연없이 입력된다. 이렇게 하여 출력된 데이터는 부동소수점이 갖는 장점을 최대한 이용하여 하이패스와 로패스 DWT 계수를 계산하기 위해 지연소자 단에 입력되고 입력된 데이터의 부호 bit들은 식(2)에 맞게 변환된다. 로패스 필터를 통과한 입력 데이터는 평균적으로 그 데이터의 $\sqrt{2}$ 배가 되어 소수점 이하의 데이터보다 정수부의 데이터가 복원시 중요한 역할을 하고 하이패스 필터를 통과한 데이터는 0에 근접하여 소수점 이하의 데이터 복원에 사용된다.

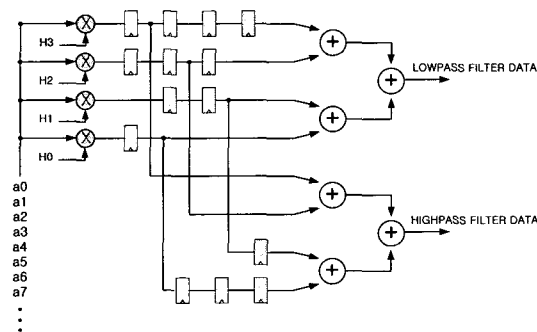


그림 7. 제안한 DWT 필터뱅크의 구조
Fig. 7. Architecture of the DWT filter bank proposed.

식(7)에서 계산된 필터의 계수값들은 현재뿐만 아니라 이전의 3개의 데이터 샘플에 의존한다. 그림 7에서, 제안된 DWT 필터는 승산기 전단에 입력 지연소자를 두지 않고 승산기 후단에 위치시킴으로써 하이패스와 로패스 DWT 계수를 계산하기 위해 이용되는 승산기의 수를 절반으로 줄일 수 있다. 만일 실시간으로 처리되는 비디오장치 등에 한 쌍으로 이루어진 Systolic Array 형태의 구조를 이용하게 된다면 하이패스와 로패스를 처리하기 위해 두배의 클럭을 필요로 하게된다. 이는 하드웨어 측면에서 볼 때, 가산기의 수를 줄이는 효과를 얻을 수 있지만 처리속도에서 본다면 효율적이지 못하다.

2. DWT 메모리 제어기

웨이브렛은 DCT 방식의 블록 변환부호화 방식을 이용하지 않고 처리 데이터를 만들기 위해 전체영상 픽셀을 이용한다. 이것은 블록화 현상이 발생하지 않도록 하는데 이는 처리된 모든 데이터는 영상 픽셀 전체에 걸쳐 상관관계를 유지하기 때문이다. 이렇게 전체 영상

에 걸쳐 상관관계를 유지하기 위해서 필터 뱅크로부터 DWT 계수를 구하기 위한 과정은 복잡한 메모리 접근 방식이 필요한데, 영상처리의 과정은 그림 8, 9와 같다. 먼저 첫 가로(행)좌표의 값을 읽어 들인 후, 다음 2행을 처리하기 위해 (2,1), (2,2), (2,3)의 데이터들은 이전의 데이터를 요구하게 된다. 이때 첫 행의 값인 (1,512), (1,511), (1,510)의 값을 읽어서 데이터를 처리하게 된다. 파라미터의 값이 짝수 일 경우에는 세로 좌표의 데이터를 처리하게 되는데 파라미터가 2일 경우를 예로 들면, 파라미터가 1일 때 이미 가로 좌표중 절반의 데이터 값이 없어졌으므로 가로 행의 값은 512에서 256으로 그 값이 변하게 된다. 위에서 실행된 방식처럼 행에서 열로 그 위치가 바뀌어 데이터는 처리된다. 즉 (1,1), (2,1), (3,1) ... 첫 번째 열 데이터 처리를 끝내고 다음 2열의 데이터를 처리할 때 이전의 값으로 1열의 (512,1), (511,1), (510,1)의 값을 참조하여 처리된다.

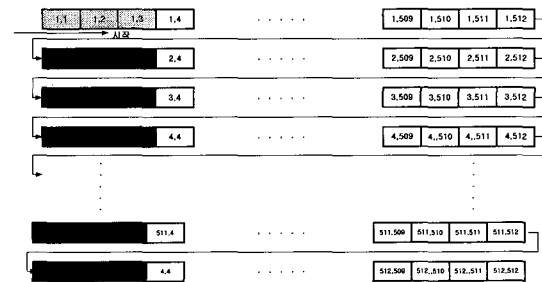


그림 8. 파라미터 값이 홀수일 때 데이터 흐름도
Fig. 8. The data flow in the case of odd parameter.

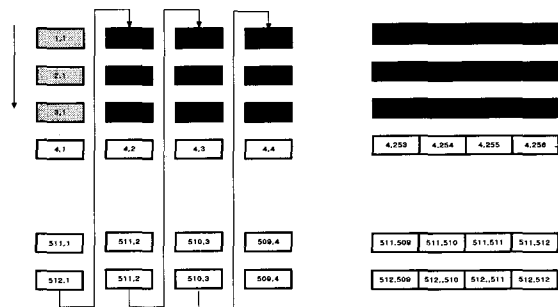


그림 9. 파라미터 값이 짝수일 때 데이터 흐름도
Fig. 9. The data flow in the case of even parameter.

그림 8, 9에 나타난 것과 같이 이는 복잡한 메모리 제어회로를 요구하고 상당한 시간을 소비하게 되지만

본 논문에서는 이를 하드웨어로 구현하여 중간값을 저장하기 위하여 소프트웨어의 처리에서 발생하는 문제를 해결하였다.

그림 10의 메모리 제어기는 READ 어드레스 카운터와 WRITE 어드레스 카운터를 분리하여 설계하였으며 메모리 액세스 순서는 그림 11과 같다. 입력된 데이터는 DWT 필터 뱅크에서 처리되고 메모리에 저장되는데 이 처리과정에서 유효 데이터 영역을 알리는 별도의 신호를 이용하여 출력되는 순서에 따라 하나씩 어드레스를 증가시켜 저장하도록 하였다. 그러나 2-D DWT를 구현하기 위해서는, 현재 처리되고 있는 데이터에 대하여 WRITE 동작이 끝난 후 READ 어드레스

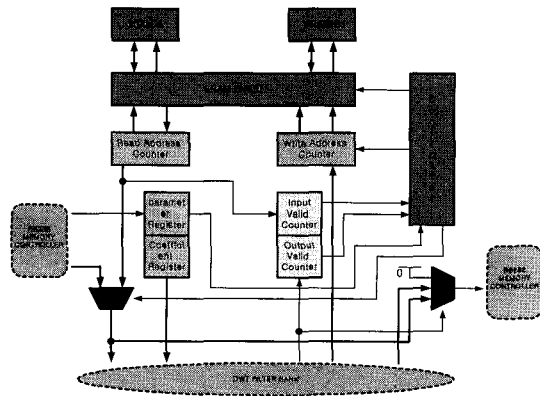


그림 10. DWT 메모리 제어기
Fig. 10. DWT memory controller.

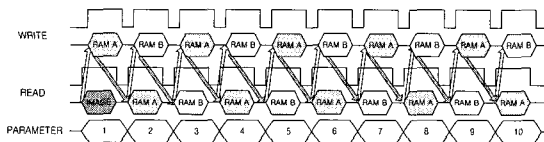


그림 11. DWT 메모리 순서
Fig. 11. Memory access order.

카운터는 어드레스를 증가시켜 메모리에서 데이터를 READ하게 된다. 필터 뱅크로부터 출력된 데이터는 down-sampling의 과정을 거치게 되므로 시스템 클럭에 비하여 2배 낮은 주파수를 갖는 클럭을 필요로 하며 동시에 발생하는 메모리 READ/WRITE 과정에서 데이터의 충돌이 일어나 오동작을 일으킬 수 있으나, 본 논문에서 설계된 메모리 제어기는 두 개의 분리된 메모리에 각기 다른 어드레스와 데이터 버스를 갖도록 하여 안전하게 데이터를 READ/WRITE 할 수 있어 제어의 복잡성을 피할 수 있으며, 처리된 평균신호의 출

력은 입력된 파라미터에 따라 MUX에 의해 선택된다.

IV. 실험 결과 및 고찰

본 논문에서 제안된 디지털 필터의 시스템을 구성하기 위해 PC와의 인터페이스는 RS232 직렬 포트를 사용하였다. 입력 영상은 512×512로 고정되어 RS232 포트를 통하여 입력된다. 데이터 전송시 동기신호를 맞추기 위하여 일정한 포맷이 필요하며 이는 표 3과 같이 구성하였다. 입력 영상 데이터의 값을 RS232 직렬 포트를 이용하여 전송할 경우 전송 스트림 형태는 동기 검출 목적으로 이용되는 Sync Byte가 먼저 입력되고, 다음으로 다중해상도의 범위를 알리는 파라미터 값이 입력된다. 그리고 영상 데이터가 전송되고 어드레스 카운터의 값이 262,143이 되었을 때, 실행이 멈춘다. 필터에서 처리되어 나온 출력 데이터는 18bit 부동소수점 형태의 데이터이다. 그러므로 복원시에는 이 값을 변환해주는 프로세서를 설계해야 하는데 이를 해결하기 위해 이 값을 24bit 고정소수점 형태로 변환된 후 표 3과 같은 포맷을 취하여 전송된다. 입력되는 데이터와 같은 순서로 먼저 Sync byte로 3Byte가 전송되고 그 후 복원에 필요한 파라미터의 값이 전송되며, 필터에서 처리된 데이터가 전송된다.

표 3. 입출력 데이터 스트림 형식

Table 3. Format of input and output data stream,

종류	동기	파라미터 값	데이터
입력 Stream	1byte (11111111)	1byte (1111XXXX)	1 byte per pixel
출력 Stream	(111111111111111111111111)	3byte (111111111111111111XXXX)	3 byte per pixel

그림 12는 전체 시스템의 구성도를 나타내고 있으며, DWT 필터 뱅크와 DWT 메모리 제어기의 구현은 Xilinx사의 VIRTEX FPGA 칩을 사용하였으며, RS232 인터페이스 메모리 제어기 구현은 Altera사의 FLEX10K FPGA 칩을 이용하였다. 표 4는 시스템 구성에 필요한 소자 사양이다.

본 논문에서 제안된 디지털 필터의 입력은 2진영상 8bit 데이터로 0~255 값을 갖는다. 직렬통신에 사용되는 클럭 주파수는 낮으므로 시스템 클럭으로 사용하기에 미흡하므로, 이를 먼저 외부 메모리에 저장하기 위하여 별도로 분리된 어드레스 카운터를 이용하였다. 저

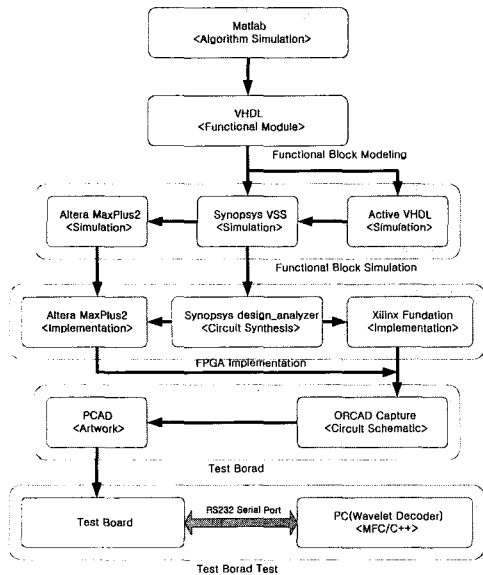


그림 12. 시스템 구성 블록도
Fig. 12. Block diagram of system construction.

표 4. 시스템 구성 자원
Table 4. Resources of system construction.

회사	부품명	용도	수량
XILINX	VCX300	DWT Filter Bank, Memory Controller	1
ALTERA	FLEX10K50RC-3	RS232 Interface Memory Controller	1
	MAX7128ELC84-10	VCX Configuration, CLOCK 분주기	2
MAXIM	MAX232SPE	RS232 Interface	1
National	NM27C040	VCX Configuration Data 저장	1
Samsung	KM684000B	DWT 중간값 저장	13
Linear Technology	LT1584	3.3V Regulator	1
	LT1580	2.5V Regulator	1

장하기 전 입력 8bit 영상 데이터는 차후 계산의 편리성을 위해 18bit 부동소수점 형태로 변환되기 위해 18bit 부동 소수점 변환기를 거치게 된다. 저장이 완료되면 이 어드레스 카운터는 완료 신호를 빠른 클럭(10MHz)으로 동작하는 어드레스 카운터에 알려주고 이때부터 DWT를 실행하기 위한 과정이 시작된다. 어드레스 카운터의 증가와 함께 출력된 데이터는 유효 영역신호와 함께 DWT 메모리 제어기에 입력된다. RS232 직렬 포트를 통하여 입력된 데이터 중 파라미터

값을 추출하여 파라미터 레지스터에 저장하고 이 값은 데이터가 DWT 메모리 제어기로 전달되는 동안 함께 전송된다.

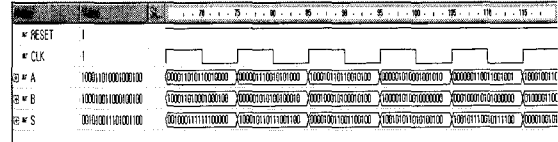


그림 13. 18비트 부동소수점 승산기 시뮬레이션 파형
Fig. 13. Simulated waveform of 18bit floating point multiplier.

본 논문에서 제안된 디지털 필터의 동작을 검증하기 위해 여러 단계의 테스트가 실행되는데 먼저 알고리즘 레벨의 검증을 위해 MATLAB 툴을 이용하였으며 하드웨어 제작을 위해 VHDL 언어를 이용하여 각각의 기능블록들의 구성을 코딩하였고 Synopsys VSS 툴을 이용하여 각 모듈 별로 시뮬레이션을 수행하여 기능 레벨의 동작을 검증하였다.

그림 13, 14는 18비트 부동소수점 승산기 및 가산기의 시뮬레이션 파형이고 그림 15, 16은 RS232 인터페이스 메모리 제어기와 DWT 필터 뱅크의 시뮬레이션 파형이다.

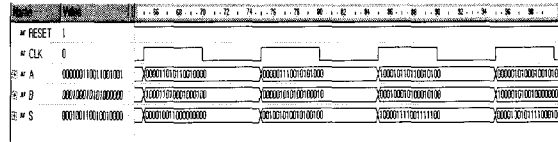


그림 14. 18비트 부동소수점 가산기 시뮬레이션 파형
Fig. 14. Simulated waveform of 18bit floating point adder.

이렇게 검증된 각각의 기능블록들을 Synopsys Design_Analyzer에서 Altera FLEX10K DB와 Xilinx VCX300 DB로 합성하여 FPGA에 Altera의 MaxPlus2와 Xilinx의 Foundation Series를 이용하여 구현하였다. 구현된 FPGA를 탑재한 그림 17의 테스트 보드 제작은 ORCAD Capture에서 회로 스키메틱을 구성하고, PCB 제작을 위한 ARTWORK은 PCAD 툴을 이용하였다. 테스트 보드의 실행 프로그램 작성은 MFC++을 이용하여 RS232 인터페이스 드라이버(driver)를 구현하였고 웨이브렛 역변환 과정을 이루는 디코더는 C++언어를 이용하여 응용프로그램을 구현하였다.

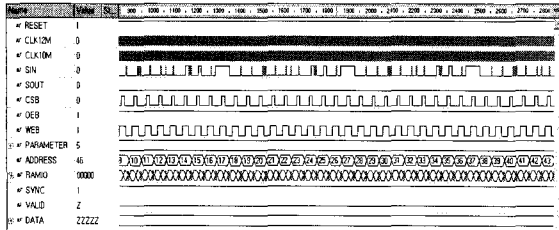


그림 15. RS232 인터페이스 메모리 제어기
Fig. 15. Simulated waveform of RS232 interface memory controller.

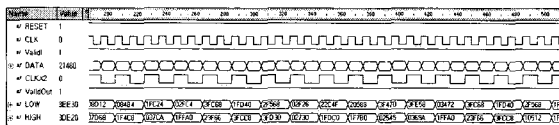


그림 16. DWT 필터 बैं크 시뮬레이션 파형
Fig. 16. Simulated waveform of DWT filter bank.

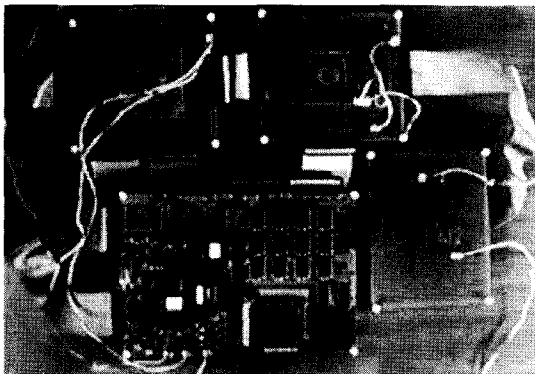


그림 17. 테스트 보드
Fig. 17. Test board.

그림 18은 본 논문에서 제안된 DWT 필터뱅크의 성능실험에 사용된 512×512 Lena의 원영상을 그림 19에서 파라미터 값을 설정하여 그림 20과 같이 웨이블릿 변환된 영상이다. 그림 21은 복원된 영상으로서, 512×512 Lena 영상에 대하여 33dB의 PSNR 값을 갖는데 이는 가수 11bit를 갖는 부동소수점 표현 때문이다. 웨이블릿 변환을 위해 필요한 정밀도는 12bit이상으로 하드웨어 크기를 증가시킨다. 정밀도가 1bit씩 증가 할 때마다 승산기는 거의 배수로 커지게 되는데 본 논문에서 제안된 필터는 DWT의 변환 필터에 대한 하드웨어 구조의 효율성이 FPGA의 한계성으로 인하여 정밀도를 11bit로 하였다.

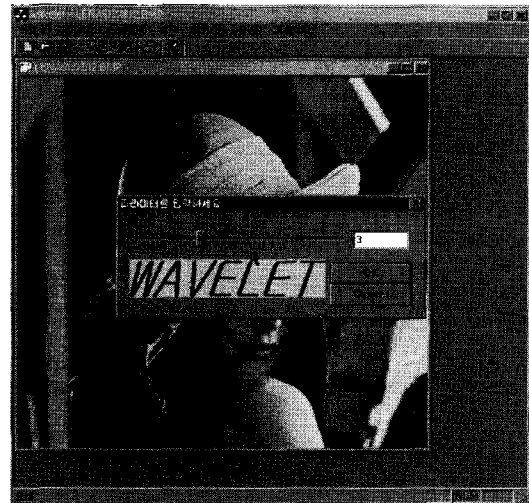


그림 19.파라미터 값 설정
Fig. 19. Parameter value setting.



그림 18. 레나 영상 (512 × 512)
Fig. 18. Lena image (512 × 512).

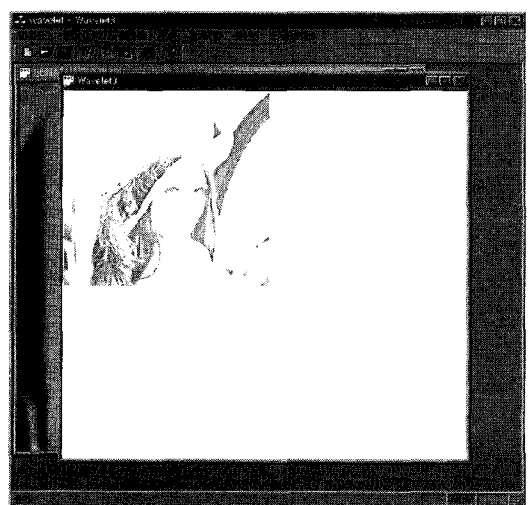


그림 20.웨이블릿 변환의 영상
Fig. 20. Wavelet transformed image.



그림 21. 복원된 영상
Fig. 21. Reconstructed image.

표 5. 파라미터 값에 따른 데이터 감소수
Table 5. Reduced number of data by parameter value.

parameter	데이터 수	처리
0	512 by 512	처리하지 않는다.
1	512 by 256	가로 좌표
2	256 by 256	세로 좌표
3	256 by 128	가로 좌표
4	128 by 128	세로 좌표
5	128 by 64	가로 좌표
6	64 by 64	세로 좌표
7	64 by 32	가로 좌표
8	32 by 32	세로 좌표
9	32 by 16	가로 좌표
10	16 by 16	세로좌표

표 5는 파라미터 값에 따른 압축된 영상의 데이터 감소수를 보여주며, 표 6은 웨이브렛 변환을 위한 여러 형태의 디지털 필터와 본 논문에서 제안된 필터의 크기 및 성능의 비교로서, 같은 동작 클럭에서 두 쌍의 systolic array와 병렬 구조의 필터에 비해서 승산기 수가 절반이 되므로 하드웨어 크기의 감소를 가져왔다.

그리고 본 논문에서 설계된 부동소수점 승산기와 가산기를 비교할 때 가산기의 하드웨어의 크기는 대략 승산기의 1/4 이하의 게이트 수를 갖고 있어 약간의 하드웨어 크기를 희생한다면 본 논문에서 제안된 구조는 전체적인 비용 대 효과 측면에서 매우 효율적이다.

표 6. 하드웨어 성능 비교
Table 6. Comparison of hardware performances.

대상	한 쌍의 systolic array 필터	두 쌍의 systolic array 필터	병렬 구조의 필터	제안된 필터	비고
클럭	$f/2$	f	f	f	f :클럭주파수
가산기	N	$2N$	$2N$	$2N$	N :가산기 수
승산기	M	$2M$	$2M$	M	M :승산기 수

V. 결 론

본 논문에서 제안된 DWT 변환, 디지털 필터는 영상 입력신호에 대한 다중해상도 부호화를 목적으로 설계하여 이용자는 단순히 파라미터의 값, 즉 다중해상도 부호화에 필요한 값만으로 원하는 해상도를 얻을 수 있도록 설계되어 그 이용효율을 극대화할 수 있다. 구현된 필터에서 메모리 제어를 이용함으로써, 계산된 중간값 결과의 저장과 재이용이 용이하게되어 기존의 범용 DSP 칩을 이용하였을 경우 발생하는 복잡한 프로그래밍 과정을 제거할 수 있다. 설계된 영상처리 시스템은 512×512 2진영상의 10단계 파라미터 설정의 다중해상도를 처리하지만 ASIC으로 하드웨어를 구현함으로써 성능을 확장할 수 있다.

하이패스와 로패스 DWT 계수를 계산하기 위해 필요한 필터 뱅크는 QMF의 특성을 이용하여 최적으로 설계되어 필터 뱅크 내 각각의 FIR 필터에서 필요로 하는 승산기를 공유하도록 설계하였기 때문이며, 일부의 지연소자가 공유됨으로써 하드웨어 크기가 감소된 전용 프로세서를 위한 ASIC 구현 시, 비용 대 효율성 증가에 대한 기대가 된다.

설계된 웨이브렛 변환 디지털 필터의 필터뱅크는 단순한 구조로 구성되며 영상처리 분야에 광범위하게 응용할 수 있으며 동일 클럭의 사이클에서 하이패스와 로패스 DWT 계수를 동시에 계산할 수 있어 JPEG200 Encoder/Decoder, 디지털 카메라, 스캐너, 팩시밀리등의 정지영상 압축장치와 CCD 카메라, 화상회의 시스템, 비디오 폰 등과 같이 실시간 처리를 요구하는 영상처리 장치에 광범위하게 응용할 수 있다.

참 고 문 헌

- [1] Youn-Hong Kim, Kyong-il Jun, Kang-Hyeon Rhee, "FPGA Implementation of Subband Image Encoder Using Discrete Wavelet Transform", IEEE TENCON, Vol. 2, pp. 1335-1338, September 1999.
- [2] Ali N.Akansu, Mark J.T.Smith, "Subband wavelet transforms design and application", Kluwer academic publishers. 1996.
- [3] Keshab K. Parhi, Takao Nishitani A.Grzeszczak, "VLSI Architectures for Discrete Wavelet Transforms", IEEE Transactions on VLSI System, Vol.1, No.2, pp 191-202.
- [4] M. Saenz, P. Salama, K. Shen, E. J. Delp, "An Evaluation of Color Embedded Wavelet Image Compression Techniques", SPIE Visual Communications and Image Processing '99, Vol.3653, No.1, pp282-293, Jan. 1999.
- [5] A.Grzeszczak, M.K.Mandal, S.Panchanathan, T.Yesp, "VLSI Implementation of Discrete Wavelet Transform", IEEE Transactions on VLSI System, Vol.4, No.4, pp 421-433, Dec 1996.
- [6] Alain Fournier, "Wavelet and Their Applications in Computer Graphics", Siggraph '95 Course Notes : #26 Wavelet, June 1995.
- [7] Shih-Jen Yang, Ju-Hong Lee, Bin-Chang Chieu, "Perfect-Reconstruction Filter Banks Having Linear-Phase FIR Filters with Equiripple Response", IEEE Transactions on Signal Processing, Vol.46, No.12, pp 3246-3255, Dec. 1998.
- [8] C.Sidney Burrus, Ramesh A. Gopinath, Haitao Guo "Introduction to Wavelet and Wavelet Transform" Prentice-Hall, Inc. 1998.
- [9] Gilbert Strang/Truong, "Wavelet and Filter Bank", Wellesley-Cambridge Press, 1996.
- [10] Peter Rieder, Jurgen Gotze, Josef A. Nossk, "Parameterization of Orthogonal Wavelet Transforms and Their Implementation", IEEE Transactions on Circuits and System II, Vol.45, No.2, pp 217-226, Feb. 1998.

저 자 소 개



房基天(正會員)
 1981년 서울대학교 전자공학과(학사). 1988년 성균관대학교 정보처리학(석사). 1996년 성균관대학교 전산통계학(박사). 1984년~1995년 (주)문화방송 기술연구소 1989년 한국방송기술인상 대상 수상. 1995

년~현재 남서울대학교 멀티미디어학과 교수. 2000년~현재 (사)한국디지털컨텐츠학회 회장. 관심분야 : 멀티미디어 컨텐츠, 멀티미디어 프로그래밍, 인터넷 응용

李康鉉(正會員) 電子工學會誌 2000. 2月號 參照

朴仁政(正會員) 電子工學會誌 2000. 2月號 參照

全慶一(正會員) 現在 仁荷工業大學 電子科 教授

李愚宣(正會員) 現在 朝鮮大學校 電氣工學科 教授

金倫弘(正會員) 2000. 2 朝鮮大學校 大學院