

Si₃N₄를 이용한 금속-유전체-금속 구조 커패시터의 유전 특성 및 미세구조 연구

서동우 · 이승윤 · 강진영

한국전자통신연구원 회로소자기술연구소 화합물반도체연구부
(1999년 12월 10일 접수)

A Study on the Dielectric Characteristics and Microstructure of Si₃N₄ Metal-Insulator-Metal Capacitors

Dongwoo Suh, Seung-Yun Lee, and Jin-Yeong Kang

Compound Semiconductor Research Department, Micro-Electronics Technology Laboratory
Electronics and Telecommunications Research Institute, Taejon 305-350, Korea

(Received December, 1999)

요 약 - 플라즈마 화학증착법(Plasma Enhanced Chemical Vapor Deposition, PECVD)을 이용하여 양질의 Si₃N₄ 금속-유전막-금속(Metal-Insulator-Metal, MIM) 커패시터를 구현하였다. 유전체인 Si₃N₄와 전극인 Al의 계면반응을 억제시키기 위해 티타늄 나이트라이드(TiN)를 확산 장벽으로 사용한 결과 MIM 커패시터의 전극과 유전체 사이의 계면에서는 어떠한 hillock이나 석출물도 관찰되지 않았다. 커패시턴스와 전류-전압 특성분석으로부터 양질의 MIM 커패시터 특성을 보이는 Si₃N₄의 최소 두께는 500 Å이며, 그 두께 미만에서는 대부분의 커패시터가 전기적으로 단락되어 웨이퍼 수율이 낮아진다는 사실을 알 수 있었다. 투과전자현미경(Transmission Electron Microscope, TEM)을 이용한 단면 미세구조 관찰을 통해 Si₃N₄층의 두께가 500 Å 미만인 커패시터의 경우에 TiN과 Si₃N₄의 계면에서 형성되는 슬릿형 공동(slit-like void)에 의해 커패시터의 유전특성이 파괴된다는 사실을 알게 되었으며, 열 유기 잔류 응력(thermally-induced residual stress) 계산에 기초하여 공동의 형성 기구를 규명하였다.

Abstract - High quality Si₃N₄ metal-insulator-metal (MIM) capacitors were realized by plasma enhanced chemical vapor deposition (PECVD). Titanium nitride (TiN) adapted as a diffusion barrier reduced the interfacial reaction between Si₃N₄ dielectric layer and aluminum metal electrode showing neither hillock nor observable precipitate along the interface. The capacitance and the current-voltage characteristics of the MIM capacitors showed that the minimum thickness of Si₃N₄ layer should be limited to 500 Å under the present process, below which most of the capacitors were electrically shorted resulting in the devastation of on-wafer yield. According to the transmission electron microscopy (TEM) on the cross-sectional microstructure of the capacitors, the dielectric breakdown was caused by slit-like voids formed at the interface between TiN and Si₃N₄ layers when the thickness of Si₃N₄ layer was less than 500 Å. Based on the calculation of thermally-induced residual stress, the formation of voids was understood from the mechanistic point of view.

1. 서 론

반도체 집적회로 기술이 고도화 되고 소자의 응용 주파수가 마이크로파 대역으로 확장됨에 따라 monolithic 형태의 수동 소자 개발에 더 많은 제약 조건이 수반되고 있다. 이들 수동 소자 가운데 커패시터에 있어서는 금속 전극 사이에 얇은 유전막을 형성시킨 금속-유전막

-금속(Metal-Insulator-Metal, MIM) 구조를 갖는 커패시터에 대한 많은 연구가 진행되어 왔는데 이는 접합 커패시터에 비해 바이어스 의존성을 탈피할 수 있고 유전 특성이 우수하기 때문이다 [1]. 많은 경우 MIM 커패시터의 유전막으로 실리콘 이산화물(SiO₂)을 사용해 왔는데 최근에는 이보다 유전율이 두 배 정도로 우수한 실리콘 나이트라이드(Si₃N₄)를 적용함으로써 전체 커패

시터의 면적과 두께를 줄여 나가고 있다.

그러나 이러한 Si₃N₄ MIM 커패시터를 사용하는 경우 일반적으로 전극으로 사용되는 알루미늄에 의한 hillock [2, 3] 등의 문제로 인해 유전막의 두께를 줄이는데 제한을 받게 되고 결과적으로 커패시턴스 값을 높이기 위해 커패시터의 면적을 늘려야만 하는 손실이 발생하게 된다. 따라서 많은 경우 공정 조건을 조절하거나 극판과 유전막 사이에 확산 장벽(diffusion barrier) [4]을 증착하여 이 두 층간의 반응을 억제시킴으로 이러한 문제점들을 해결하고자 하였다. 그러나 이러한 노력에도 불구하고 아직까지 수 십 nm의 두께를 갖는 우수한 Si₃N₄ MIM 커패시터를 안정적으로 제조하는 것은 물론, 유전막의 특성이 떨어지는 원인에 대한 근본적인 설명도 충분히 되어 있지 않은 상태이다.

본 연구에서는 티타늄 나이트라이드(TiN)를 확산 장벽으로 사용하여 고주파 집적 회로에 monolithic 형태로 응용할 수 있는 hillock-free Si₃N₄ MIM 커패시터를 구현하고자 하였다. 이를 위해 커패시터의 유전 특성에 미치는 증착 공정과 미세구조의 영향을 분석하고 이를 전류-전압 특성과 관련하여 설명함으로써, Si₃N₄ MIM 커패시터의 유전 특성을 저하시키는 원인을 찾고자 하였다.

2. 실험 방법

P형 실리콘 웨이퍼의 열 산화막 위에 1%의 실리콘을 함유하는 알루미늄을 0.6 μm 두께로 스퍼터링으로 증착하여 전극을 형성하고 두 전극 사이에 Si₃N₄ 박막을 증착하여 MIM 구조의 박막 커패시터를 제조하였다. 이 때 Al과 Si₃N₄층의 계면에는 Ti와 TiN을 스퍼터링으로 증착하여 확산 장벽으로 이용하였으며 이들의 증착 조건은 실리콘 반도체 공정에서 널리 사용되고 있는 금속 배선 공정을 그대로 적용하였다. 최종적인 박막 커패시터의 단면 구조는 그림 1에 나타난 바와 같다.

본 연구에 사용된 Si₃N₄ 유전막은 플라즈마 화학증착법을 이용하여 250~2000 Å의 두께로 증착하였다. 이를 위해 150 Watt의 RF 출력하에서 반응 가스 N₂/SiH₄/NH₃를 각각 300/10/80 sccm로 흘려주어 전체 압력을 1 Torr로 유지하면서 400°C에서 증착하였다.

각 시편의 커패시턴스는 LCR 미터를 이용하여 0.5 V, 1 MHz의 진동(oscillation) 조건으로 측정하였으며 이 때 별도의 부하 전압은 가하지 않았다. 또한 동일

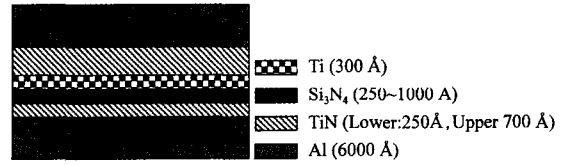


그림 1. Cross-Sectional structure of the Si₃N₄ MIM capacitor used.

장비에서 바이어스 전압에 따른 누설 전류의 변화를 파괴 전압(breakdown voltage) 범위까지 측정하였다. 또한 각 시편의 유전 특성의 차이점을 미세구조적인 측면에서 이해하기 위해 극판과 유전막의 단면 미세구조를 120 keV의 투과전자현미경(Transmission Electron Microscope, TEM)을 이용하여 분석하였다.

3. 결 과

증착 공정

본 연구에서 사용한 공정 조건에서 증착 시간에 따른 Si₃N₄ 박막 두께의 변화를 그림 2에 표시하였다. 이 때 증착 속도, 즉 시간에 대한 두께 변화의 기울기는 본 연구의 증착 범위 내에서 일정하게 유지되고 있어 증착 조건이 안정화되었음을 알 수 있다. 또한 이 조건을 scale-up 해서 실제 반도체 공정에 그대로 적용하기 위해 5 inch 웨이퍼를 이용하여 반복적인 run 진행을 수행한 후, 그 가운데 Si₃N₄의 두께가 각각 300 Å, 500 Å, 700 Å인 시편-A, -B, -C를 중심으로 개발된 공정의 안정성을 확인하고자 각 시편의 조건에서 정상적으로 동작하는 커패시터의 평균 백분율, 즉, 웨이퍼

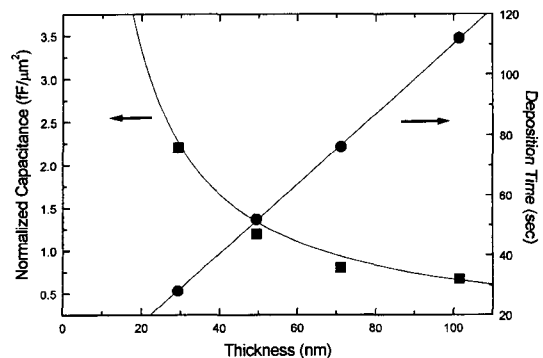


그림 2. Interrelation of the deposition time, thickness, and capacitance of Si₃N₄ synthesized under the present deposition condition.

수율을 조사하였다. 그 결과 Si_3N_4 박막의 두께가 각각 500 Å와 700 Å인 시편-B, -C의 경우 수율이 95% 이상으로 매우 안정적이었고 측정된 커패시턴스의 표준 편차도 2% 내외로 균일하게 나타났다. 반면 Si_3N_4 박막의 두께가 300 Å인 시편-A의 경우에는 수율이 11%로 매우 낮았고 측정시 대부분이 전기적으로 단락되었다. 따라서 본 연구에서 개발한 Si_3N_4 박막 증착 공정은 500 Å 이상의 두께를 갖는 monolithic 형태의 MIM 커패시터 제조에 안정적으로 적용할 수 있었다.

유전 특성

단위 면적 당 커패시턴스는 유전체의 유전율에 비례하고 두께에 반비례하는 관계를 갖는다. 일반적으로 알려진 Si_3N_4 의 상대 유전율은 7.5이고 본 연구에 사용된 커패시터의 크기는 $200 \times 200 \mu\text{m}^2$ 이었다. 따라서 시편-A, -B, -C에서 이론적으로 얻을 수 있는 단위 면적 당 커패시턴스를 계산해 보면 각각 2.2, 1.3, 0.9 $\text{fF}/\mu\text{m}^2$ 이다. 본 연구에서 측정된 커패시턴스 값을 이론치 곡선과 함께 그림 2에 나타내었으며 시편 -A, -B, -C의 커패시턴스 측정값은 각각 2.2, 1.2, 0.8 $\text{fF}/\mu\text{m}^2$ 으로 이론치에 매우 가까운 값들을 보였다.

커패시터 특성은 앞에서 언급한 커패시턴스 뿐만 아니라 누설 전류(leakage current)나 절연 파괴 전압(breakdown voltage) 등에 의해 결정된다. 즉, 커패시턴스 값이 우수하더라도 누설 전류나 절연 파괴 전압이 정해진 규격치를 벗어나게 되면 실제 회로에 적용할 수가 없다. 따라서 우수한 커패시터는 높은 커패시턴스 뿐만 아니라 낮은 누설 전류와 높은 절연 파괴 전압이 동시에 요구된다. 이와 같은 커패시터의 전기적 특성을

알아보기 위해 세 시편의 전압에 따른 전류 특성을 측정하여 그림 3에 나타내었다. 시편-B와 -C의 절연 파괴 전압은 각각 14 V와 24 V였으며 이 때까지의 누설전류는 1 nA 이하로 비교적 양호한 반면, 시편-A의 경우에는 절연파괴 전압이 2 V로 매우 낮고 누설전류도 커서 실제 회로에 적합하지 않은 것으로 나타났다. 특히 시편-A의 경우 절연 파괴가 일어나기 전에도 상당히 많은 전류가 누설되고 있음을 알 수 있는데 이는 앞의 커패시턴스 측정 결과와 비교해 볼 때 바이어스 전압이 가해지지 않은 상태에서 커패시터가 동작한다 해도 유전막이 불량할 경우 누설전류가 크고 절연파괴가 쉽게 일어난다는 사실을 보여 준다.

미세구조

유전막의 두께가 가장 얇은 시편-A 커패시터에서 수율이 크게 떨어지는 원인을 알아보기 위하여 시편-A, -B, -C의 미세구조를 투과전자현미경으로 조사하여 그림 4에 나타내었다. 그림 4(c)와 4(d)는 각각 시편-B와 시편-C의 단면 구조로서 그림 1에 나타난 바와 같은 적층 구조를 유지하고 있으며 Si_3N_4 유전막도 매우 치밀하고 균일하게 증착 되었음을 보여준다. 또한 두 시편 모두 각 층의 계면이 매우 평활하고 석출물도 관찰되지 않고 있어 공정 진행 과정에서 계면 반응은 일어나지 않은 것으로 이해되며, 따라서 TiN층이 알루미늄과 실리콘 나이트라이드에 대한 확산 장벽으로서 매우 효과적이라는 사실을 알 수 있었다.

반면 시편-A의 경우 Si_3N_4 유전막에 슬릿형 공동(slit-like void)이 발생하는 것과(그림 4(a)) 이 공동이 유전막을 가로질러 성장했음을 보여 준다(그림 4(b)). 이러한 공동은 일반적으로 알루미늄이나 구리 등의 금속 배선에서 관찰되는 것으로서 그 원인으로는 공정 중 발생하는 열 유기 잔류 응력(thermally-induced residual stress)이나 사용 중 발생하는 electromigration에 의한 것으로 알려져 있다[5, 6]. 그 결과 유전막에 불연속적인 부분이 발생하게 되는데 이 부분은 누설 전류의 통로로 작용하게 되어 측정시 전기적 단락의 원인이 될 수 있는데 이는 진공 상태의 유전 상수가 Si_3N_4 유전 상수의 15% 이하라는 사실만 고려해도 쉽게 이해될 수 있다. 앞서 살펴본 바와 같이 공동이 없는 시편-B, C의 유전 특성은 시편-A보다 더 우수하며 이러한 공동이 존재하는 경우 전기적으로 단락 되어 수율이 크게 떨어지는 원인으로 작용하게 된다.

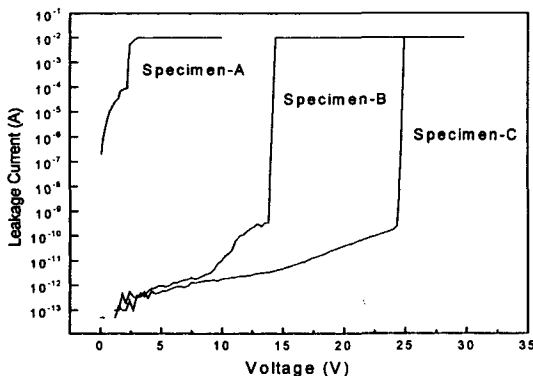


그림 3. Voltage-Current characteristic of Specimen-A(Si_3N_4 : 300 Å), -B(Si_3N_4 : 500 Å), and -C(Si_3N_4 : 700 Å).

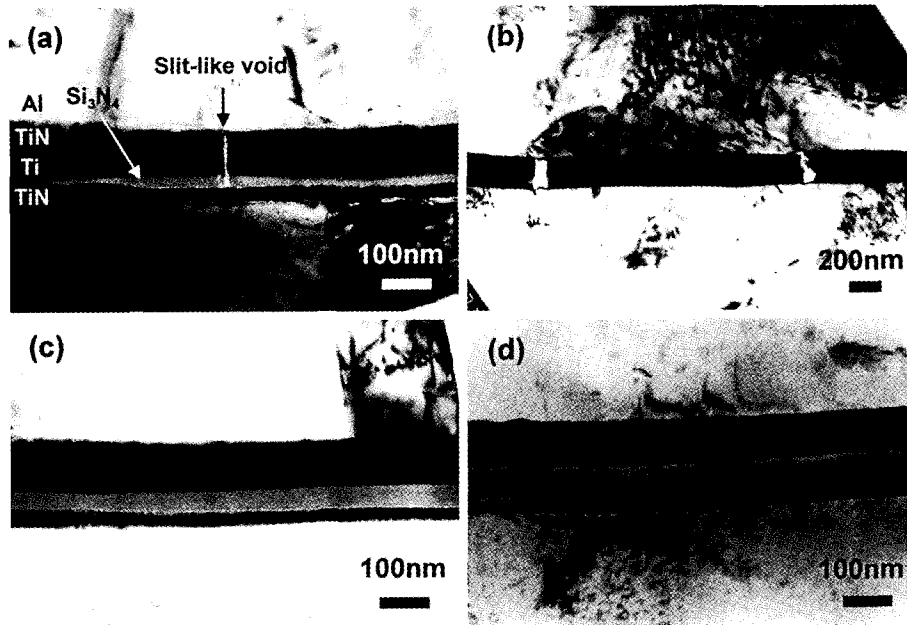


그림 4. Cross-Sectional TEM images. (a) and (b) show an initiating slit-like void and fully ruptured stacked layers of TiN/Ti/Si₃N₄/Ti in Specimen-A, respectively. (c) and (d) are the images of Specimen-B and -C with clean and sharp interfaces.

고찰

시편-A의 TEM 분석에서 관찰된 슬릿형 공동은 open-circuit 상태에서 관찰한 것으로써 closed-circuit에서 발생하는 electromigration 현상과는 무관하며, 따라서 그 원인을 커패시터 공정상 발생하는 잔류 응력에서 찾아야 할 것이다. 일반적으로 열처리 후 박막에 잔류하는 응력은 박막의 고유 응력(intrinsic stress, σ_i)과 열 응력(thermal stress, σ_{th})으로 구성되는데 고유 응력은 열 응력에 비해 무시할 만 한 것으로 알려져 있다 [7]. 또한 박막과 기판의 열팽창 계수(α)는 온도 변화에 거의 일정하므로 상수로 놓고 잔류 응력을 표현하면 다음과 같이 온도만의 함수로 표시할 수 있다.

$$\sigma_{residual} = \sigma_i + \sigma_{th} \equiv \frac{E_{film}}{(1 - \nu_{film})} \int_{T_1}^{T_2} (\alpha_{film} - \alpha_{substrate}) dT$$

$$\equiv \frac{E_{film}}{(1 - \nu_{film})} (\alpha_{film} - \alpha_{substrate}) (T_2 - T_1)$$

여기서 E_{film} 와 ν_{film} 는 각각 박막의 Young's modulus와 Poisson's ratio이다. 커패시터의 공정상 발생하는 열 응력을 계산하기 위해 각각의 재료들에 대한 열팽창 계수, Young's modulus, 그리고 Poisson's ratio

등을 조사하여 표 1에 정리하였다 [8, 9]. Figure 1에 나타난 MIM 커패시터 구조를 제조하는 공정, 즉, Ti와 TiN 확산 장벽 증착과 Si₃N₄ 유전막의 PECVD 공정은 모두 400°C에서 이루어졌다. 위 식과 표 1의 데이터를 이용하여 각 층에서 발생하는 잔류 응력을 계산하여 그림 5에 나타내었으며 이 때 증착되는 각 층은 바로 아래의 층을 기판으로 하여 성장하고 다른 층에 의한 영향은 없다고 가정하였다. 그 결과 Si₃N₄ 유전막을 기준으로 하여 유전막과 그 아래층의 TiN에는 압축응력이 걸리게 되고 유전막 위의 Ti와 TiN은 인장 응력이 걸리게 된다. 이와 같이 TiN/Ti/Si₃N₄/TiN 적층 구조에는 압축 응력과 인장 응력이 동시에 작용하게 되어 굽힘 모멘트(bending moment)가 발생하게 된다. 이 굽힘 모멘트는 시편-B와 -C와 같이

표 1. Thermal and mechanical constants of materials used

Materials	Coefficient of Thermal Expansion (α , ppm/K)	Young's Modulus (GPa)	Poisson's Ratio
Al	23.1	70	0.35
Ti	8.6	116	0.32
TiN	9.4	600	0.25
Si ₃ N ₄	3.0	304	0.24

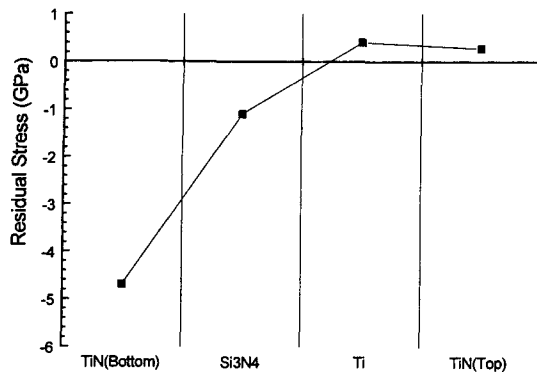


그림 5. Calculated residual stresses at each layer only considering adjacent two layers as a substrate and a film, respectively.

Si₃N₄ 유전막이 두꺼우면 두께 방향을 따라 압축 응력에서 인장 응력으로 응력 상태가 서서히 역전되어 이에 따른 굽힘 모멘트 효과를 줄일 수 있지만, 시편-A와 같이 유전막의 두께가 얇은 경우에는 이를 극복하지 못하여 그림 4(a)와 같이 인장 응력이 작용하는 유전막 위의 TiN/Ti층으로부터 슬릿형 공동이 형성되어 유전막 아래쪽으로 성장하게 되어 4(b)와 같은 형태를 띠기도 한다. 이와 같이 유전막에 공동이 형성되면 후속되는 열처리 공정에서 Ti나 TiN이 공동을 따라 쉽게 유전막으로 침투하여 도전체를 형성하는 것으로 이해 되는데, 이는 그림 3에서 보는 바와 같이 다른 시편들에 비해 시편-A에서는 절연 파괴 전압이 이르기 전에도 상당한 누설 전류가 존재하고 있으며 전류-전압 특성 또한 유전체보다 저항체에 가까운 거동을 보이고 있기 때문이다.

물론 본 논문에서 사용한 가정들로 인해 정확한 잔류 응력 해석이 가능하지는 않았다. 즉, 좀 더 정확한 잔류 응력 해석을 위해서는 바로 이웃하는 층 뿐만 아니라 그 다음 층에 의한 영향도 고려되어야 하며, 또한 바로 아래층을 기관처럼 이해하는 부분에도 수정을 가해야 할 것이다. 그럼에도 불구하고 본 논문에서 수행한 잔류 응력 해석 방법은 시편-A와 같이 얇은 유전막에서 발생하는 전기적 단락 현상의 근본적인 원인인 슬릿형 공동의 존재를 정성적으로 설명하기에는 충분하다. 또한 이를 개선하여 더 우수한 유전 특성을 갖는 Si₃N₄ MIM 커패시터를 구현하고 수율을 향상시키기 위해서는 유전막을 중심으로 하는 확산 장벽층의 잔류 응력 분포를 인장응력 상태에서 압축응력 상태로 개선

하거나 이를 줄여야 한다는 것을 알 수 있었다.

5. 결 론

Si₃N₄ 유전막을 이용한 MIM 커패시터를 PECVD 방법으로 제조하여 증착 공정과 유전 특성을 분석하였으며, 그 결과 유전막의 두께가 500 Å 이상인 경우에는 매우 안정적인 제조 공정과 유전 특성을 얻었다. 특히 Si₃N₄ 유전막 사용시 문제점으로 대두되는 알루미늄에 의한 hillock 현상을 방지하기 위해 TiN을 확산 장벽으로 사용하여 이를 억제시킬 수 있었다. 반면 유전막의 두께가 300 Å인 경우에는 유전 특성은 더 우수했지만 측정된 대부분의 커패시터가 전기적으로 단락되어 웨이퍼 수율이 매우 낮았다. 그 원인을 조사하기 위해 투과전자현미경을 이용하여 커패시터의 단면 미세 구조를 조사한 결과 Si₃N₄ 유전막의 두께가 얇은 경우에는 유전막 주위에 슬릿형의 공동이 존재하고 있음을 확인하였다. 이러한 슬릿형 공동은 제조 공정 중 재료에 따른 열팽창 계수와 탄성 계수 등의 차이에 의해 형성된 잔류응력 상태가 유전막을 기준으로 압축 응력에서 인장 응력으로 바뀌는 분포에 기인하였다. 따라서 우수한 유전특성과 높은 수율을 갖는 Si₃N₄ MIM 커패시터를 구현하기 위해서는 증착 공정의 최적화와 동시에 유전막 주위의 응력 상태를 개선시키는 방안이 병행되어야 한다.

참고문헌

- [1] M. Maeda, E.-I. Yamamoto, S.-I. Ohfujii, and M. Itsumi, *J. Vac. Sci. Technol.* **B17**(1), 201 (1999).
- [2] A. Gangulee, *Acta Metall. et Mater.* **22**, 177 (1974).
- [3] M. S. Jackson and C.-Y. Li, *Acta Metall. et Mater.* **30**, 1993 (1982).
- [4] S. P. Murarka, *Metallization : Theory and Practice for VLSI and ULSI*, 189 (Butterworth-Heinemann, Boston, 1993).
- [5] K. Hinode, M. Owada, T. Nishida, and K. Mukai, *J. Vac. Sci. Technol.* **B5**, 518 (1987).
- [6] R. J. Gleixner and W. D. Nix, *J. Appl. Phys.* **86**(4), 1932 (1999).
- [7] S. P. Murarka, *Metallization : Theory and Practice for VLSI and ULSI*, 67 (Butterworth-Heinemann, Boston, 1993).
- [8] R. W. Mann, L. A. Clevenger, P. D. Agnello, and F. R. White, *IBM J. Research and Development*, **39**, 403 (1995).
- [9] Y. S. Touloukian, ed., *Thermophysical Properties of Matter* (Plenum, New York, 1977).