

Al/TiO₂-SiO₂/Mo 구조를 가진 Antifuse의 전기적 특성 분석

홍성훈 · 노용한 · 배근학* · 정동근*

성균관대학교 전기전자및컴퓨터공학부, *성균관대학교 물리학과
(2000년 2월 24일 접수)

Electrical characterizations of Al/TiO₂-SiO₂/Mo antifuse

Sunghun Hong, Yonghan Roh, Geunhag Bae,* and Donggeun Jung*

School of Electrical and Computer Engineering, Sungkyunkwan University

*Department of Physics, Sungkyunkwan University

(Received February 24, 2000)

요 약 - 본 논문에서는 낮은 구동 전압에서 동작하고 안정된 on/off 상태를 갖는 Al/TiO₂-SiO₂/Mo 형태의 안티퓨즈를 제작하였다. 하부전극으로 사용된 Mo 금속은 표면상태가 부드럽고 녹는점이 높은 매우 안정된 금속으로, 표면 위에 제조된 SiO₂의 특성을 매우 안정되게 유지시켰다. 또한 TiO₂ 절연막을 SiO₂ 절연막 위에 복층 구조로 증착하여, Ti 금속의 침투로 인한 SiO₂ 절연막의 약화로 동일 두께(100 Å)의 SiO₂ 단일막에 비하여 향상된 절연 파괴 전압을 얻을 수 있었다. TiO₂-SiO₂ 이중 절연막을 사용하여 적정 절연 파괴 전압 및 ON-저항을 구현하였으며, 두께가 두꺼워짐으로 인해 바닥금속의 거칠기의 영향을 최소화시킬 수 있었다. 이중 절연막의 두께는 250 Å이고 프로그래밍 전압은 9.0 V이고 약 65 Ω의 on 저항을 얻을 수 있었다.

Abstract - This paper is focused on the fabrication of reliable Al/TiO₂-SiO₂/Mo antifuse, which could operate at low voltage along with the improvement in on/off state properties. Mo metal as the bottom electrode had smooth surface and high melting point, and was being kept as-deposited SiO₂ film stable. The breakdown voltage of TiO₂-SiO₂ stacked antifuse was better than that of same-thickness (100 Å) SiO₂ antifuse because of Ti diffusion in SiO₂. The improving breakdown-voltage and on-resistance can be obtained as well as the influence of hillock in the bottom metal is reduced by using double insulator. Low on-resistance (65 Ω) and low programming voltage (9.0 V) can be obtained in these antifuses with 250 Å double insulator.

1. 서 론

현대 사회가 더욱 복잡 다변화되는 상황에서 반도체 기술에서도 우수한 성능은 물론 속도와 집적도 면에서 더욱 우수한 제품을 필요로 하게 되었다. 특히 이동통신 분야나 멀티미디어 컴퓨터 시스템 등의 기술이 크게 발전함에 따라 주문형 반도체(ASIC, Application Specific Intergrated Circuit)의 일종인 FPGA(Field Programmable Gate Array)가 크게 부각되고 있다. FPGA는 전자회로 설계자가 현장에서 직접 집적회로를 구현할 수 있는 반 주문형 반도체로서, PLD(Programmable Logic Devices)와 ASIC의 단점을 보완한 것인데 프로그램(program)을 위한 복잡한 배선 구조로 말미암아 동작 속도와 집적도가 주문형 반도체에 비해

서 떨어진다. 이러한 결점을 보완하기 위해 회로구조 효율성의 향상과 더불어 응용분야에 적합한 특수 FPGA를 개발하는 것이 필요하다. FPGA에 사용되는 스위치 소자는 트랜지스터의 게이트 입력에 메모리 소자를 연결하여 메모리 소자의 값에 따라 트랜지스터 동작을 제어하는 것이다. 기존에는 재사용 가능한 SRAM이나 E(E)PROM, 재사용 불가능한 fuse 등을 사용하였으나 넓은 면적을 차지하고 누설전류로 인한 지속적인 전력소모와 프로그램 시간이 긴 등의 단점이 있어 새로운 소자인 안티퓨즈 소자를 개발하게 되었다.

안티퓨즈 소자는 프로그램 가능한 절연층의 상하 각각에 금속층이나 다결정 실리콘 등의 전도 가능한 전극이 존재하는 구조이다 [1]. 프로그램 가능한 절연 물질은 프로그램 전에는 절연 상태이나 프로그램이 이루어

지면 전도성을 가지게 되어 상하 전극을 이어주는 패스 역할을 한다 [2]. 프로그램은 상하 전극간에 임계전압을 가했을 때 일어나게 되며 이때 절연층이 파괴되므로 비가역적이어서 재사용은 불가능하게 된다. 안티퓨즈 소자는 이러한 프로그램 특성으로 인하여 메모리 소자를 이용한 스위치 보다 속도나 집적도 면에서 우수하다. FPGAs에 사용되는 안티퓨즈 소자는 집적도의 향상과 적정 절연과괴전압 구현을 위해 절연막의 두께를 감소시키는 것이 바람직하다. 그러나 두께가 감소될 경우 바닥전극의 거칠기에 큰 영향을 받게 되며, 그로 인해 절연막의 두께를 감소시키는 것에는 한계가 있는 것으로 보고되어 있다.

본 논문에서는 일반적으로 사용되는 SiO_2 절연막에 TiO_2 를 증착시켜 보호막 역할을 하여 상위 전극 증착 과정에서 야기되는 영향을 최소로 하고, 전체적인 절연막의 두께 증가로 인해 바닥전극의 거칠기의 영향을 적게 받도록 하였다. 또한, 두 절연막 사이의 계면 반응에 의해 SiO_2 막을 약화시켜, 절연막의 두께가 두꺼워졌음에도 기존의 SiO_2 절연막의 절연 파괴 전압 및 누설전류 특성과 비교되는 새로운 안티퓨즈를 제작하였다. 박막의 절연물로는 TiO_2 와 SiO_2 를 사용하였으며 두 전극으로는 알루미늄과 몰리브덴을 각각 사용하였다.

2. 실험

안티퓨즈 소자의 단면도를 그림 1에 나타내었다. 상부 전극과 절연막의 안티퓨즈 홀(hole)을 원하는 모양으로 만들기 위해 마스크를 이용하였으며 일반적인 습식식각 방법을 이용하여 형성하였다. 비저항이 6-9 $\Omega\cdot\text{cm}$ 인 P형의 실리콘 웨이퍼에 RF 마그네트론 스퍼터

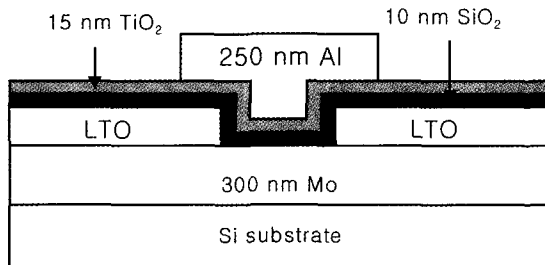


그림 1. 안티퓨즈의 단면도. 이중 절연막은 10 nm SiO_2 및 15 nm TiO_2 를 각각 PECVD 및 LPCVD로 증착하여 사용되었다.

링(RF magnetron sputtering) 방법으로 하부전극인 몰리브덴(Mo)을 3000 Å 증착하였다. 초기진공을 3×10^{-6} torr로 하고 Ar 가스의 유속은 20 sccm, RF 파워는 60 W, 증착 압력은 2×10^{-2} torr, 증착온도는 200°C를 유지하였다. 하부전극 위에 PECVD(Plasma Enhanced Chemical Vapor Deposition) 장치를 이용해 SiO_2 박막을 3000 Å 증착 하였다. SiO_2 는 안티퓨즈에서 완충막의 역할을 하며 구조적으로 안티퓨즈 셀(cell)을 완전히 감싸고 있는 형태로 제작되었다. 완충막 구조를 만들기 위해 일반적인 포토리소그라피(Photolithography) 작업을 거쳐 형성하였다. 형성된 hole의 크기는 $5 \mu\text{m} \times 5 \mu\text{m}$ 이었다. 완충막이 형성된 기판 위에 안티퓨즈 절연체인 SiO_2 를 PECVD 방식으로 100 Å 증착하였다. 이 때 초기진공은 3×10^{-7} torr이었으며 증착온도는 200°C, RF power는 3W를 유지하였다. SiH_4 와 H_2 의 유속은 각각 6 sccm, 24 sccm 이고, 증착압력은 200 mtorr이었으며 증착률은 1.5 nm/min이었다. 그 후 이중 절연막을 형성시키기 위해 LPCVD를 이용하여 TiO_2 를 150 Å 증착시켰다. 초기진공은 8×10^{-3} torr이었으며 증착온도는 450°C를 유지하였고, 증착압력은 8 torr이었으며 증착시간은 5분이었다. 상부전극은 열 증발(thermal evaporation) 방식으로 알루미늄(Al)을 250 nm 증착하였다. 증착온도를 상온으로 유지하였고, 이때 증착률은 초기 증착시 3.6 nm/min 후기 증착시 8~10 nm/min이었다. 증착된 상부전극은 상온에서 식각하여 $300 \mu\text{m} \times 300 \mu\text{m}$ 의 크기로 형성하였다. 펄스 발생기(pulse generator)를 이용하여 프로그램한 개략도를 그림 2에 나타내었다. 프로그래밍은 14~15 V의 V_p 값을 10 msec 간격을 갖는 펄스 형태로 계속 인가하여 진행하였다. 전

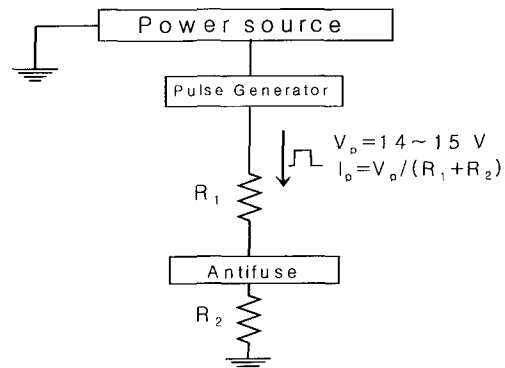


그림 2. 안티퓨즈 프로그래밍 개략도.

기적 측정은 HP 4140B를 사용하여 분석되었다.

3. 결과 및 토의

금속-절연막-금속(MIM) 구조의 안티퓨즈의 경우 절연막은 off 상태에서 누설전류가 적어야 하며 적정 절연 파괴 전압을 가져야 한다. 그러나 적정 절연 파괴 전압을 얻기 위해 절연막을 얇게 증착하였을 경우 바닥금속의 거칠기에 크게 영향을 받게 된다 [3]. 본 연구에서는 절연막의 두께를 증가시켜 바닥전극의 거칠기에 영향을 작게 받기 위한 목적으로 이중 절연막을 증착 하였다. 또한 절연막의 두께가 증가됨으로 인해 발생할 수 있는 절연 파괴 전압 증가 및 on 저항의 증가를 조사하였다. 본 논문에서 사용된 이중 절연막 중에서 SiO₂는 양질을 유지하여 누설전류 억제 효과를 가지며, TiO₂는 상층 금속으로부터 SiO₂를 보호하며, 절연막의 두께를 증가시키고, Ti 금속의 SiO₂ 절연막으로의 침투를 유도할 목적으로 각각 사용되었다.

그림 3은 Al/SiO₂-TiO₂/Mo 안티퓨즈의 전형적인 전류-전압 특성 곡선이다. 이 때 전압의 인가 방향은 상부전극에 양 전압을 인가했으며, 전압 증가 비율은 0.2 V/sec를 택했다. 본 논문에서 사용된 이중 절연막의 경우 두께는 SiO₂가 100 Å 및 TiO₂가 150 Å이며, SiO₂ 단일막의 경우에 비해 높은 누설전류 특성을 보이고 있으나, 절연 파괴 전에 나타나는 1 nA 이하의 누설 전류 값은 여전히 안티퓨즈 소자의 절연막으로 사용될 수 있는 우수한 특성을 나타낼 수 있다. SiO₂-TiO₂ 이중 절연막을 사용한 경우, 저전계에서 발

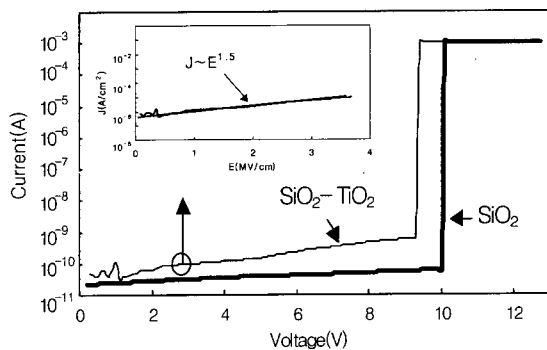


그림 3. SiO₂-TiO₂ 이중 절연막 및 SiO₂ 단일막을 이용하여 제작된 안티퓨즈 소자의 I-V 특성 비교. 내부 그림의 경우, 저전계에서 발생하는 SiO₂-TiO₂ 이중 절연막의 누설전류가 전계에 1.5승 정도 비례함을 나타내고 있다.

생하는 누설전류 성분 J는 그림 3의 내부 그림에 표시되었듯이 $\sim E^{-1.5}$ 에 비례하여 증가하는 것으로 확인되었다. 이와 같은 누설전류 발생 메커니즘은, 저전계에서 전자들이 열적 여기(thermal excitation)에 의하여 한 결합으로부터 다른 결합으로 이동함으로써 발생하는 hopping 메커니즘에 의한 것으로 알려져 있다 [4-6].

그림 4는 프로그래밍 전압의 분포도를 나타낸 것이다. 안티퓨즈의 절연 파괴 시 항복전압은 일반적으로 구동전압(V_d)의 1.5~3배 사이에 반드시 놓여야 한다. 항복전압이 3 V_d 보다 낮아야 하는 이유는 프로그래밍 하는 동안 상보성 MOS(CMOS) 트랜지스터의 게이트 절연막의 절연 파괴를 피하기 위해서이고, 1.5 V_d 보다 커야 하는 이유는 테스트 시 안티퓨즈가 파괴되지 않게 하기 위해서이다. 따라서 5 V 구동소자에 사용할 때는 절연 파괴 전압이 7.5~15 V 사이에 오도록 절연층의 두께를 조절하여야 한다. 본 논문에서 제조된 안티퓨즈의 경우 프로그래밍 전압의 분포도는 SiO₂ 단일막이 9.5

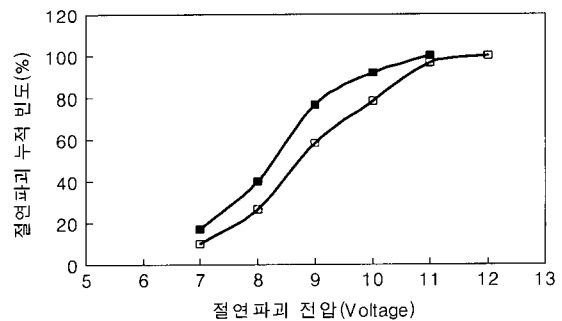


그림 4. 절연 파괴 분포. SiO₂-TiO₂ 이중 절연막을 이용할 경우, SiO₂ 단일막과 비교하여 동일 분포를 가지나 프로그래밍 전압을 낮출 수 있음을 보이고 있다. 여기서 □는 SiO₂를 그리고 ■는 TiO₂-SiO₂의 절연 파괴 누적빈도를 나타낸다.

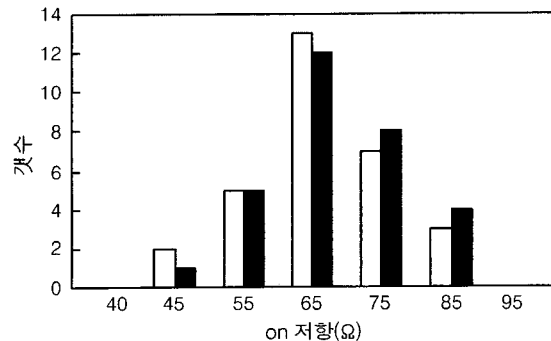


그림 5. on 저항 분포. 여기서 □는 SiO₂를 그리고 ■는 TiO₂-SiO₂를 나타낸다.

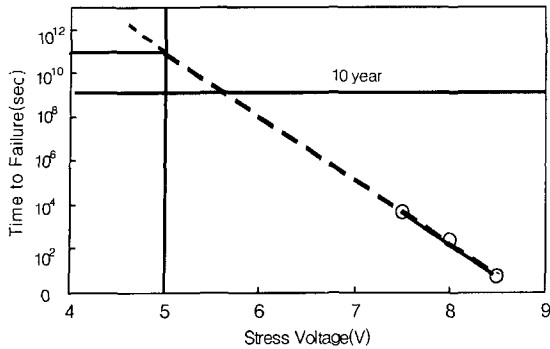


그림 6. 시간의존성절연파괴(TDDB) 테스트: SiO₂-TiO₂ 이중 절연막을 이용할 경우, 안티퓨즈 동작전압을 5 V로 채택할 경우 예상되는 소자의 수명이 10년 이상을 보장할 수 있음을 보이고 있다.

V의 평균치를 나타냈으며, 이중막인 SiO₂-TiO₂는 9.1 V에서 최대 분포를 나타내어 위 조건에 잘 부합되고 있다. 이중막으로 인해 전체적인 절연막의 두께가 증가되었음에도 프로그래밍 전압이 감소한 이유는 TiO₂를 SiO₂ 막위에 증착하는 경우, 불완전하게 산화된 상태의 TiO_{2,x}가 이미 증착되어 있던 SiO₂ 절연막에 침투되어 산소를 유리시킴으로써 절연파괴 강도를 낮추게 된 것으로 사료된다 [7].

그림 5는 각각의 ON-저항을 나타낸 그림이다. ON-저항은 프로그래밍 속도와 관련이 있다. 높은 ON-저항을 가진 안티퓨즈는 전체 속도를 감소시킴으로 안티퓨즈 소자의 성능저하 원인이 된다. 측정을 위해 사용된 정전압원은 15 V의 크기와 10 msec의 폭을 갖는 펄스 신호였다. ON-저항은 측정된 저항 값에서 하층 Mo 전극에 대한 저항을 제거한 값으로, 평균 ON-저항은 65 Ω 정도의 낮은 값을 얻을 수 있었다. 이중막을 구성하고 있는 안티퓨즈의 ON-저항이 단일막과 비교해 비슷한 것을 볼 수 있는데, 그 이유는 TiO₂에 포함된 Ti가 필라멘트에 포함되어 있어 필라멘트의 저항을 감소시켰기 때문으로 사료된다 [8]. 결국 이중막을 구성 시 ON-저항 증가에 의한 속도 저하 요인은 없다고 할 수 있다.

그림 6은 안티퓨즈의 신뢰성 확보를 위한 시간의존성 절연파괴(TDDB) 테스트의 결과이다. 하나의 FPGAs 안에 안티퓨즈는 수천개 이상이 있다. 회로를 구동하기 위해서는 필요한 안티퓨즈를 각각 프로그램 하게 되는데, 프로그램 되지 않는 안티퓨즈를 오 동작시키지 않기 위하여 항상 5 V의 전압을 흐르게 한다. 그래서 5 V의 전압이 흐르는 동안 안티퓨즈의 절연막 유지시간을

측정하는 것은 안티퓨즈의 신뢰성 확보에 중요한 요소가 된다. 직접 5 V의 전압을 가하여 측정하기 위해서는 너무 오랜 시간이 필요하게 됨으로, 실제로 7 V, 7.5 V, 8 V에서 각각 15개의 안티퓨즈를 절연파괴 시켜 그 중간 값들을 구하여 5 V에서의 절연파괴 시간을 구했다. 구한 값은 5 V에서 1.1×10³ years로, 일반적인 기대 수치인 수십 년 이상의 매우 안정된 결과를 얻을 수 있었다.

4. 결 론

신뢰성 있는 on/off 상태를 가질 수 있는 형태의 금속/절연막/금속 구조의 안티퓨즈를 제조하였다. 하부전극으로 사용된 Mo 금속은 표면이 부드럽고 녹는점이 높으며, 저항이 낮아 안티퓨즈 제조 시 전극간 연결이 용이하고 절연물 형성이 용이하였다. 절연물로는 SiO₂-TiO₂를 사용하였다. 250 Å을 증착시킴으로 절연막의 두께를 증가시켜서 바닥전극의 거칠기에 의한 영향을 적게 받게 되어 절연막의 안정성을 유지시켰다. 또한 이중절연막을 구성하는 SiO₂-TiO₂ 절연막의 두께가 SiO₂ 단일막에 비하여 증가되었음에도 전체적인 절연파괴 전압은 좋게 유지되었고, 필라멘트 형성 시 Ti의 침투로 인해 ON-저항의 감소는 없었다. 그럼으로 SiO₂-TiO₂ 이중막을 증착하여 두께를 증가시킬때 염려되는 누설전류 및 ON-저항의 성능 저하는 나타나지 않았다.

참고문헌

- [1] C. H. Hu, M. B. Small, K.P. Rodbell, C. Stanis and P. Blauner, Appl. Phys. Lett. **62**, 310 (1993).
- [2] C. H. Hu, IEEE, IEDM Tech. Dig. 591 (1992).
- [3] Yoshimitsu Tamura and Hiroshi Shinriki, IEEE IEDM Tech. Dig. 285 (1994).
- [4] Mark R. De Guire and Arthur H. Heuer, J. Appl. Phys. **83**, 3311 (1998).
- [5] C. Chanelliere, J.L. Autran, S. Four and R. A. B. Devine, J. of Non-Crystalline Solids **73**, 245 (1999).
- [6] R. A. B. Devine, J. Appl. Phys. **86**, 480 (1999).
- [7] N. S. Gluck, H. Sanhur, J. Heuer, J. DeNatale, and W. J. Gunning, J. Appl. Phys. **69**, 3037 (1991): 상기 메커니즘에 대한 체계적인 연구가 현재 본 연구진에 의해서 진행 중에 있으며, 논문으로 발표될 예정이다.
- [8] Jae Sung Lee and Yong Hyun Lee, Journal of the Institute of Electronics Engineers of Korea **35-D**, 72 (1998).