

## NDRO FRAM 소자를 위한 Pt/SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/ZrO<sub>2</sub>/Si 구조의 특성에 관한 연구

김은홍 · 최훈상 · 최인훈

고려대학교 재료공학과  
(1999년 11월 18일 접수)

## Characteristics of Pt/SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/ZrO<sub>2</sub>/Si structures for NDRO FRAM

Eun Hong Kim, Hoon Sang Choi, and In-Hoon Choi

Department of Materials Science, Korea University, Seoul, 136-701, Korea  
(Received November 18, 1999)

**요 약** - 본 연구에서는 강유전체 박막을 게이트 산화물로 사용한 Pt/Sr<sub>0.8</sub>Bi<sub>2.4</sub>Ta<sub>2</sub>O<sub>9</sub>(SBT)/ZrO<sub>2</sub>/Si(MFIS)와 Pt/SBT/Si(MFS) 구조의 결정 구조 및 전기적 성질을 고찰하였다. XRD 및 SEM 측정 결과 SBT/ZrO<sub>2</sub>/Si 구조의 경우 SBT/Si 구조에 비해 SBT 박막이 더 큰 결정립이 형성되었다. AES 분석 결과 ZrO<sub>2</sub> 박막을 완충층으로 사용함으로써 SBT 박막과 Si 기판의 상호반응을 적절히 억제할 수 있음을 확인하였다. Pt/SBT/ZrO<sub>2</sub>/Pt/SiO<sub>2</sub>/Si와 Pt/SBT/Pt/SiO<sub>2</sub>/Si 구조에서 Polarization-Voltage(P-V) 특성을 비교해 본 결과 ZrO<sub>2</sub> 박막의 도입에 따라 잔류분극값은 감소하였고 항전계값은 증가하였다. MFIS 구조에서 메모리 윈도우값은 항전계값과 직접적 관련이 있으므로 이러한 항전계값의 증가는 MFIS 구조에서의 메모리 윈도우값이 증가할 수 있음을 나타낸다. Pt/SBT(210 nm)/ZrO<sub>2</sub>(28 nm)/Si 구조에서 Capacitance-Voltage(C-V) 측정 결과로부터 인가전압 4~6 V에서 메모리 윈도우가 1~1.5V 정도로 나타났다. Pt/SBT/ZrO<sub>2</sub>/Si 구조에서 전극을 갖 증착한 경우와 산소 분위기 800°C에서 후열처리한 경우의 전류 밀도는 각각 약  $8 \times 10^{-8} \text{ A/cm}^2$ 와  $4 \times 10^{-8} \text{ A/cm}^2$  정도의 값을 나타내었다.

**Abstract** - We have investigated the crystal structure and electrical properties of Pt/SBT/ZrO<sub>2</sub>/Si (MFIS) and Pt/SBT/Si (MFS) structures for the gate oxide of ferroelectric memory. XRD spectra and SEM showed that the SBT film of SBT/ZrO<sub>2</sub>/Si structure had larger grain than that of SBT/Si structure. ZrO<sub>2</sub> film between SBT film and Si substrate is confirmed as a good candidate for a diffusion barrier by the analysis of AES. The remanent polarization decreased and coercive voltage increased in Pt/SBT/ZrO<sub>2</sub>/Pt/SiO<sub>2</sub>/Si structure. This effect may increase memory window of MFIS structure directly related to the coercive voltage. From the capacitance-voltage characteristics, the memory windows of Pt/SBT (210 nm)/ZrO<sub>2</sub> (28 nm)/Si structure were in the range of 1~1.5 V at the applied voltage of 4~6 V. The current densities of Pt/SBT/ZrO<sub>2</sub>/Si with as-deposited Pt electrode and annealed at 800°C in O<sub>2</sub> ambient were  $8 \times 10^{-8} \text{ A/cm}^2$  and  $4 \times 10^{-8} \text{ A/cm}^2$ , respectively.

### 1. 서 론

최근 들어 강유전체를 이용한 불휘발성 기억소자(nonvolatile-ferroelectric RAM)는 현재의 DRAM과 NVRAM의 장점을 동시에 갖고 있다는 점에서 큰 관심을 끌어왔다 [1, 2]. 강유전체 불휘발성 기억소자의 경우 하나의 트랜지스터와 하나의 캐패시터로 구성되거나 두개의 트랜지스터와 두 개의 캐패시터로 구성된 DRO(destructive read out)-FRAM과 기억 단위소자로서 하

나의 트랜지스터만을 가지는 NDRO(non-destructive read out)-FRAM으로 나눌 수 있다. 특히 NDRO-FRAM은 한 개의 트랜지스터로 동작되므로 집적도를 높일 수 있고 저장된 정보를 읽어도 정보가 휘발되지 않는 장점을 가지고 있어 앞으로 무한한 발전 가능성을 가지는 소자이다 [3, 4]. 그러나 이와 같은 단일 트랜지스터로 동작되는 소자를 구현하기 위해서는 강유전체 박막을 게이트 산화막으로 사용한 MFS(metal/ferroelectric/semiconductor) 구조를 구현해야 한다. 그러나 이러한

MFS 구조의 경우 강유전체 박막과 Si 기판의 상호 확산으로 인한 계면 특성이 저하되어 강유전체 특성을 심각하게 저하시키고 많은 트랩 전하를 형성하여 소자 구현이 어려운 실정이다 [4, 5]. 이러한 단점을 극복하기 위해서 강유전체 박막과 Si 기판사이에 완충층을 사용한 MFIS(metal/ferroelectric/insulator/semiconductor) 구조가 제안되었다 [6-8]. 본 연구에서는 완충층으로  $ZrO_2$  박막을 사용하고자 하는데  $ZrO_2$ 의 경우  $SiO_2$ 보다 더 큰 결합에너지를 가지므로 열처리 과정 동안에  $SiO_2$ 의 형성을 가능한 억제하고 열적으로 안정적인 완충층으로 기대된다. 특히 완충층의 경우 열적으로 안정한 특성이 요구되며 확산 방지막 역할이 요구된다. 본 연구에서는 NDRO-FRAM 소자 구현을 위한 MFIS 구조로서  $ZrO_2$  박막을 완충층으로 사용한  $Pt/Sr_{0.8}Bi_{2.4}Ta_2O_9$  (SBT)/ $ZrO_2$ /Si의 전기적 특성 및  $ZrO_2$  박막의 완충층 역할에 대해 고찰하였다.

## 2. 실험 방법

$ZrO_2$  박막은 산소 분위기에서 Zr 타겟(순도=99.99%)를 가지고 rf-sputtering에 의해 p-type Si(100) 기판 위에서 증착되었다. 표 1은  $ZrO_2$  박막의 성장조건이다. SBT 박막은  $ZrO_2$ /Si과 Si 기판 위에 MOD(metal organic decomposition) 방법에 의해 증착되었다. SBT 박막은 Symetrix corp.의 MOD liquid solution을 사용하여 스핀 코팅법을 사용하여 성장하였다. 용액은 분당 회전수 2500 rpm에서 30초간 회전시켜 증착하였고 증착시 용액을 0.2  $\mu m$  필터를 이용하여 큰 입자를 걸러서 사용하였다. 용매와 유기물을 제거하기 위해 각각 250°C와 400°C에서 각각 5분간 열처리 하였으며 원하는 박막의 두께를 얻기 위해 위의 증착 및 열처리 과정을 반복하였다. 증착된 SBT 박막을 결정화시키기 위해 산소 분위기에서 800°C에서 1시간 동안 열처리하였으며 열처리 후 갑작스러운 온도 변화에 따른 열충격에 의한

표 1. Sputtering conditions of depositing  $ZrO_2$  films

Base pressure	$5 \times 10^{-6}$ Torr
Working pressure	$2 \times 10^{-3}$ Torr
Power	120 W
$O_2/Ar$	1/5
Temperature	Room temperature
Target	2 inch Zr metal (4N)

박막의 변형력(stress)을 줄이기 위해 냉각시 냉각속도를 12°C/min으로 냉각하였다. 준비된 MFS 및 MFIS 구조를 가지는 시편들의 전기적 특성을 측정하기 위해서 직류 스퍼터링법으로 플라즈마 방전을 하여 백금을 상부 전극으로 증착하였다. 사용한 마스크는 지름 0.2 mm인 dot 형태의 마스크이며 증착된 전극의 두께는 약 200 nm였다. 증착된 상부 전극의 접촉 및 누설 전류와 같은 전기적 특성의 향상을 위해 상부 전극(Pt)을 증착한 후 산소 분위기의 600°C, 800°C에서 30분간 열처리 하였으며 열처리 후 갑작스러운 온도 변화에 따른 열충격에 의한 박막의 변형력(stress)을 줄이기 위해 냉각시 냉각속도를 12°C/min으로 냉각하였다. 박막의 결정구조 및 상변화는 X-ray diffraction(XRD)와 FE-SEM(field emission scanning electron microscopy)에 의해 분석하였으며 capacitance-voltage(C-V)와 current-voltage(I-V) 특성은 HP4284A C-meter와 HP4156A Precision Semiconductor Parameter Analyzer를 사용하여 측정하였다. 깊이에 따른 조성분포를 관찰하여 중간상의 형성과 상호확산 정도를 조사하기 위해 AES(auger electron spectroscopy) 분석을 하였다.

## 3. 결과 및 고찰

그림 1은  $ZrO_2$ /Si 구조, SBT/Si 구조와 SBT/ $ZrO_2$ /Si 구조의 800°C에서 1시간 동안 산소 분위기에서 열

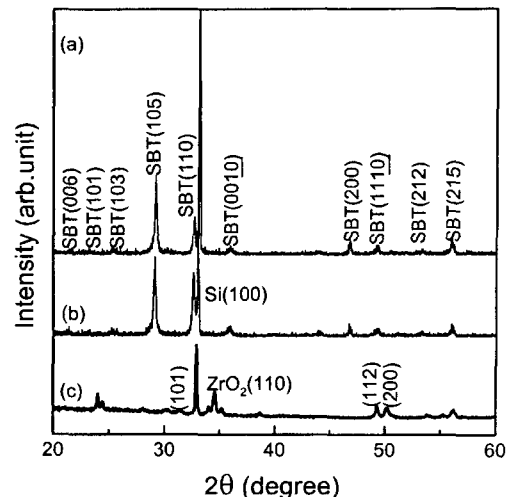


그림 1. XRD patterns of (a) SBT(210 nm)/ $ZrO_2$ (28 nm)/Si structure, (b) SBT(210 nm)/Si structure (c)  $ZrO_2$ /Si structure annealed at 800°C for 1 hour in  $O_2$  ambient.

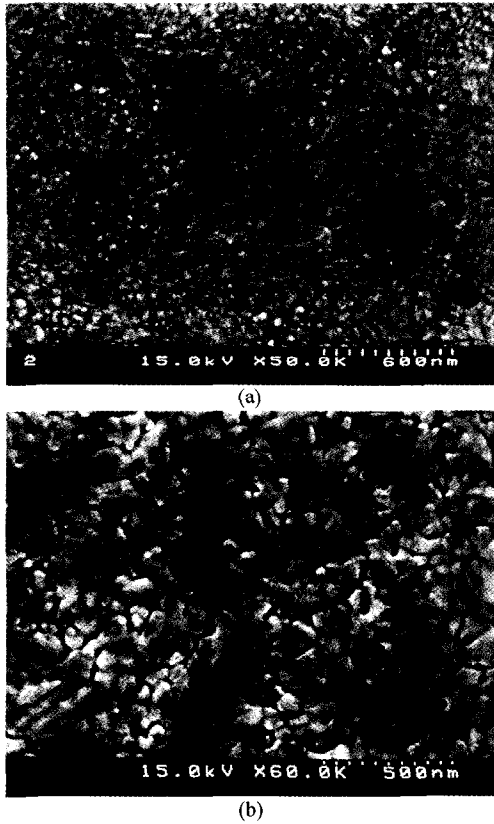


그림 2. SEM photographs of surface of (a) SBT(210 nm)/Si structure and (b) SBT(210 nm)/ZrO<sub>2</sub>(28 nm)/Si structure annealed at 800°C for 1 hour in O<sub>2</sub> ambient.

처리한 XRD 측정결과를 비교 분석한 것이다. (c)의 ZrO<sub>2</sub>의 경우 (110), (200) 방향으로 배향된 다결정 상으로 결정화 된 것을 알 수 있었다. SBT/ZrO<sub>2</sub>/Si 구조의 SBT 박막도 SBT/Si 구조의 경우와 유사하게 (105) 주결정방향을 가지며 전형적인 tetragonal 구조를 가지는 것으로 보아 ZrO<sub>2</sub>/Si 위에서의 SBT 박막은 좋은 결정성을 가지며 성장한 것으로 보인다. 완충층은 그 박막의 두께가 SBT 두께에 비해 28 nm 정도로 매우 얇아서 피크의 양상에 영향을 미치지 못한 것으로 생각된다. XRD 결정 피크 양상으로 볼 때 SBT/Si와 SBT/ZrO<sub>2</sub>/Si 구조에서 SBT 박막의 결정화는 큰 차이가 없었다. 그림 2는 SBT/Si 구조와 SBT/ZrO<sub>2</sub>/Si 구조의 표면 SEM 사진이다. (b) 그림에서 보듯이 SBT/ZrO<sub>2</sub>/Si 구조의 경우 전형적인 구형의 결정립이 형성된 것을 볼 수 있다. 이와 달리 SBT/Si 구조의 (a)의 경우는 결정립 크기가 이에 비해 작고 결정립 성

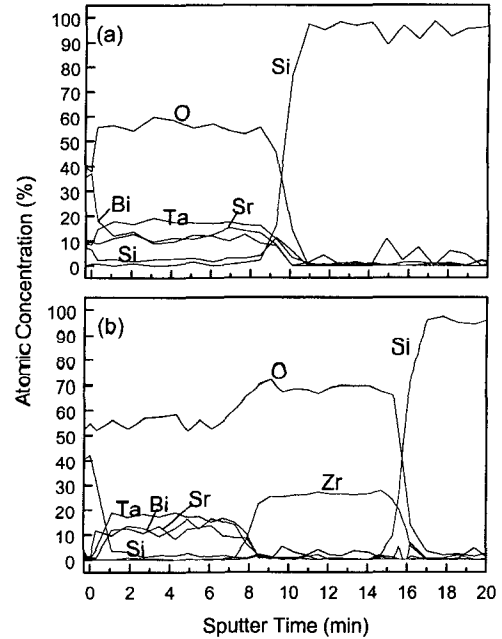


그림 3. AES depth profiles of (a) SBT(210 nm)/Si structure and (b) SBT(210 nm)/ZrO<sub>2</sub>(28 nm)/Si structure annealed at 800°C for 1 hour in O<sub>2</sub> ambient.

장이 원활하게 이루어지지 못한 것으로 보이며 이러한 다른 표면 양상의 원인은 SBT 박막이 Si 기판과 직접 접촉하고 있으므로 계면 반응에 의해서 결정 성장이 원활히 이루어지지 않은 결과로 생각되어 진다. ZrO<sub>2</sub> 완충층의 확산 방지 및 계면 반응 억제 효과에 대해 AES 분석을 통하여 관찰해 보았다. 그림 3은 AES 분석을 통해 박막의 깊이에 따른 각 원소들의 농도 변화 (Atomic %)를 나타낸 것이다. (a)의 경우 SBT 박막과 Si 기판 계면 사이에 상호확산과 반응에 의한 중간상과 SiO<sub>2</sub>층이 형성되었음을 알 수 있었다. 이러한 상호 확산에 의한 중간상의 형성은 앞에서 기술한 MFS 구조에서 전기적 특성을 저하시키는 요인이 되는 것이다. 이에 반해 (b)의 경우는 완충층이 있는 MFIS 구조로 앞의 (a)와는 달리 계면에서 상호확산이나 반응이 상당히 감소되었음을 확인할 수 있다. 이는 (b)의 완충층이 확산 장벽(diffusion barrier)으로서의 역할을 제대로 하고 있다는 것을 보여준다. 이러한 결과를 토대로 볼 때 ZrO<sub>2</sub> 박막은 확산 방지 및 계면 반응을 억제하는 역할을 할 수 있는 효과적인 완충층으로 보인다.

그림 4는 MFIM(Pt/SBT/ZrO<sub>2</sub>/Pt/SiO<sub>2</sub>/Si) 구조와 MFIM(Pt/SBT/Pt/SiO<sub>2</sub>/Si) 구조의 강유전성을 측정하는 것

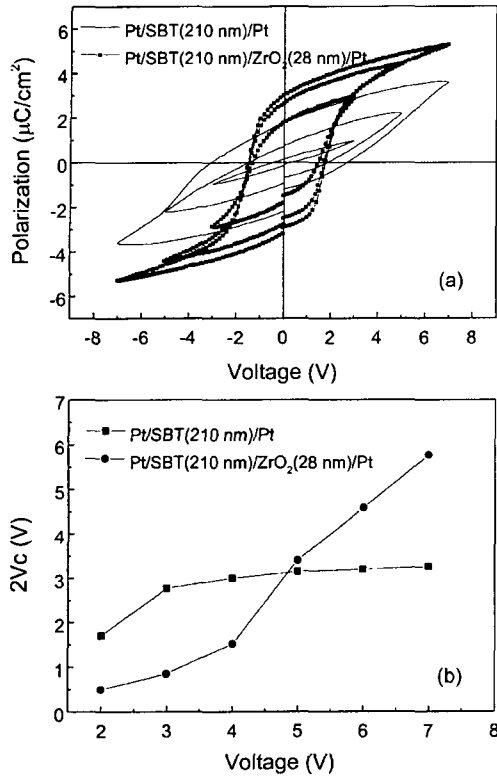


그림 4. (a) P-V curves and (b) coercive voltages of Pt/SBT(210 nm)/Pt/TiO<sub>2</sub>/SiO<sub>2</sub>/Si and Pt/SBT(210 nm)/ZrO<sub>2</sub>(28 nm)/Pt/TiO<sub>2</sub>/SiO<sub>2</sub>/Si capacitors.

이다. P-V 이력곡선을 측정한 결과에서 MFIM 구조의 경우 MFM 구조보다 항전계값이 증가하고 잔류분극값은 약간 감소하는 것으로 나타났다. 이러한 항전계값과 잔류분극값의 차이는 ZrO<sub>2</sub> 박막과 SBT 박막간의 전압 분배에 의해 SBT 박막에 전압 강하가 발생하기 때문이다. 따라서 MFIS 구조의 경우 SBT 박막에 전압 강하가 발생하여 MFS 구조의 경우보다 높은 전압을 걸어야 하는 단점이 있다. 이와 같은 특성은 강유전체 및 완충층 박막을 게이트 산화막으로 사용한 MFIS 구조의 동작 특성에 결정적으로 영향을 미친다. 즉 MFIS 구조에서는 낮은 동작 전압과 안정적인 메모리 윈도우가 요구되는데 이때 메모리 윈도우값은 항전계값과 직접적인 관련이 있고 동작 전압은 강유전체 및 완충층의 두께와 밀접한 관련이 있다. 즉 MFIS 구조가 이상적인 동작 전압 특성을 갖기 위해서는 강유전체 및 완충층 두께가 적절히 조절될 필요가 있다.

그림 5는 Pt/SBT(210 nm)/ZrO<sub>2</sub>/Si 구조의 C-V 특

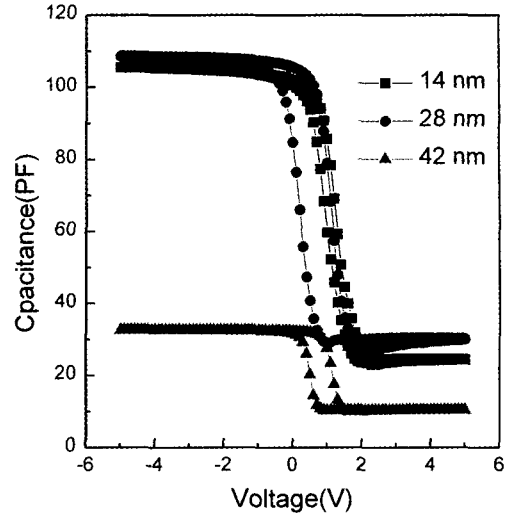


그림 5. C-V curves of Pt/SBT(210 nm)/ZrO<sub>2</sub>/Si structures with the different thickness of 14 nm, 28 nm, and 42 nm thick ZrO<sub>2</sub> films.

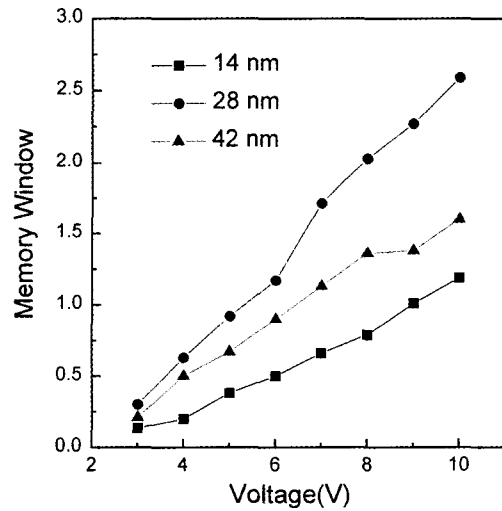


그림 6. Memory windows of Pt/SBT(210 nm)/ZrO<sub>2</sub>/Si structures with the different thickness of 14 nm, 28 nm, and 42 nm thick ZrO<sub>2</sub> films.

성을 나타내었다. 이때 트랜지스터가 on/off 특성을 유지할 수 있는 동작 전압폭이 형성되는데 이 이력전압의 폭을 메모리 윈도우라고 한다.

그림 6은 Pt/SBT(210 nm)/ZrO<sub>2</sub>/Si 구조의 인가전압에 따른 메모리 윈도우의 변화를 ZrO<sub>2</sub> 박막의 두께에 따라 나타내었다. ZrO<sub>2</sub> 박막의 두께가 28 nm인 경우가 가장 큰 메모리 윈도우값을 나타내었는데 두께가

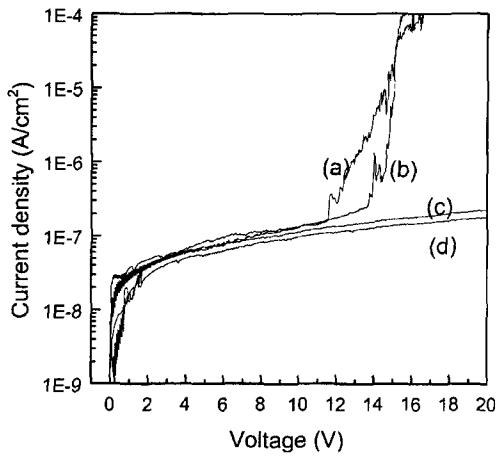
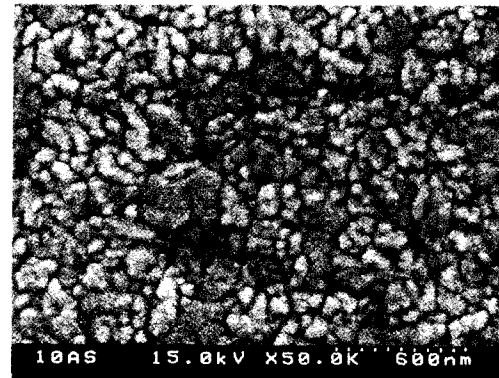


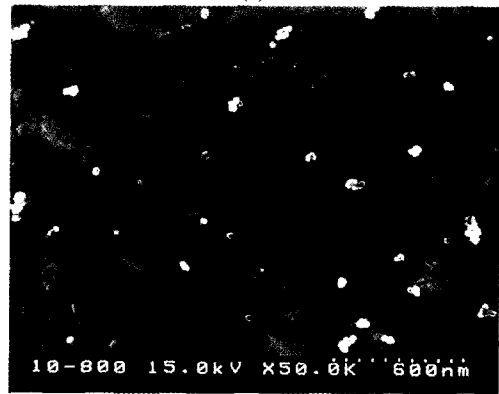
그림 7. I-V curves of (a) Pt/SBT(210 nm)/Si structures with as-deposited Pt top electrode and Pt/SBT(210 nm)/ZrO<sub>2</sub>(28 nm)/Si structures (b) with as-deposited Pt top electrode, (c) post-annealed at 600°C, and (d) post-annealed at 800°C for 30 min in O<sub>2</sub> ambient.

42 nm인 경우는 28 nm인 경우보다 메모리 윈도우값이 작다. 이는 완충층의 두께가 두꺼워지면 전압 분배에 의해 SBT 박막에 걸리는 전압의 크기는 감소되고 완충층에 걸리는 전압은 상대적으로 증가하여 28 nm의 경우보다 메모리 윈도우값도 작아진다는 것을 알 수 있다. 이론상으로는 14 nm인 경우 메모리 윈도우값이 가장 커야 하지만 이 경우는 완충층의 두께가 너무 얇아 산소 공공의 SBT 박막 쪽으로의 침투를 효율적으로 막지 못해 Si 표면에 있어야 할 전자들이 모두 포획되어 메모리 윈도우값의 감소를 초래했다고 생각된다. 이와 같은 결과를 토대로 볼 때 가능한 낮은 인가전압에서 큰 메모리 윈도우값을 얻기 위해서는 MFIS 구조의 전체 정전 용량은 가능한 크게 하면서 절연파괴가 일어나지 않는 범위에서 강유전체와 완충층의 각각의 박막의 두께를 최적화 해야 할 것으로 보인다.

그림 7은 Pt/SBT(210 nm)/ZrO<sub>2</sub>(28 nm)/Si 구조의 전극 후열처리온도에 따른 I-V 측정 결과를 비교한 것이다. 전극을 갖 증착한 경우와 600°C, 800°C 후열처리한 경우 인가전압 5 V에서 각각의 전류 밀도가  $8 \times 10^{-8}$ ,  $6 \times 10^{-8}$ ,  $4 \times 10^{-8}$  A/cm<sup>2</sup>로 후열처리온도가 증가할수록 누설 전류 특성이 더 향상된다는 것을 알 수 있다. 이는 후열처리로 인해 미세한 결정립이 보다 큰 결정립으로 성장하고 Pt와 SBT 박막 계면의 결함들이 전극 후열처리과정을 통해 감소되어 계면 특성을 향상



(a)



(b)

그림 8. SEM surface photographs of Pt/SBT(210 nm)/ZrO<sub>2</sub>(28 nm)/Si structures (a) with as-deposited Pt top electrode and (b) post-annealed at 800°C for 30 min in O<sub>2</sub> ambient.

시켜 누설 전류를 감소시킨 것으로 보인다. 이러한 특성은 SEM의 관찰로도 알 수 있었다. 그림 8은 Pt/SBT(210 nm)/ZrO<sub>2</sub>(28 nm)/Si 구조의 전극 후열처리에 따른 미세구조 변화를 보이는 SEM 사진이다. 전극을 갖 증착한 경우는 SBT 박막의 미세구조와 유사한 양상을 보였으며 800°C 열처리의 경우는 더 큰 결정립을 가지는 양상을 보였다. 이 또한 열처리 과정으로 인해 결정립의 성장과 재결정화 때문이라고 여겨진다. 이는 Pt와 SBT 박막 사이의 계면 특성을 향상시켜 전기적 특성의 향상에 기여한 것으로 보인다.

#### 4. 결 론

본 연구에서는 강유전체 박막을 게이트 산화물로 사용한 Pt/SBT/ZrO<sub>2</sub>/Si(MFIS)와 Pt/SBT/Si(MFS) 구조의 결정 구조 및 전기적 성질의 차이를 연구하였다.

XRD 및 SEM 측정 결과 SBT/ZrO<sub>2</sub>/Si 구조의 경우 SBT/Si 구조에 비해 SBT 박막이 더 큰 결정립이 형성되었다. AES 분석 결과 ZrO<sub>2</sub> 박막을 완충층으로 사용하면으로써 SBT 박막과 Si 기판의 상호반응을 적절히 억제할 수 있음을 확인하였다. Pt/SBT/ZrO<sub>2</sub>/Pt/SiO<sub>2</sub>/Si 구조와 Pt/SBT/Pt/SiO<sub>2</sub>/Si 구조에서 P-V 특성을 비교해 본 결과 ZrO<sub>2</sub> 완충층의 도입으로 잔류분극값은 감소하였고 항전계값은 증가하였다. MFIS 구조에서 메모리 윈도우값은 항전계값과 직접적 관련이 있으므로 이러한 항전계값의 증가는 MFIS 구조에서의 메모리 윈도우값이 증가할 수 있음을 나타낸다. Pt/SBT(210nm)/ZrO<sub>2</sub>(28 nm)/Si 구조에서 C-V 측정 결과로부터 인가전압 6V에서 메모리 윈도우값이 1.5 V 정도로 나타났다. 완충층인 ZrO<sub>2</sub> 박막의 두께가 얇을 경우 메모리 윈도우값이 오히려 감소하였는데 이는 완충층의 두께가 너무 얇아 확산 방지막의 역할을 제대로 못하고 전하 주입 현상을 효과적으로 막지 못했기 때문인 것으로 생각되어진다. 800°C 산소 분위기에서 30분간 열처리한 Pt/SBT/ZrO<sub>2</sub>/Si 구조의 누설 전류 특성은 인가전압 5V에서 전극을 갖 증착한 경우는  $8 \times 10^{-8} \text{A/cm}^2$  정도였고 800°C 열처리한 경우는 약  $4 \times 10^{-8} \text{A/cm}^2$  정도로 더 향상된 누설 전류 특성을 보였다. 결과적으로, Pt/SBT/ZrO<sub>2</sub>/Si 구조를 사용할 경우 SBT 박막과 ZrO<sub>2</sub>

박막사이의 두께를 적절히 조절하면 낮은 동작전압에서 안정적으로 동작하는 단일 트랜지스터 소자를 구현할 수 있을 것이다.

## 감사의 글

이 논문은 1999년 한국학술진흥재단의 연구비에 의하여 지원되었으며 이에 감사드립니다(KRF-99-042-E00116).

## 참고문헌

- [1] Tatsumi Sumi, Y. Judai, Jpn. J. Appl. Phys. **35**, 1516 (1996).
- [2] W. Kinney, Integ. Ferroelect. **4**, 131 (1994).
- [3] B. M. Melnick, J. Gregory and C. A. Paz-de Araujo, Integ. Ferroelect. **11**, 145 (1995).
- [4] T. Nakamura, Y. Nakao, A. Kamisawa and H. Takasu, Integ. Ferroelect. **11**, 161 (1995).
- [5] Y. T. Kim and C. W. Lee, Jpn. J. Appl. Phys. **35**, 6153 (1996).
- [6] D. S. Shin, Y. H. Han and Y. T. Kim, Solide State Devices and Materials, 32 (1997).
- [7] M. Lim, T. S. Karkur, Integ. Ferroelec. **22**, 143 (1998).
- [8] K. J. Choi, W. C. Shin, Appl. Phys. 29. Lett. **75**, 722 (1999).