

새로운 CMOS Floating 저항의 설계와 그 응용에 대한연구

이영훈*

A study on the design of new floating resistor and it's application

Young-Hun Lee

요 약

CMOS기술의 발전에 의해 연속신호시스템은 상당한 발전을 가져왔다. 이 논문에서는 새로운 CMOS floating저항을 써서 저역통과필터를 설계하고 PSpice Simulation을 통하여 그특성이 우수함을 입증하였다. 특히, CMOS로 구성되는 새로운 floating저항은 포화영역에서 동작하도록 구현하였다. 이 방법으로 설계된 저역통과필터는 SC필터보다 구조가 더 간단하므로 IC화 할 때 칩 면적을 감소시킬 수 있다.

Abstract

The continuous time signal system by development of CMOS technology have been receiving consideration attention. In this paper, Low pass filter using new CMOS floating resistor have been designed with cut off frequency for speech signal processing.

Especially a new floating resistor consisting entirely of CMOS devices in saturation has been developed. Linearity within $\pm 0.04\%$ is achieved through nonlinearity via current mirrors over an applied range of $\pm 1V$. The frequency response exceeds 10MHz, and the resistors are expected to be useful in implementing integrated circuit active RC filters.

The low pass filter designed using this method has simpler structure than switched capacitor filter. So reduce the chip area. The characteristics of the designed low pass filter using this method are simulated by pspice program.

* 한남대학교 전자공학과, Dept. of electronics, Hannam Univ.
이 논문은 한남대학교 학술연구비에 의하여 이루어진 것임.

I. 서론

최근에 집적회로 공정기술의 급격한 발달로 하나의 칩상에 아날로그 회로와 디지털 회로의 집적화를 용이하게 설계하려는 노력들이 많이 연구되고 있다.

디지털 필터를 통한 음성신호처리는 음성신호를 디지털 필터에서 요구하는 샘플링주기로 샘플링한 후 A/D 변환기를 통해 양자화 및 부호화 과정이 수행되어야 한다. 그러나 샘플링 과정에서 음성신호의 고주파성분에 의해 의곡이 발생할 수 있으며, 이러한 의곡을 방지하기 위해서는 필터를 통해 Nyquist 조건에 만족하도록 입력신호의 주파수대역을 제한해야 한다. 특히 음성신호는 20~20KHz 범위의 모든 성분을 포함하고 있으며, 5KHz 이내에서 신호의 명료성이 요구되므로 5KHz 이하의 차단주파수를 갖는 필터를 통하여 의곡을 방지할 수 있다.

또한 지금까지의 많은 능동필터는 op-Amp와 같이 사용하도록 되어 있었으므로 적당한 floating 저항이 없어서 CMOS 기술로 실현할 수가 없었다. 최근에는 floating 저항을 시뮬레이션 하는 기법들이 도입되고 있다. 그러나 이런 방법들은 선형범위의 제한, 정확한 비율을 갖는 전압에 대한 요구 등에 대한 제한이 있다. 또한 폴리실리콘이나 확산영역에 의해 floating 저항을 만드는 것도 가능하다. 그러나 이와 같은 방법들은 칩면적을 줄일 수는 있지만 정확한 저항값을 만들 수가 없다는 중요한 문제가 있다.[5,6]

따라서, 본 논문에서는 다양하고 표준 전압에서 응용할 수 있으며, 저항값의 크기를 조정할 수 있으며 선형 특성이 아주 우수한 새로운 CMOS floating 저항을 설계하고자 한다. 또한 참고문헌 10에서 본인이 제한한 CMOS Floating 저항과 비교하여 그 특성이 우수함을 입증하고자 한다. 그리하여 이와 같은 방식으로 구현된 선형 저항소자를 op-Amp와 같이 이용하여 음성신호 처리에 사용하기 위하여 약 4KHz에서 차단주파수 특성을 나타내며 저지대역의 최대 감쇄량이 40(dB) 이상 되는 버터워즈 특성을 갖는 저역통과 필터를 설계하고 그 성능이 우수함을 PSPICE를 써서 입증하고자 한다.

II. 새로운 CMOS floating 저항의 설계

그림1은 제안된 floating 저항의 회로이며 여기에서 모든 디바이스는 포화영역에서 동작시킨다.[5,6,7] 노드 N1과 N2는 제안된 floating 저항의 두단자이며 N3에 VF가 가해져 있다. 이 회로에서 M9, M10, M13, M16에 의해 저항의 특성이 결정되며 나머지 MOS는 전류미러용이다.

미러를 쓰면 노드 N1을 통하여 흐르는 전류 I1과 I5는 각각 노드 N2에 미러되어 I3, I7로 된다. 마찬가지로 노드 N2를 통하여 흐르는 전류 I4와 I8은 각각 노드 N1에 미러되어 I2, I6으로 된다. 이것들은 비선형성을 제거시키며 이것은 다음의 가정에 의해 알 수 있다.

- ① 노드 N1과 N2에는 각각 V1과 V2를 인가한다.
- ② 다음의 디바이스들은 각 그룹 내에서 같은 전달컨덕턴스 파라미터($\beta = \mu C_{ox}W/L$)를 갖는다.

- 1) M1, M4, M5, M8
- 2) M2, M3, M6, M7
- 3) M9, M10, M11, M13, M16, M18
- 4) M12, M14, M15, M17

③ 모든 V1과 V2에 대하여 $(V_F - V_T) \leq V_{N4}, V_{N5}$ 이 경우에 M9, M10은 포화영역에서 동작하여야 한다. 이 경우에

$$I = - (I_1 + I_2 - (I_5 + I_6)) = I_3 + I_4 - (I_7 + I_8) \quad (1)$$

단, $I_1 = I_7, I_2 = I_8, I_3 = I_5, I_5 = I_6$

여기서

$$I_1 = (\beta/2) (V_F - V_1 - V_T)^2$$

$$I_2 = (\beta/2) (V_2 - V_{SS} - V_T)^2 \quad (2)$$

$$I_3 = (\beta/2) (V_1 - V_{SS} - V_T)^2$$

$$I_4 = (\beta/2) (V_F - V_2 - V_T)^2$$

식(2)를 식(1)에 대입하면

$$I = \beta (V_F - V_{SS} - 2 V_T) (V_1 - V_2) \quad (3)$$

$$\frac{V_1 - V_2}{I} = R = \frac{1}{\beta(V_F - V_{SS} - 2V_T)} \quad (4)$$

단, V_T : NMOS의 threshold 전압.

따라서 식(4)는 인가전압 V_1, V_2 에 무관한 선형관계를 나타내고 있다. 또한 저항값은 W/L 의 선택에 의해 제어될 수 있다. 반면에 저항값의 미세조정은 V_F 의 가변에 의해 조정될 수 있다. R 에 의한 이와 같은 표현을 유도하기 위해 포화영역에서 동작하는 MOS에 대한 가장 간단한 모델을 고려하면 이 값에서 약간 벗어남을 알 수 있다. 더 정확한 값은 PSPICE 시뮬레이션에 의해 결정될 수 있다. floating 저항의 비대칭적인 구조는 다음과 같은 문제 때문이다.

- ① 저항값은 PMOS와 NMOS의 β 의 매칭을 피한다면 NMOS에 의해 결정된다.
- ② 제안된 회로는 pwell CMOS 공정을 사용한다.

그러므로 $M_9, M_{10}, M_{11}, M_{13}, M_{16}$ 의 Body 효과를 제거하기 위하여 이것들은 NMOS로 구현한다. 동일한 면적에서 더 큰 저항을 얻기 위해서는 μ_{Cox} 가 더 낮은 PMOS를 쓰면 된다. 선형성 범위는 모든 디바이스가 포화영역에서 동작하는 전압범위이다. 그림1로부터 (+)전압 스윙범위는 PMOS M_3 이 M_9 와 직렬로 연결되어 있고 M_6 이 M_{10} 과 직렬로 연결되어 있어 어느 정도 제한되어 있다. M_9 와 M_{10} 의 게이트에는 저항값을 조정하고 공칭변화의 효과를 보상하기 위하여 V_F 를 가하였다.[10]

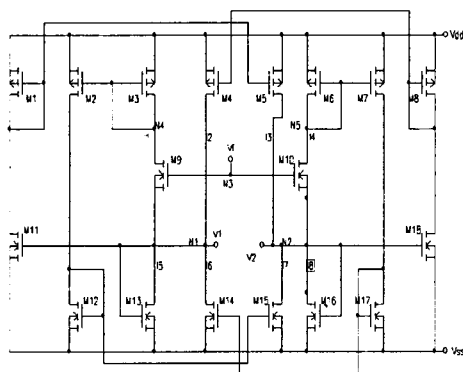


fig 1. 1단 floating resistor

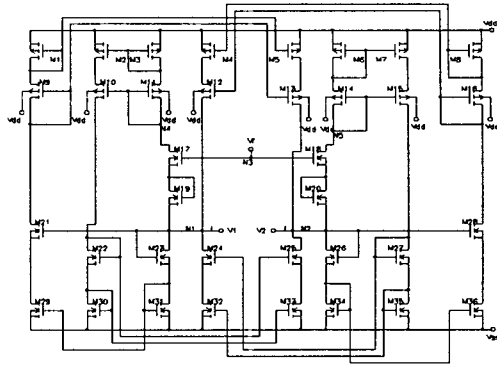


fig 2. 2단 floating resistor

더 큰 저항을 얻기위하여 본인이 본 논문에서 제안한 방법은 그림2이다.여기에서 $M_9, M_{10}, M_{13}, M_{16}$ 은 각각 2개의 디바이스가 직렬로 연결되어 있으므로 2단 floating저항이 된다.또한 원래의기본적인 current mirror도 정밀하게 대체되었다.만일 본래의 W/L 의 비가 그대로 유지된다면 식(4)는다음과 같이 된다.

$$R = \frac{4}{(V_F - V_{SS} - 4V_T)} \quad (5)$$

따라서 앞에서 사용한 파라미터를 사용한다면 R 값은 대략 260K 이 된다. R_{rkt} 을 더욱 증가시키는 방법은 3개의 디바이스를 직렬로 연결하면 된다. 그림1의 회로도 W/L 을 증가시키면 더큰 저항값을 얻을수 있다. 그러나 그림2의 회로는 W/L 의 값은 그림1의 회로의 1/4정도된다. 따라서 칩면적을 더 작게 차지한다.

III. CMOS op-Amp의 설계

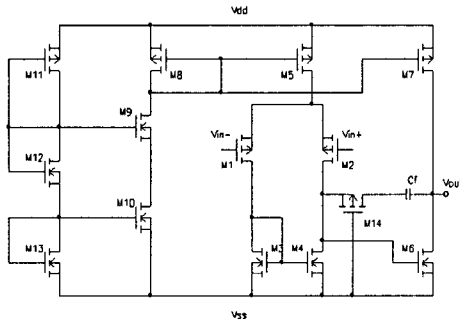
음성신호처리용 능동필터를 설계할 경우 능동소자인 op-Amp는 반드시 Balanced op-Amp일 필요는 없으며, 일반적인 Single ended CMOS op-Amp로도 충분하다. CMOS op-Amp의 설계명세조건은 표1과 같다.[9,10]

table 1. CMOS op-Amp의 설계명세조건

파라미터	값	파라미터	값
offset Voltage (mV)	4	PSRR (dB)	100
unity-gain Bandwidth (MHz)	80	Input Range (V)	(-4.2, 4.9)
DC gain (dB)	55	Output Swing (V)	(-4.3, 5.0)
CMRR(dB)	72		

CMOS op-Amp는 표1의 설계명세조건을 만족하도록 다음과 같은 사항을 고려하여 설계하였다.

기준전압회로는 op-Amp에 전원전압에 일정한 바이어스 전압을 공급하도록 하였고, 차동증폭단은 1/f 잡음의 영향을 줄이기 위하여 입력트랜지스터의 크기를 가능한 크게 하였으며, 레벨변환 회로를 사용하여 회로의 선형동작범위를 향상시켰고 보상회로를 써서 위상보상을 행하였다. 또한 출력단은 소스폴로워 형태로 설계하며, 출력저항을 작게 하면서 높은 슬루레이트를 갖도록 설계하였다. 그림3은 설계된 CMOS op-Amp회로이다.



(a)

Device	W/Leff
M1, M2	9.6/0.8
M3, M4	1.2/0.8
M5	1.6/0.8
M6, M6A	51.2/0.8
M7	84.2/0.8
M8	8.0/2.0
M9	1.2/8.0
M10	1.2/6.4
M11	4.0/3.2
M12, M13	3.2/3.2
M14	1.2/24
Cf	2pF

(b)

fig 3. Designed op-Amp circuit

2번째단의 전압이득은 다음과 같다.

$$A_v = \frac{g_{m6}}{g_{ds6} + g_{ds7}} = \frac{g_{m6}}{I_{ds6}(\lambda_6 + \lambda_7)} \quad (6)$$

단, gm : 전달컨덕턴스

gds : 출력컨덕턴스

λ : 채널길이 변조파라미터

전압이득의 %변화는 다음 식과 같다.

$$\frac{\Delta A_v}{A_v} = \frac{\Delta g_{m6}}{g_{m6}} - \frac{\Delta I_{ds6}}{I_{ds6}} \quad (7)$$

식(7)의 양쪽항은 hot carrier stress에 따라서 감소한다. 또한 NMOS의 드레쉬홀드 전압은 hot carrier stress에 따라서 증가한다.

IV. 저역통과 필터의 설계

(1) op-Amp를 이용한 저역통과필터의 해석

음성신호를 디지털필터를 통해서 처리하는 경우, 음성신호의 고주파 성분에 의하여 샘플링과정에서 의곡이 발생되며 이러한 의곡을 방지하기 위해서는 음성대역용 차단주파수를 갖는 저역통과 필터가 필요하다. 따라서 본 논문에서는 기존의 RC 능동필터의 개념을 바탕으로 하여 floating 저항을 이용한 새로운 저역통과 필터를 표2와 같은 명세서를 만족하도록 설계하였다.

table 2. 저역통과필터의 명세서

저지대역 차단주파수	4(KHz)
이득	1
저지대역 감쇄율	-40(dB)
능동소자의 형태	CMOS OP-AMP

op-Amp를 이용한 일반적인 2차 저역통과필터의 회로도는 그림4와 같다.

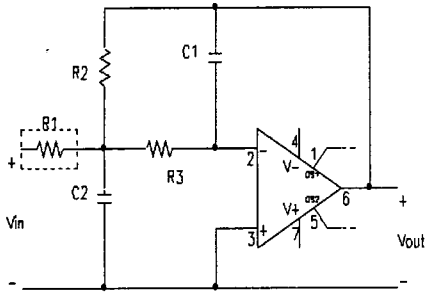


fig 4. op-Amp를 이용한 저역통과필터

2차 저역통과필터의 전달함수는 다음과 같다.

$$\frac{V_2(s)}{V_1(s)} = \frac{-K \omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (8)$$

그림3의 전달함수를 구하면

$$\frac{V_2(s)}{V_1(s)} = \frac{-1/R_1 R_3 C_1 C_2}{s^2 + s \cdot 1/C_1 \cdot (1/R_1 + 1/R_2 + 1/R_3) + 1/R_2 R_3 C_1 C_2} \quad (9)$$

식(8), (9)에서 ω_0 , Q , K 는 각각

$$\omega_0 = \frac{1}{\sqrt{R_1 R_3 C_1 C_2}} \quad (10)$$

$$\frac{1}{Q} = \sqrt{\frac{C_2}{C_1}} \left(\sqrt{\frac{R_2 R_3}{R_1}} + \sqrt{\frac{R_3}{R_2}} + \sqrt{\frac{R_2}{R_3}} \right) \quad (11)$$

$$K = \frac{R_2}{R_1} \quad (12)$$

식(9)에서 $R_1=R_2=R_3=R$ 로 가정하면

$$\omega_0 = \frac{1}{R\sqrt{C_1 C_2}} \quad (13)$$

$$Q = \frac{1}{3} \sqrt{\frac{C_2}{C_1}} \quad (14)$$

$$K = 1 \quad (15)$$

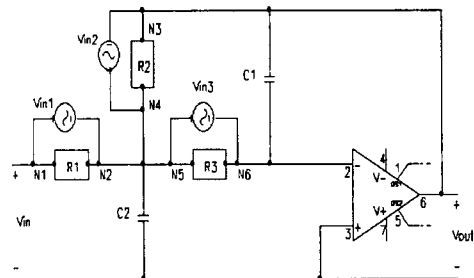
따라서 -3(dB)에서 차단주파수가 정의되고 버터워스 특성을 갖도록 $Q = \frac{\sqrt{2}}{2}$ 로 가정하면 각 소자값을 구할 수 있다.[10]

(2) 저역통과필터의 설계

모노리틱 집적회로를 설계할 때 Poly나 Diffusion을 이용하면 정확한 저항값을 얻기가 어렵고 큰 저항을 구현하려면 많은 칩면적이 필요하게 된다. 따라서 본 논문에서 제안한 floating 저항을 이용하여 MOS의 비선형성을 제거시켜 MOS로 저항을 대체시키면 적은 칩면적으로 구현이 쉽게 구성할 수 있다. 그림4의 저역통과필터의 저항을 새로 설계한 floating 저항으로 대체시켜 선형저항을 이용하여 저역통과필터를 구성하면 그림5와 같다. 또한 4KHz의 음성대역 차단주파수를 가지며 저지대역의 감쇄율이 -40(dB)인 저역통과필터의 소자값은 표3과 같다.

table 3. 사용된 소자값

C1	0.3559nF	VSS	-5V
C2	1.779nF	VDD	+5V
R	50K Ω	VT	0.7V
Vf	2.4V	β	$40 \times 10^4 \text{A/V}^2$



단, R1, R2, R3 : fig2.
op-amp:fig3

fig 5. 설계된 floating 저항과 설계된 op-Amp를 이용한 저역통과필터

V. 시뮬레이션 결과

(a) floating 저항의 DC 전달특성 및 주파수 응답

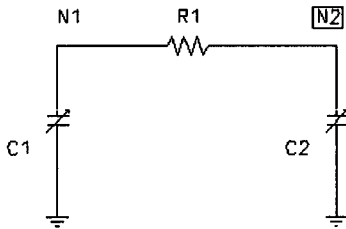


fig 6. floating 저항의 등가회로

그림6은 floating 저항의 등가회로이다. 여기에서 C1과 C2는 M9와 M10의 전압에 의존하는 역 bias p well 용량이다. 이것들은 전압에 의존하므로 노드 N1과 N2가 전압원에 연결되었는지 가상접지에 연결되면 저항의 사용은 제한을 받게 된다. RC능동필터에서는 Twin-T 구조를 사용하는 경우를 제외하면 대부분이 이런 경우이다.

MOS	L	W
M1, M4, M5, M6	6	3
M2, M3, M6, M7	9	3
M6-M18	36	3

table 4. 그림1 MOS 의 Aspect ratio

그림1의회로에서

$$V_f = 2.4V (V_f = 2.8v : \text{그림2})$$

$$V_{SS} = -5V$$

$$V_{DD} = +5V$$

$$V_T = 0.7V$$

$$\mu C_{ox} = 40 \times 10^{-6} A/V^2$$

으로 하고 W/L가 표4와 같으면 50KΩ의 저항값이 얻어진다.

table 5. 그림2의 MOS의Aspect ratio

MOS	L	W
M1, M4, M5, M8, M9, M12, M16	3	15
M2, M3, M6, M7, M10, M11, M14, M15	3	42
M17-M21, M23, M26, M28, M31, M34, M36	7.5	
M22, M24, M25, M27, M30, M32, M33, M35	3	3

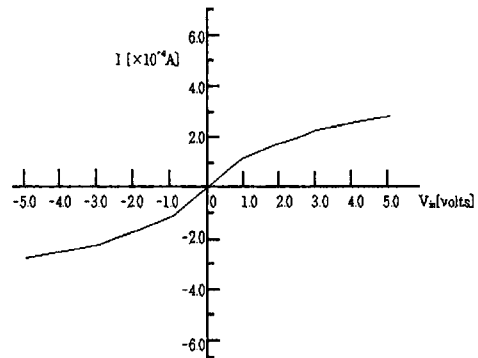


fig 7. DC전달특성

더 작은 저항값은 M9, M10, M13, M16의 W/L을 증가시키면 얻어지고 더 높은 저항값은 이 디바이스들의 W/L를 감소시키면 얻어지므로 R은 L/W에 직접 관계가 있다. 그림1과 그림2의 회로의 을 비교하기 위하여 그림2도 50K의 저항값을 갖도록 설계하였다. $V_f = 2.8V$, W/L은 표5와같이 하였으며 나머지 파라미터들은 그림1과 같이 하였다. 그림1과 그림2의 회로를 3 μm 공정에 대하여 PSPICE를 이용하여 시뮬레이션하였다. 그 결과 이 회로의 DC전달특성은 그림7과 같이 나타났다.

그 결과 ±1V를 넘어서 평균 저항값과의 최대오차는 0.37%이었으며 그림2의 경우는 0.04%이었다. 또한 MOS M9와 M10의 전기적인 특성 때문에 I-V특성은 대칭이 되지 못하였다. (+)의 입력에 대해서는 제한된 전압까지는 선형특성을 나타냈으며 그 이상의 전압에서는 비선형성이 증가하였고, (-)입력에 대해서는 선형영역이 더 증가하였다. 여기서 그림2의 경우의 특성이 개선된 것은 정확한 전류미터의 사용 때문이다.

그림1의 회로는 ±1(V)의 선형 전압범위로 설계되었

다. 노드 N1과 N2가 전압원 사이에 연결되든지 또는 전압원과 접지사이에 연결되면 이 회로는 더 넓은 전압 범위에서 사용할 수 있다. 그렇지 않은 경우에는 $\pm 1(V)$ 를 넘으면 비선형성이 증가한다. 반면에 그림2의 회로는 디바이스들의 일부가포화영역에서 동작하지 않으므로 더 넓은 선형영역을 얻을수 있다. 또한 모든 시뮬레이션에서 트랜지스터들은 완전히 정합된 것으로 하였다. 그러나 실제 응용에서 모든 트랜지스터들이 정합될 수는 없으며 0.5%정도의 부정합이 발생되고 따라서 비선형성도 증가한다. 그림1의 회로에서는 $\pm 1(V)$ 를 넘어서면 대략 1.5%의 비선형성이 얻어진다.

그림8은 floating 저항의 DC에 대한 개회로 응답을 나타내고 있다. 여기에서 이상적으로는 V_{in} 과 V_{out} 이 같아야 하지만 $\pm 1(V)$ 범위를 넘어서면 $4.7 \times 10^{-2}(V)$ 의 오차가 있었다.

이 저항의 주파수 응답은 그림9(a)와그림9(b)와 같고, 10(MHz) 이상의 대역폭을 나타내었다.

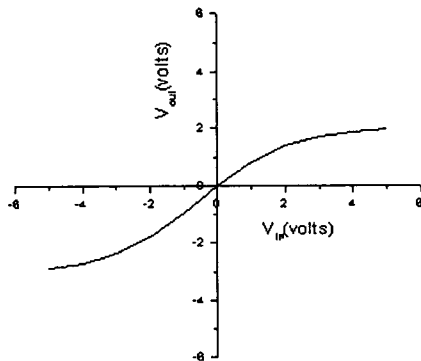
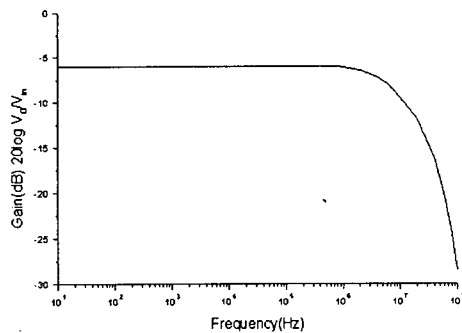
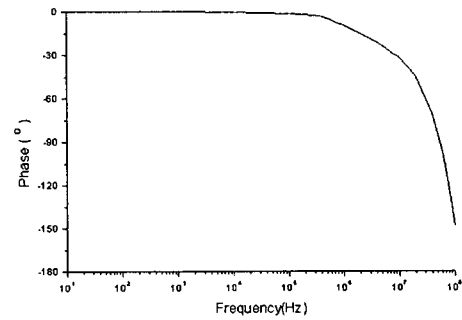


fig 8. floating 저항의 개회로응답



(a)



(b)

fig 9. 주파수 응답

(b) CMOS op-Amp의 특성

그림3의 설계된 op-Amp는 A급 출력단을 가진 2단 op-Amp이다. 그림10는 출력단 MOS M6에 대한 V_{in} 과 V_{DS} 의 관계를 나타내고 있다. 또한 그림11 CMOS op-Amp의 주파수특성을 나타낸다.

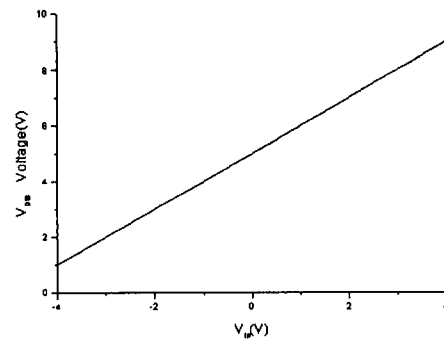


fig 10. 출력단 MOS의 V_{in} - V_{DS} 관

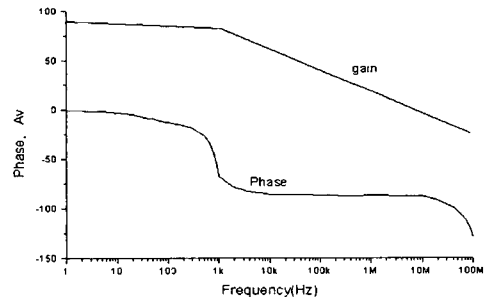


fig 11. CMOS op-Amp의 주파수특성

(c) 저역통과필터의 주파수특성

그림4의 회로에 표2의 소자값을 사용하여 저역통과 필터를 구성하고 PSPICE를 이용하여 주파수 특성을 측정한 결과 그림12와 같았다.

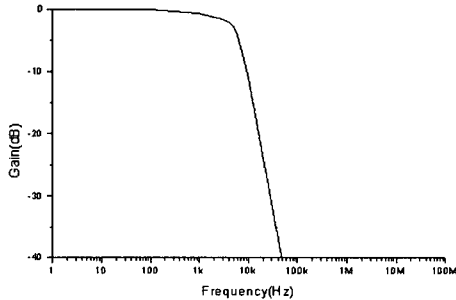


fig 12. 저역통과필터의 주파수특성

VI. 결론

본 논문에서는 먼저 CMOS기술로 조성할 수 있는 새로운 floating 저항을 설계하고 그 특성이 지금까지 발표된 CMOS저항보다 매우 우수하여 일반 저항과 같은 특성을 갖는다는 것을 컴퓨터 시뮬레이션을 통하여 확인하였다. 다음에 CMOS op-Amp를 설계하였으며, 이 op-Amp는 레벨 변환회로를 써서 선형범위를 크게 설계하여 1/f 잡음의 영향을 감소시켰고 높은 CMRR과 높은 PSRR을 갖도록 하였다. 이와같은 floating 저항을 설계된 CMOS op-Amp와 조합하여 저역통과 필터를 설계하고 PSPICE 프로그램을 써서 시뮬레이션한 결과 설계의 명세조건을 만족함을 확인할 수 있었다.

본 연구에서는 저역통과필터를 2차 필터함수에 국한하여 설계하였지만 더욱 차단특성이 좋은 필터도 이 방법을 이용한 필터를 종속 접속하여 실현시킬 수 있다.

또한 아날로그 신호처리를 위한 블록이 디지털 시스템과 단일칩 위에 설계되어야 하는 경우 본 논문에서 제시한 새로운 플로팅저항을 사용하면 매우 유용하다고 생각한다.

참고문헌

- [1] L. P. Huelsman and P. E. Allen, "Introduction to the Theory and Design of Active Filters," New York : Mc Graw-Hill, 1980.
- [2] G. S. Moschytz and petr Horn, "Active Filters Design Handbook," New York: wiley, 1981.
- [3] Y. Tsvividis, M. Banu, and J. Khoury, "Continuous-time MOSFET-C filters in VLSI," IEEE Trans, circuit Syst., Vol. CAS-33, pp125-139, Feb. 1986.
- [4] M. Ismail, S. V. Smith, and R. G. Beale, "A new MOSFET-C universal structure for VLSI," IEEE J. Solid-state circuits, Vol. SC-23, pp183-194, Feb. 1988.
- [5] M. Banu and Y. Tsvividis, "Floating voltage controlled resistors," Electron Lett., Vol. 18, pp678-679, 1982.
- [6] K. Nagaraj, "New CMOS floating voltage-controlled resistors," Electron Lett., Vol. 22, No 12, pp667-668, 1986.
- [7] M. Ismail, "Four-Transistor continuous Time MOS Transconductor," Electronics L.24th, Vol. 23, No 20, pp1099-1100, Sept, 1987.
- [8] M. Banu and Y. Tsvividis, "Fully-Integrated Active-RC Filters in MOS Technology," IEEE J. of Solid-state circuit, SC-18, pp644-656, DEC, 1983.
- [9] P. R. Gray and R. G. Meyer, "MOS operational Amplifier Design A Tutor overview," IEEE J. of Solid-state circuit, Vol. SC-17, pp962-968, DEC, 1982.
- [10] 이영훈, "CMOS Floating 저항을 이용한 저역 통과필터의 설계" 한국 OA학회 논문집 제 3권 제 2호, PP 77~84, 1998

저 자 소 개



이영훈
OA학회 논문지 제3권 제2호 참조